

【11】證書號數：I938283

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B69/00 (2023.01) H10W46/00 (2026.01)

發明

全 16 頁

【54】名稱：測試結構、半導體元件及其形成方法

【21】申請案號：111114120

【22】申請日：中華民國 111 (2022) 年 04 月 13 日

【11】公開編號：202312444

【43】公開日期：中華民國 112 (2023) 年 03 月 16 日

【30】優先權：2021/08/31

美國

17/446,585

【72】發明人：廖耕穎 (TW) LIAO, KENG-YING；宋至偉 (TW) SUNG, CHIH WEI；林子平 (TW) LIN, TZE-PIN；董懷仁 (TW) TUNG, HUAJ-JEN；陳柏仁 (TW) CHEN, PO-ZEN；吳彥柔 (TW) WU, YEN-JOU；楊永隆 (TW) YANG, YUNG-LUNG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：李世章；秦建譜

【56】參考文獻：

TW 202121607A

US 2015/0137206A1

US 2019/0393234A1

審查人員：修宇鋒

【57】申請專利範圍

1. 一種半導體元件，包含：

一測試區，其包括一測試記憶體單元結構，該測試記憶體單元結構包括：

一第一閘極堆疊，其在一基材的一第一凸起部分上，其中該第一閘極堆疊包含一第一介電材料、在該第一介電材料上的一第一多晶矽材料，以及在該第一多晶矽材料上的一或多個附加介電材料，

一第一多晶矽結構，其設置於該第一凸起部分一側且在該基材的該第一凸起部分的該側與一第二凸起部分的一側之間的一區中，且在該第一凸起部分與該第二凸起部分之間沒有其他的凸起部分，

一第一間隔物，其在該第一凸起部分的該側與該第二凸起部分的該側之間的該區中並設置於該第一多晶矽結構的一側，

一第二閘極堆疊，其在該第二凸起部分上，其中該第二閘極堆疊包含一第二介電材料、在該第二介電材料上的一第二多晶矽材料，以及在該第二多晶矽材料上的一或多個額外介電材料，

一第二多晶矽結構，其設置於該第二凸起部分的該側且在該第一凸起部分的該側與該第二凸起部分的該側之間的該區中，及

一第二間隔物，其在該第一凸起部分的該側與該第二凸起部分的該側之間的該區中並設置於該第二多晶矽結構的一側，；以及

一層間介電質層，其在該測試區的至少一部分上方。

2. 如請求項 1 所述之半導體元件，其中，該第一閘極堆疊或該第二閘極堆疊中不存在一浮動閘極層。

3. 如請求項 1 所述之半導體元件，其中該測試記憶體單元結構為該測試區中的複數個測試記憶體單元結構中的一者，該第一閘極堆疊與該第二閘極堆疊之間的一間距不同於該些測試記憶體單元結構中的另一測試記憶體單元結構中包括的一對閘極堆疊之間的一間距。
4. 一種半導體元件的形成方法，包含以下步驟：

在一基材上形成一第一閘極堆疊及一第二閘極堆疊，其中該第一閘極堆疊包含一第一介電材料、在該第一介電材料上的一第一多晶矽材料，以及在該第一多晶矽材料上的一或多個附加介電材料，該第二閘極堆疊包含一第二介電材料、在該第二介電材料上的一第二多晶矽材料，以及在該第二多晶矽材料上的一或多個額外介電材料；

移除該基材的位於該第一閘極堆疊的一側與該第二閘極堆疊的一側之間的一區中的一部分，以在該第一閘極堆疊的該側與該第二閘極堆疊的該側之間的該區中的該基材中形成一凹陷部分，進而讓第一閘極堆疊在該基材的一第一凸起部分上，讓該第二閘極堆疊在該基材的一第二凸起部分上，且在該第一凸起部分與該第二凸起部分之間沒有其他的凸起部分；

在該第一閘極堆疊上、該第二閘極堆疊上及該基材的該凹陷部分中形成一多晶矽層；

在該第一閘極堆疊的該側與該第二閘極堆疊的該側之間的該區中的該多晶矽層中形成一凹陷部分，以在該第一凸起部分的一側形成一第一多晶矽結構以及在該第二凸起部分的一側形成一第二多晶矽結構；

形成設置於該第一多晶矽結構一側的一第一間隔物，其中該第一間隔物在該第一凸起部分的該側與該第二凸起部分的該側之間的該區之中；

形成設置於該第二多晶矽結構一側的一第二間隔物，其中該第二間隔物在該第一凸起部分的該側與該第二凸起部分的該側之間的該區之中；以及

在該第一閘極堆疊上方、該第二閘極堆疊上方及在該第一閘極堆疊與該第二閘極堆疊之間的該區中形成一層間介電質層。
5. 如請求項 4 所述的方法，進一步包含以下步驟：在形成該第一閘極堆疊及該第二閘極堆疊之前自該基材移除一浮動閘極層。
6. 一種測試結構，包含：

一基材，其包括一第一凸起部分及一第二凸起部分；

一第一層堆疊，其在一第一凸起部分上，其中該第一層堆疊包含一第一介電材料、在該第一介電材料上的一第一多晶矽材料，以及在該第一多晶矽材料上的一或多個附加介電材料；

一第二層堆疊，其在一第二凸起部分上，其中該第二層堆疊包含一第二介電材料、在該第二介電材料上的一第二多晶矽材料，以及在該第二多晶矽材料上的一或多個額外介電材料；

一或多個第一多晶矽結構，其位於該第一凸起部分的最靠近該第二凸起部分的一側上；

一或多個第二多晶矽結構，其位於該第二凸起部分的最靠近該第一凸起部分的一側上，其中在該第一凸起部分的該側與該第二凸起部分的該側之間的一區中沒有其他的凸起部分；

一第一間隔物，其在該第一凸起部分的該側與該第二凸起部分的該側之間的該區中並設置於該一或多個第一多晶矽結構的一側；

一第二間隔物，其在該第一凸起部分的該側與該第二凸起部分的該側之間的該區中並設置於該一或多個第二多晶矽結構的一側；以及

一介電層，其在該第一層堆疊上方、該第二層堆疊上方、該一或多個第一多晶矽結構上方、該一或多個第二多晶矽結構上方且在該一或多個第一多晶矽結構與該一或多個第二多晶矽結構之間的一區中。

7. 如請求項 6 所述之測試結構，其中基於該一或多個第一多晶矽結構與該一或多個第二多晶矽結構之間的該區的一縱橫比的一大小，該測試結構用以使得能夠對包含該基材的一元件進行空隙監視。
8. 一種半導體元件，包括：
 - 一測試記憶體單元區域，包括：
 - 一第一層堆疊結構，位於一基材的一第一凸起部分上，其中該第一層堆疊結構包含一第一介電材料、在該第一介電材料上的一第一多晶矽材料，以及在該第一多晶矽材料上的一或多個附加介電材料；
 - 一第二層堆疊結構，位於該基材的一第二凸起部分上，其中該第二層堆疊結構包含一第二介電材料、在該第二介電材料上的一第二多晶矽材料，以及在該第二多晶矽材料上的一或多個額外介電材料；
 - 一或多個第一結構，位於該第一凸起部分最靠近該第二凸起部分的一側，其中該一或多個第一結構包括至少一第一多晶矽結構及在該至少一第一多晶矽結構一側的至少一第一間隔層；以及
 - 一或多個第二結構，位於該第二凸起部分最靠近該第一凸起部分的一側，其中該一或多個第二結構包括至少一第二多晶矽結構及在該至少一第二多晶矽結構一側的至少一第二間隔層，且在該第一凸起部分與該第二凸起部分之間沒有其他的凸起部分；以及
 - 一介電層，位於該測試記憶體單元區域的至少一部分上。
9. 一種半導體元件的形成方法，包括：
 - 在一基材上形成一第一層堆疊結構和一第二層堆疊結構，其中該第一層堆疊結構包含一第一介電材料、在該第一介電材料上的一第一多晶矽材料，以及在該第一多晶矽材料上的一或多個附加介電材料，該第二層堆疊結構包含一第二介電材料、在該第二介電材料上的一第二多晶矽材料，以及在該第二多晶矽材料上的一或多個額外介電材料；
 - 在該第一層堆疊結構與該第二層堆疊結構之間的一區域形成該基材的一凹陷部分，其中形成該基材的該凹陷部分的步驟形成一第一凸起部分以及一第二凸起部分，該第一凸起部分位於該第一層堆疊結構下，而該第二凸起部分位於該第二層堆疊結構下，且在該第一凸起部分與該第二凸起部分之間沒有其他的凸起部分；
 - 在該第一凸起部分最靠近該第二凸起部分的一側形成一或多個第一結構，該一或多個第一結構包括至少一第一多晶矽結構及在該至少一第一多晶矽結構一側的至少一第一間隔層；
 - 在該第二凸起部分最靠近該第一凸起部分的一側形成一或多個第二結構，該一或多個第二結構包括至少一第二多晶矽結構及在該至少一第二多晶矽結構一側的至少一第二間隔層；以及
 - 形成一介電層，該介電層位於該第一層堆疊結構上，位於該第二層堆疊結構上，位於該一或多個第一結構上，位於該一或多個第二結構上，且位於該一或多個第一結構與該一或多個第二結構之間的一區域上。
10. 一種半導體元件的形成方法，包括：
 - 在一測試記憶體單元區域中且在一基材上形成一第一層堆疊結構和一第二層堆疊結構，其中該第一層堆疊結構包含一第一介電材料、在該第一介電材料上的一第一多晶矽材料，以及在該第一多晶矽材料上的一或多個附加介電材料，該第二層堆疊結構包含一第二介電材料、在該第二介電材料上的一第二多晶矽材料，以及在該第二多晶矽材料上的一或多個額外介電材料；
 - 在該第一層堆疊結構與該第二層堆疊結構之間的一區域形成該基材的一凹陷部分，其中形成該基材的該凹陷部分的步驟形成一第一凸起部分以及一第二凸起部分，該第一凸起

(4)

部分位於該第一層堆疊結構下，而該第二凸起部分位於該第二層堆疊結構下，且在該第一凸起部分與該第二凸起部分之間沒有其他的凸起部分；

在該第一層堆疊結構最靠近該第二層堆疊結構的一側形成一或多個第一結構，其中該一或多個第一結構包括至少一第一多晶矽結構及在該第一多晶矽結構一側的至少一第一間隔層；

在該第二層堆疊結構最靠近該第一層堆疊結構的一側形成一或多個第二結構，其中該一或多個第二結構包括至少一第二多晶矽結構及在該第二多晶矽結構一側的至少一第二間隔層；以及

在該測試記憶體單元區域的至少一部分上形成一介電層。

圖式簡單說明

當與附圖一起閱讀時，根據以下詳細描述可最佳地理解本揭露的態樣。注意，根據行業中的標準實務，各種特徵未按比例繪製。實際上，為了論述的清楚起見，可任意地增大或減小各種特徵的尺寸。

第 1 圖為其中可實施本文描述的系統及/或方法的實例環境的圖。

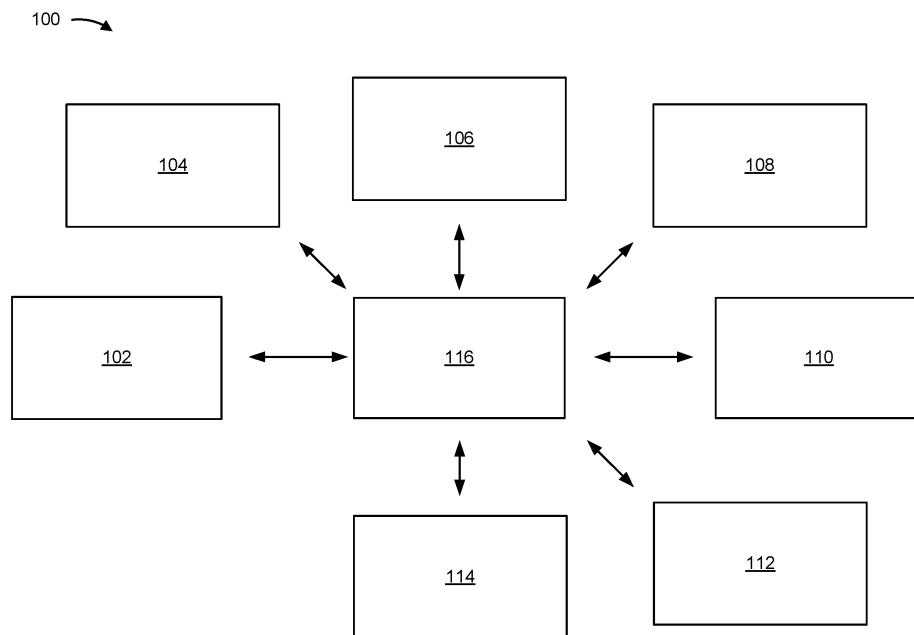
第 2 圖為本文描述的實例半導體元件的圖。

第 3 圖為本文描述的實例半導體結構的圖。

第 4A 圖至第 4S 圖為本文描述的實例實施的圖。

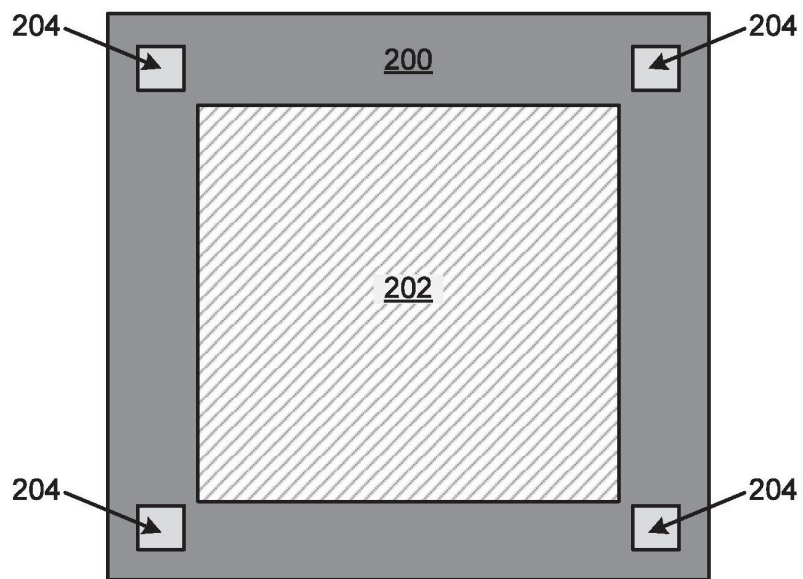
第 5 圖為第 1 圖的一或多個元件的實例組件的圖。

第 6 圖為與形成用於監視空隙及表面形狀的測試結構有關的實例過程的流程圖。



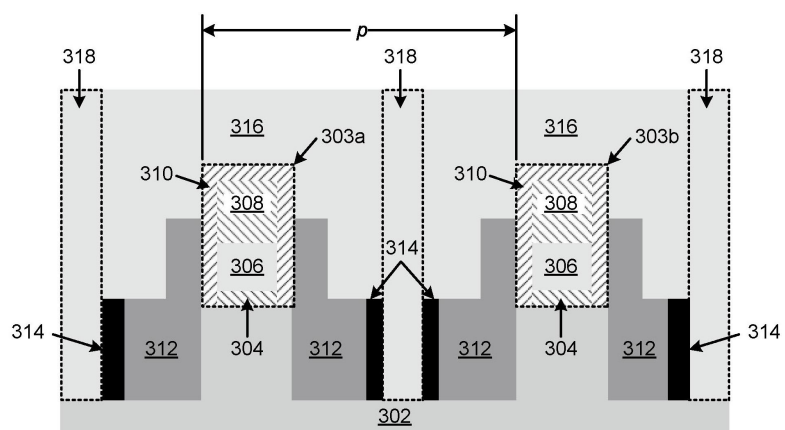
第1圖

(5)



第2圖

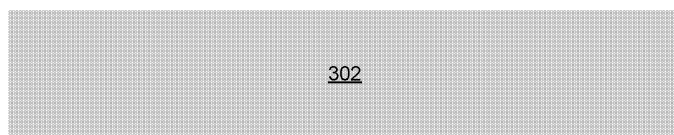
300 →



第3圖

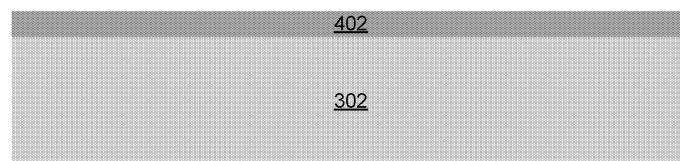
(6)

400 



第4A 圖

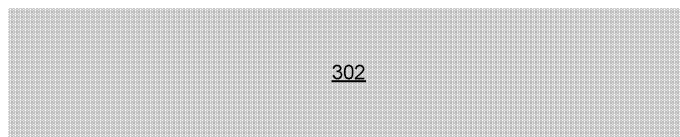
400 



第4B 圖

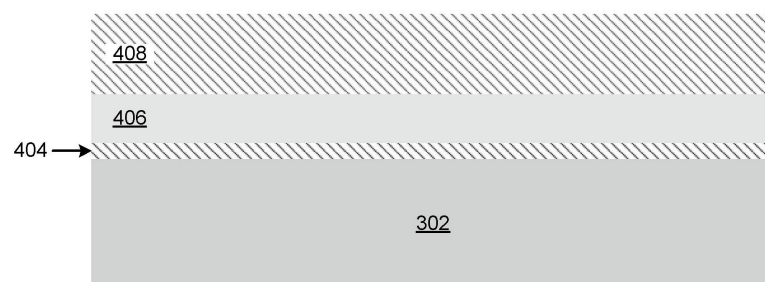
(7)

400 →



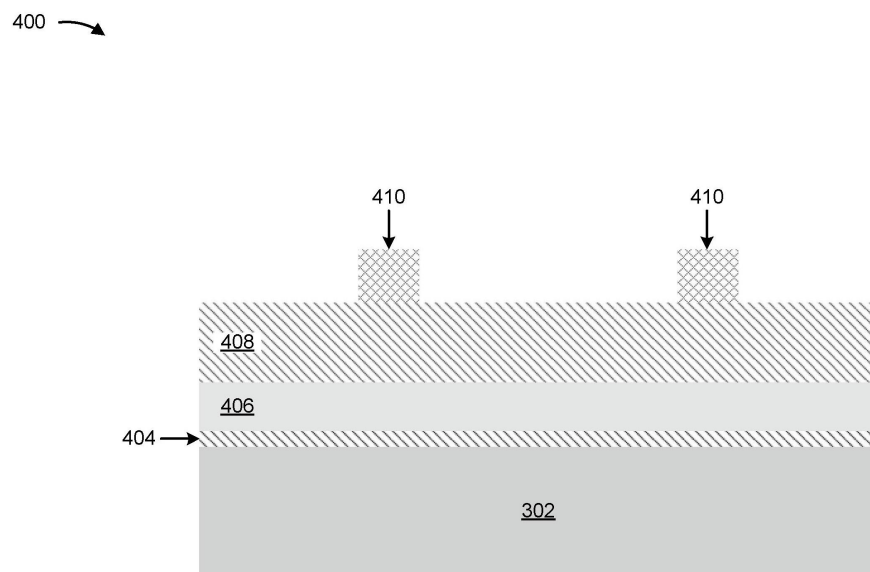
第4C 圖

400 →

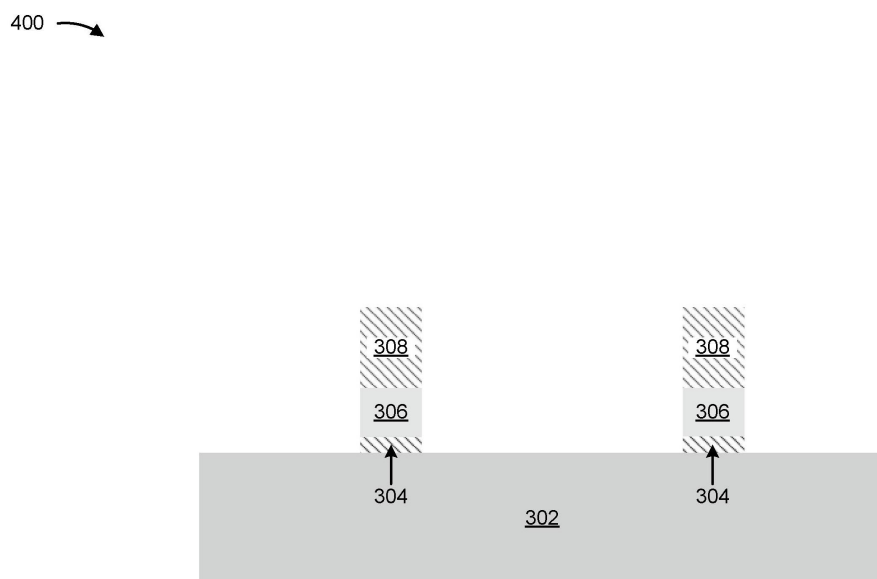


第4D 圖

(8)



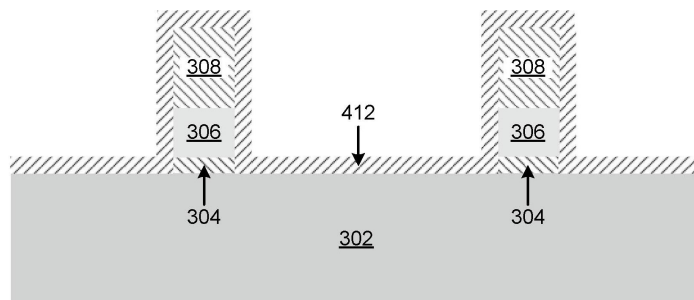
第4E圖



第4F圖

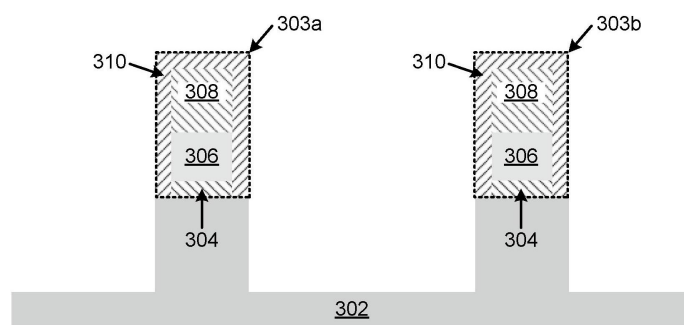
(9)

400 ↗



第4G 圖

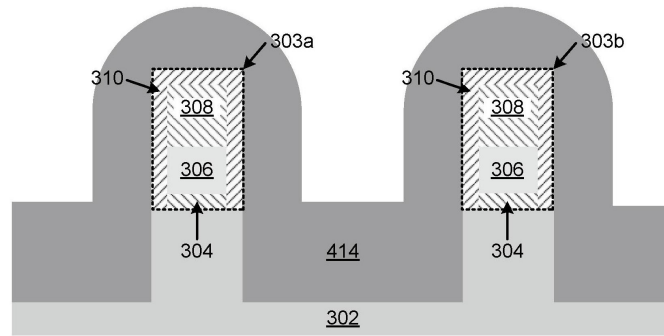
400 ↗



第4H 圖

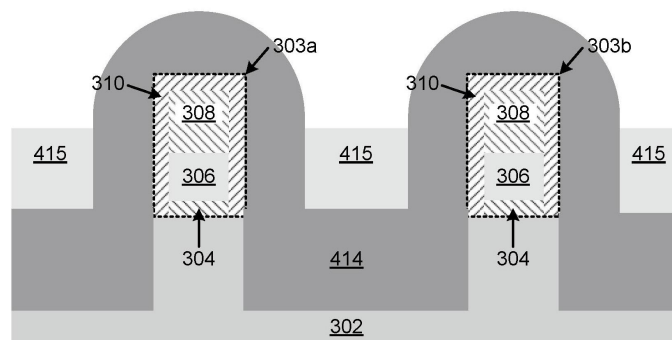
(10)

400 ↗



第4圖

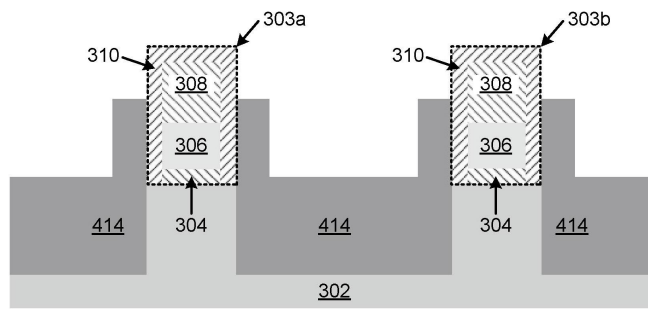
400 ↗



第4J圖

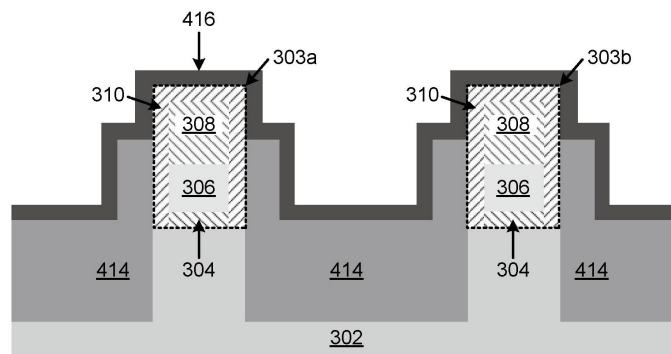
(11)

400



第4K圖

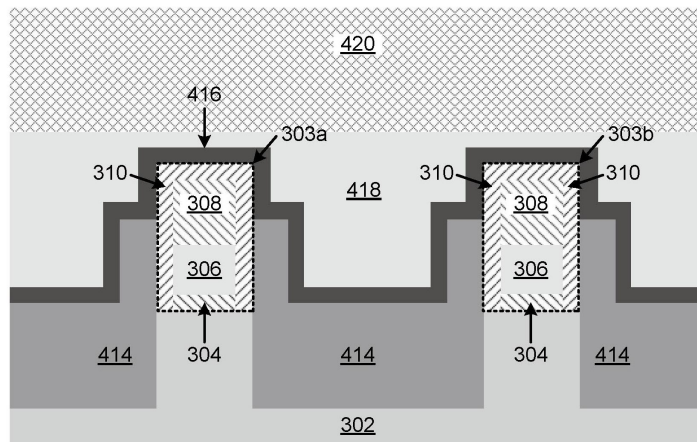
400



第4L圖

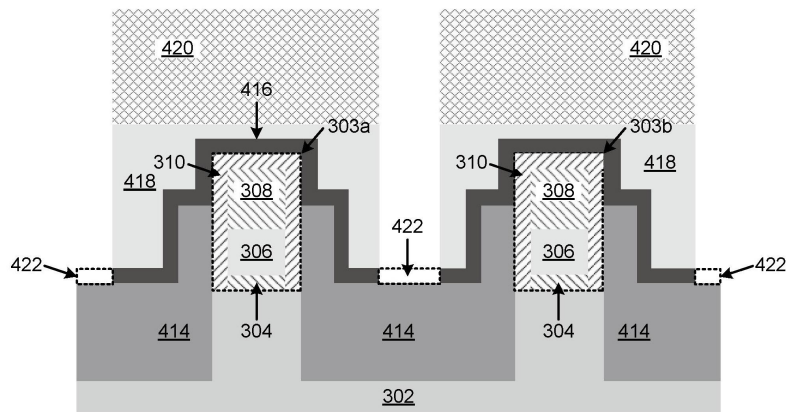
(12)

400 ↗



第4M 圖

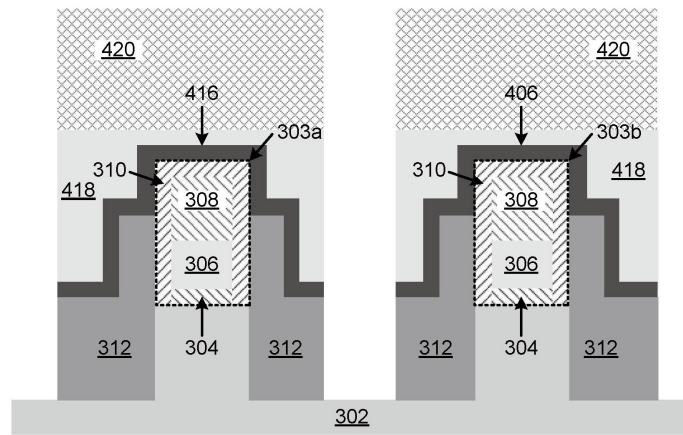
400 ↗



第4N 圖

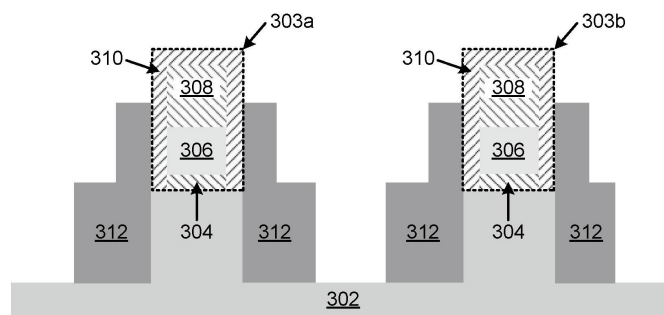
(13)

400 ↗



第40圖

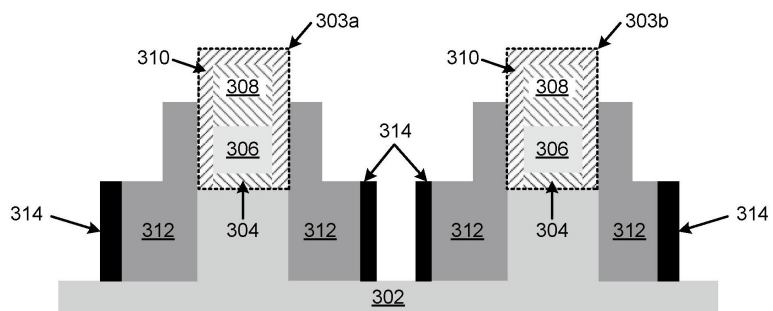
400 ↗



第4P圖

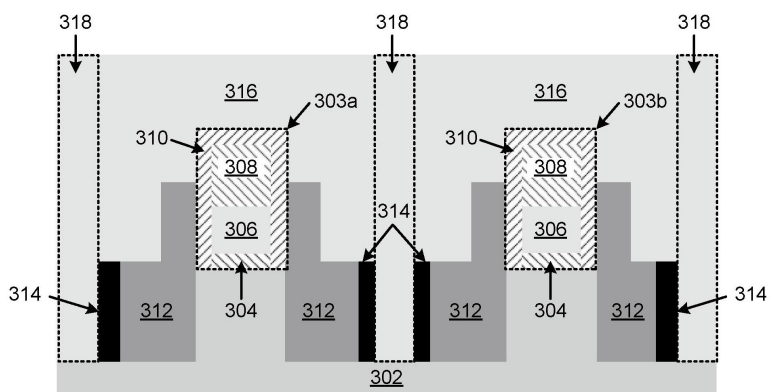
(14)

400 ↗



第4Q 圖

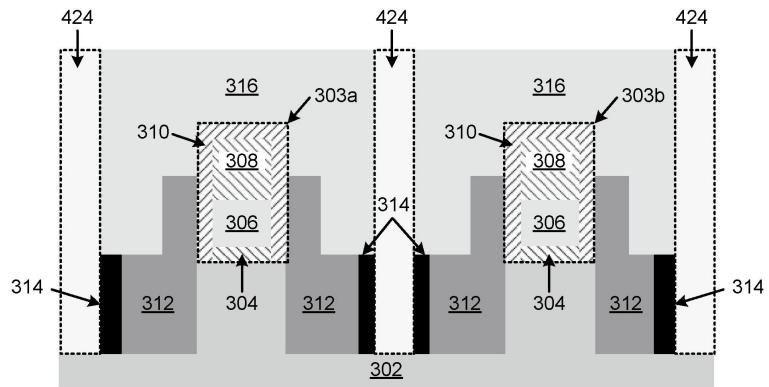
400 ↗



第4R 圖

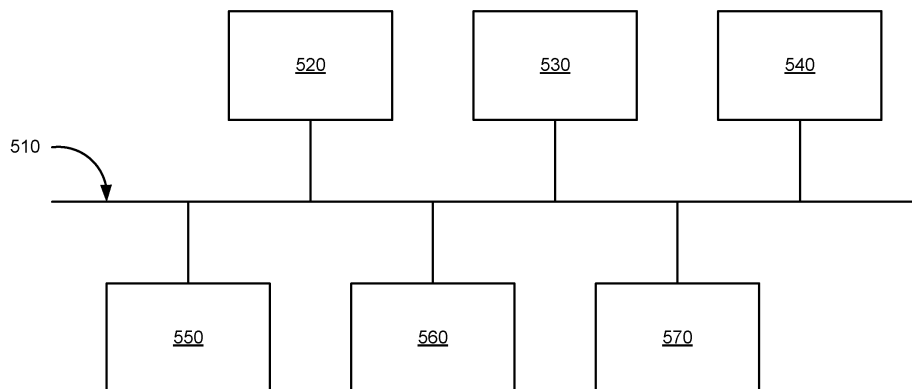
(15)

400 →



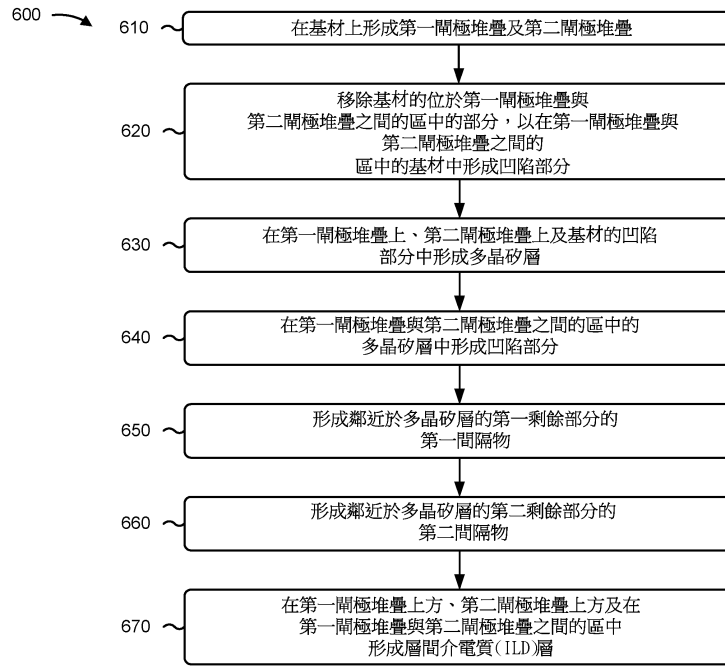
第4S圖

500 →



第5圖

(16)



第6圖