

【11】證書號數：I938300

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10B99/00 (2023.01) H10B41/20 (2023.01)
H10B41/35 (2023.01)

發明

全 17 頁

【54】名稱：半導體裝置和製造半導體裝置的方法

【21】申請案號：111119138

【22】申請日：中華民國 111 (2022) 年 05 月 23 日

【11】公開編號：202301568

【43】公開日期：中華民國 112 (2023) 年 01 月 01 日

【30】優先權：2021/06/15

南韓

10-2021-0077473

【72】發明人：方丙燦 (KR) BANG, BYEONG CHAN ; 朴鎮澤 (KR) PARK, JIN TAEK ; 李晶允 (KR) LEE, JEONG YUN

【71】申請人：南韓商愛思開海力士有限公司 SK HYNIX INC.
南韓

【74】代理人：閻泰；林景郁

【56】參考文獻：

US 20200027835A1

審查人員：黃志源

【57】申請專利範圍

1. 一種半導體裝置，所述半導體裝置包括：
堆疊結構，所述堆疊結構包括交替堆疊的多個層間絕緣層和多個閘極導電層；
通道插塞，所述通道插塞至少部分地穿過單元區域之上的所述堆疊結構；以及
多個支撐結構，所述多個支撐結構至少部分地穿過接觸區域之上的所述堆疊結構，所述多個支撐結構包括線型的第一支撐結構和孔型的第二支撐結構；以及
輔助支撐結構，所述輔助支撐結構形成在所述接觸區域之上的所述堆疊結構、所述第一支撐結構和所述第二支撐結構之上，
其中，所述輔助支撐結構包括多個開口區域，
其中，所述多個開口區域在第一方向上彼此間隔開，並且
其中，所述第一支撐結構與在所述第一方向上彼此間隔開的至少兩個開口區域重疊。
2. 根據請求項 1 所述的半導體裝置，其中，所述多個開口區域具有擋板結構。
3. 根據請求項 2 所述的半導體裝置，其中，所述多個開口區域被佈置成矩陣結構。
4. 根據請求項 1 所述的半導體裝置，其中，所述輔助支撐結構具有網狀結構。
5. 根據請求項 1 所述的半導體裝置，所述半導體裝置還包括：
線形的垂直結構，所述垂直結構在所述單元區域的中心部分處穿過所述堆疊結構的上部分。
6. 根據請求項 5 所述的半導體裝置，其中，所述輔助支撐結構延伸到所述單元區域，並且具有與所述垂直結構重疊的開口區域以曝露所述垂直結構的一部分。
7. 根據請求項 5 所述的半導體裝置，其中，所述垂直結構穿過所述多個閘極導電層中的作為汲極選擇線的至少一個閘極導電層。
8. 一種半導體裝置，所述半導體裝置包括：
堆疊結構，所述堆疊結構包括交替堆疊的多個層間絕緣層和多個閘極導電層；

(2)

第一通道插塞和第二通道插塞，所述第一通道插塞和所述第二通道插塞通過垂直地穿過所述堆疊結構的一部分或全部而形成在單元區域之上；

多個支撐結構，所述多個支撐結構藉由垂直地穿過所述堆疊結構的一部分或全部而形成在接觸區域之上；以及

輔助支撐結構，所述輔助支撐結構設置在所述堆疊結構和所述多個支撐結構之上，

其中，所述多個支撐結構包括線型的第一支撐結構，

其中，所述輔助支撐結構包括在第一方向上彼此間隔開的多個開口區域，並且

其中，所述第一支撐結構與在所述第一方向上彼此間隔開的至少兩個開口區域重疊。

9. 根據請求項 8 所述的半導體裝置，其中，所述多個支撐結構還包括孔型的第二支撐結構。
10. 根據請求項 8 所述的半導體裝置，其中，所述輔助支撐結構形成為網狀結構。
11. 根據請求項 10 所述的半導體裝置，其中，所述多個開口區域中的每一個具有擋板結構。
12. 根據請求項 8 所述的半導體裝置，所述半導體裝置還包括：
線形的垂直結構，所述垂直結構在所述單元區域的中心部分處穿過所述堆疊結構的上部分。
13. 根據請求項 12 所述的半導體裝置，其中，所述開口區域曝露所述垂直結構。
14. 一種製造半導體裝置的方法，所述方法包括以下步驟：
形成堆疊結構，在所述堆疊結構中，多個層間絕緣層和多個犧牲層交替地堆疊在包括單元區域和接觸區域的基板之上；
蝕刻所述接觸區域之上的所述堆疊結構以一起形成用於形成穿過所述堆疊結構的一部分或全部的接觸插塞的第一孔、用於形成第一支撐結構的溝槽和用於形成第二支撐結構的第二孔；
通過用屏障層和導電層填充所述第一孔來形成接觸插塞；
用所述屏障層和所述導電層填充所述溝槽和所述第二孔；
在所述堆疊結構之上形成輔助支撐結構，所述輔助支撐結構包括與所述溝槽的一部分和所述第二孔的一部分重疊的多個開口區域；
移除保留在通過所述輔助支撐結構的所述多個開口區域曝露的所述溝槽和所述第二孔中的所述屏障層和所述導電層；以及
通過用絕緣層填充所述溝槽和所述第二孔來形成所述第一支撐結構和所述第二支撐結構。
15. 根據請求項 14 所述的方法，其中，形成所述輔助支撐結構的步驟包括將所述輔助支撐結構形成為使得所述多個開口區域中的每一個具有擋板結構。
16. 根據請求項 14 所述的方法，其中，形成所述輔助支撐結構的步驟包括將所述輔助支撐結構形成為使得所述輔助支撐結構在所述單元區域之上的所述堆疊結構上方延伸以曝露所述單元區域的一部分。
17. 根據請求項 16 所述的方法，所述方法還包括在移除保留在所述溝槽和所述第二孔中的所述屏障層和所述導電層之前：
通過部分地蝕刻穿過所述輔助支撐結構曝露的所述單元區域之上的所述堆疊結構的上端來形成狹縫。
18. 根據請求項 17 所述的方法，其中，在形成所述第一支撐結構和所述第二支撐結構時，將所述絕緣層填充在所述狹縫中以形成垂直結構。
19. 根據請求項 14 所述的方法，其中，所述第一支撐結構形成為線形，並且所述第一支撐結構中的每一個的寬度彼此不同。

圖式簡單說明

[圖 1A 和圖 1B]是示意性地示出根據本揭示內容的實施方式的半導體裝置的方塊圖。

(3)

[圖 2]是示意性地示出周圍電路結構的橫截面圖。

[圖 3A、圖 3B、圖 3C 和圖 3D]是根據本揭示內容的實施方式的半導體裝置的平面圖和橫截面圖。

[圖 4、圖 5A、圖 5B、圖 6A、圖 6B、圖 7、圖 8A、圖 8B、圖 9、圖 10A、圖 10B 和圖 11]是示出根據本揭示內容的實施方式的製造半導體裝置的方法的橫截面圖和平面圖。

[圖 12A 和圖 12B]是示出根據本揭示內容的另一實施方式的半導體裝置的平面圖。

[圖 13]是示出根據本揭示內容的實施方式的包括在半導體裝置中的記憶體區塊的圖示。

[圖 14]是示出根據本揭示內容的實施方式的記憶體系統的配置的方塊圖。

圖 15]是示出根據本揭示內容的實施方式的記憶體系統的配置的方塊圖。

[圖 16]是示出根據本揭示內容的實施方式的計算系統的配置的方塊圖。

[圖 17]是示出根據本揭示內容的實施方式的計算系統的方塊圖。

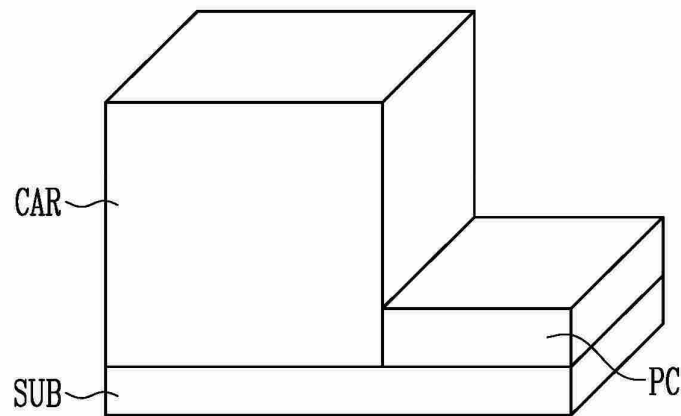


圖1A

(4)

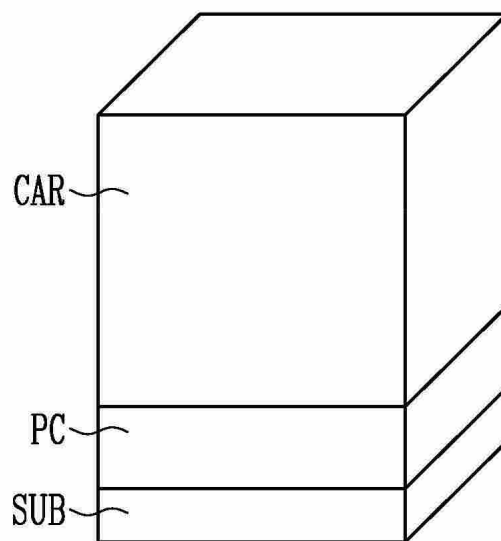


圖1B

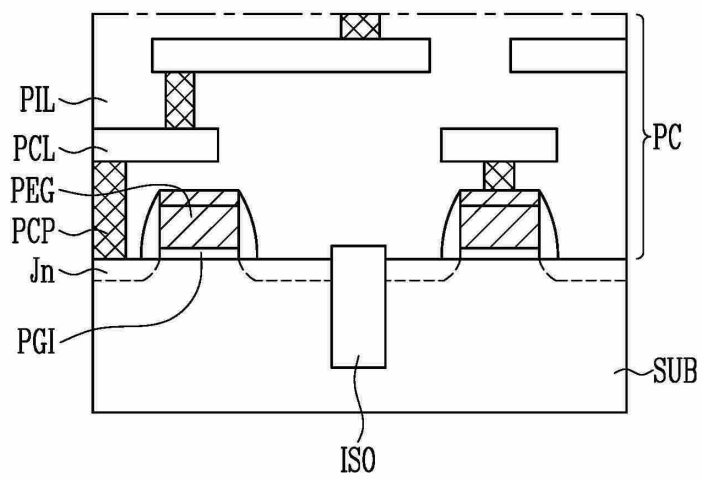


圖2

(5)

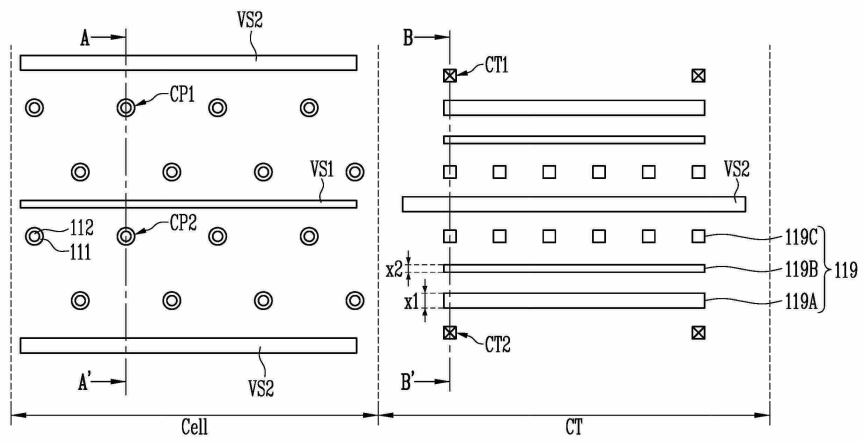


圖3A

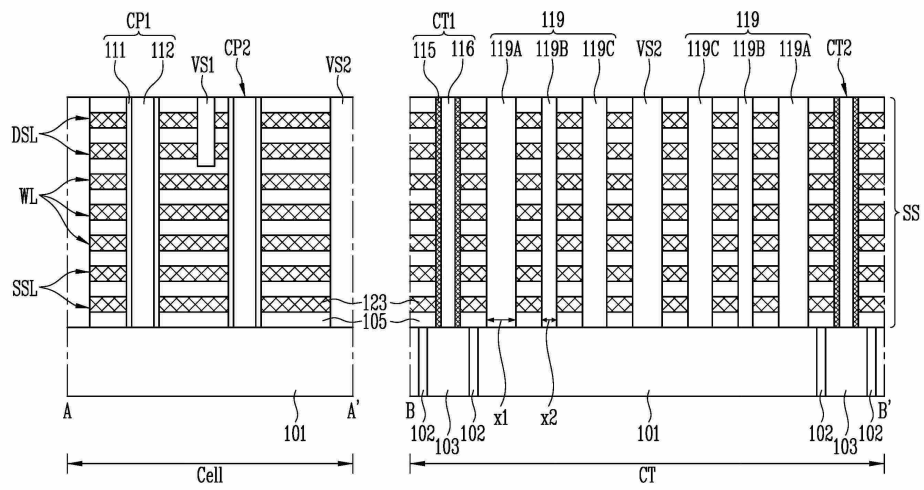


圖3B

(6)

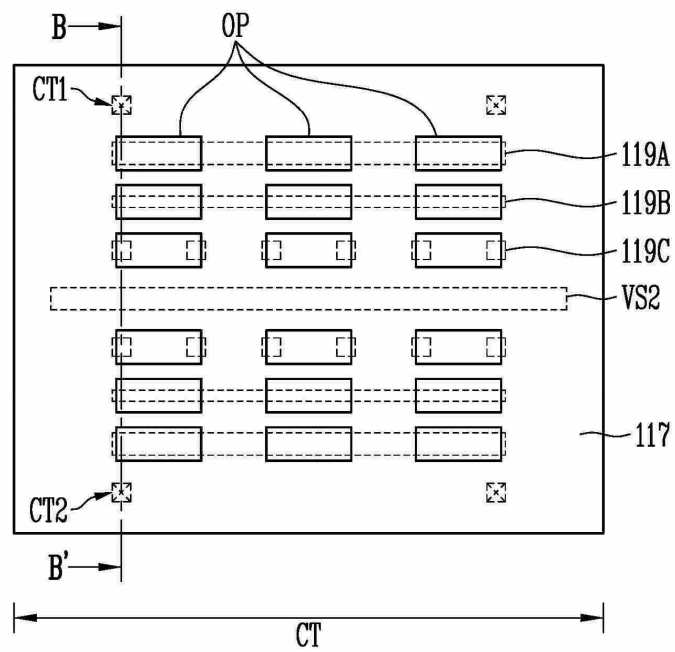


圖3C

(7)

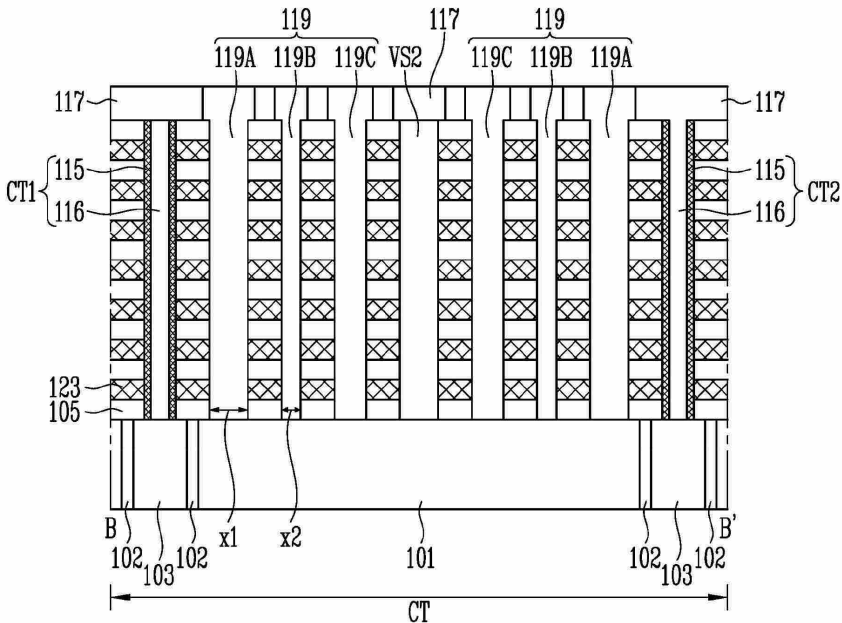


圖3D

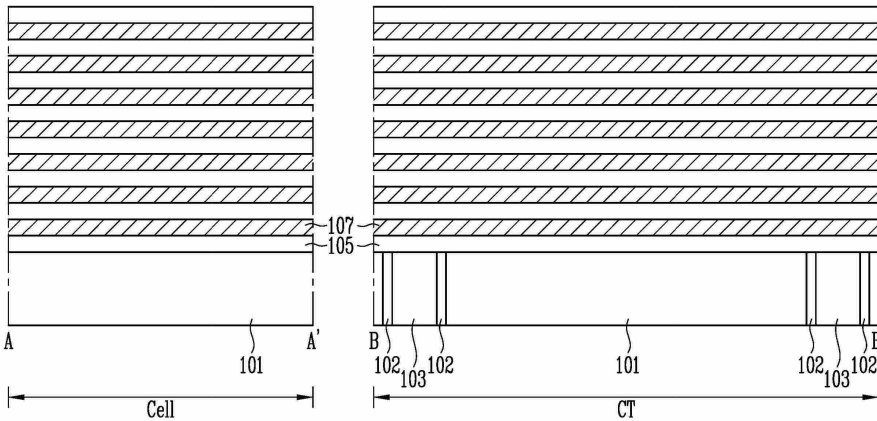


圖4

(8)

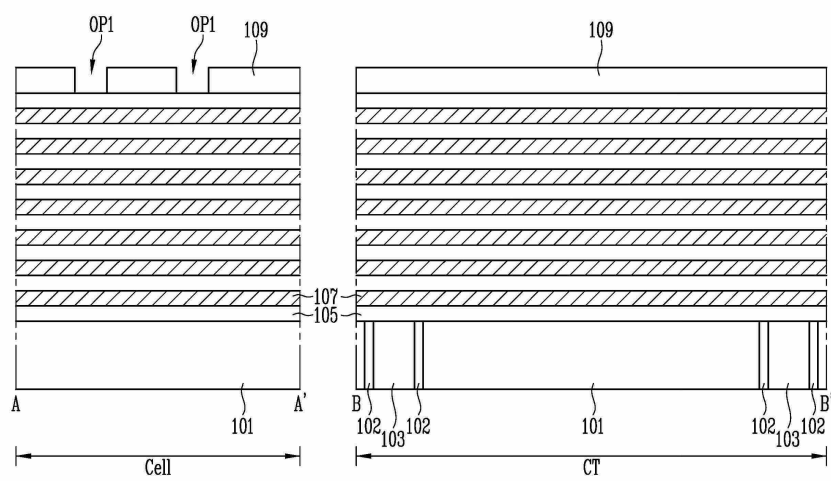


圖5A

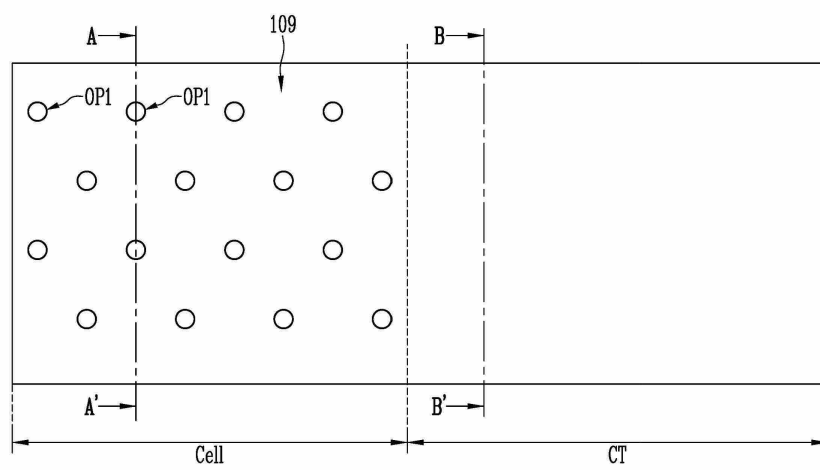


圖5B

(9)

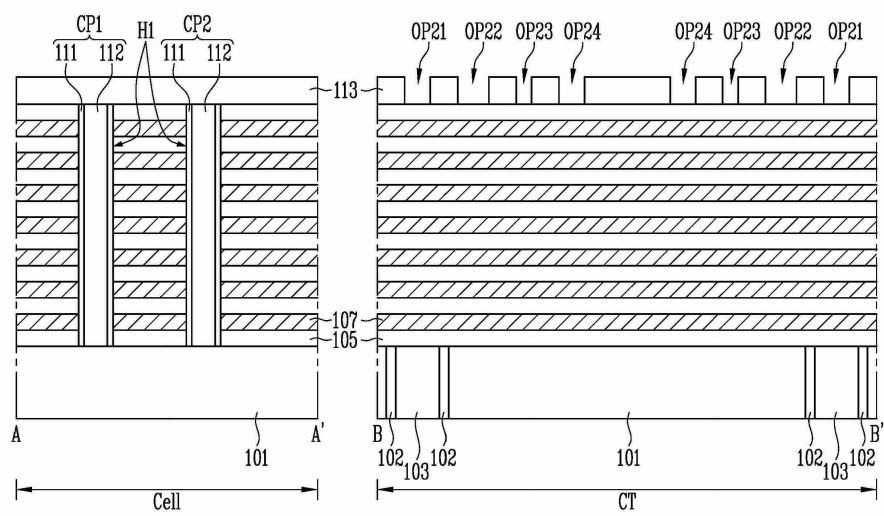


圖6A

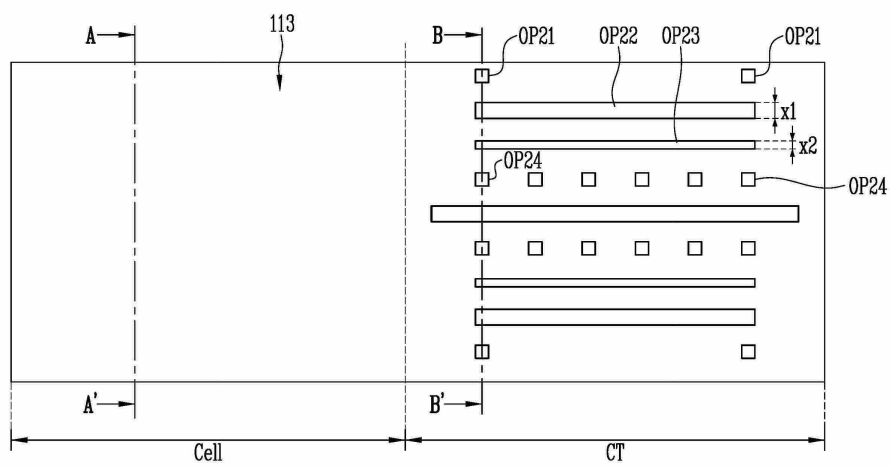


圖6B

(10)

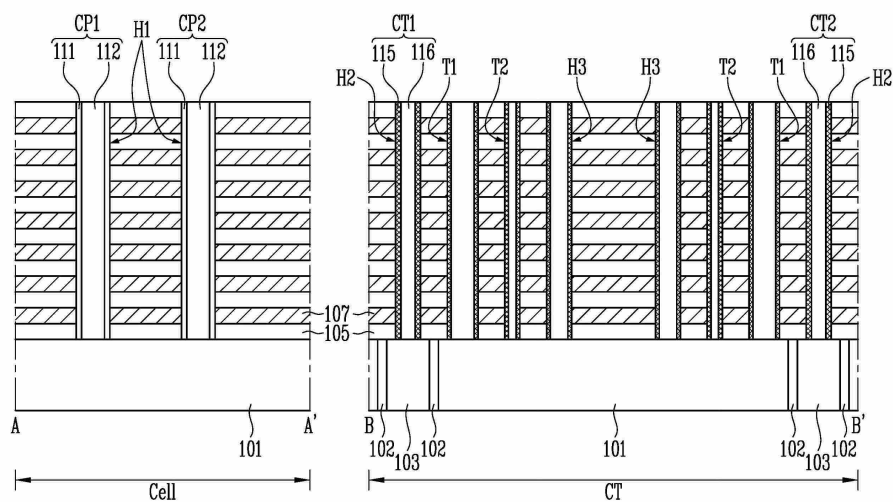


圖7

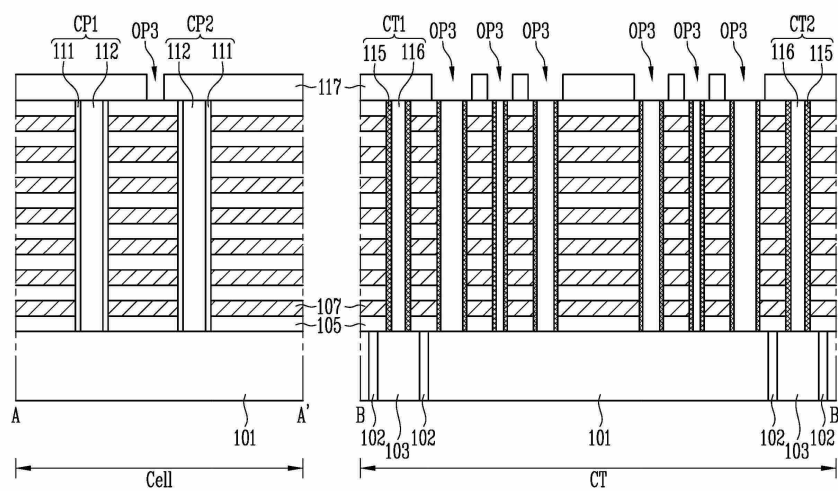


圖8A

(11)

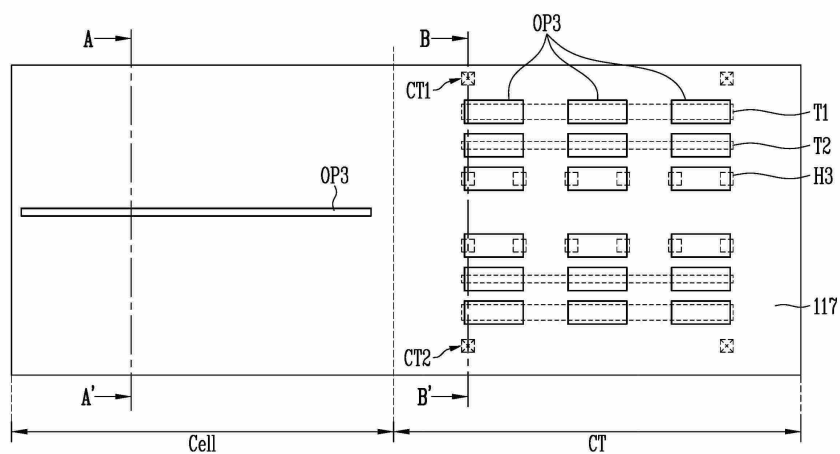


圖8B

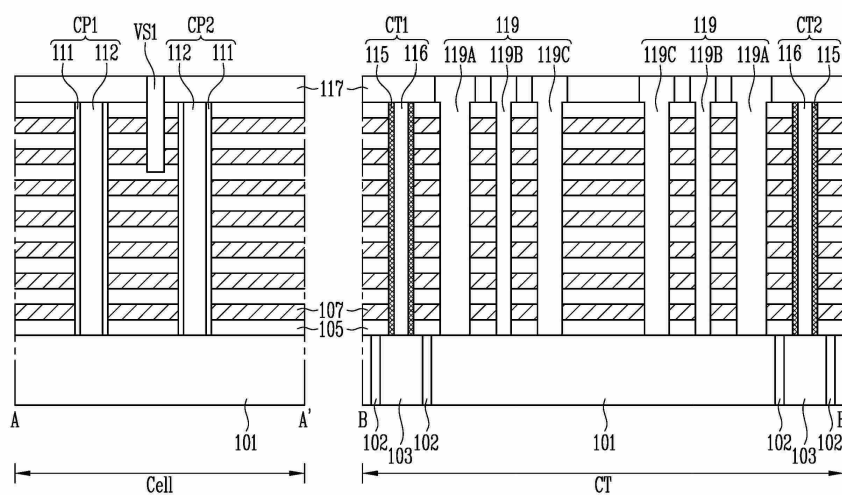


圖9

(12)

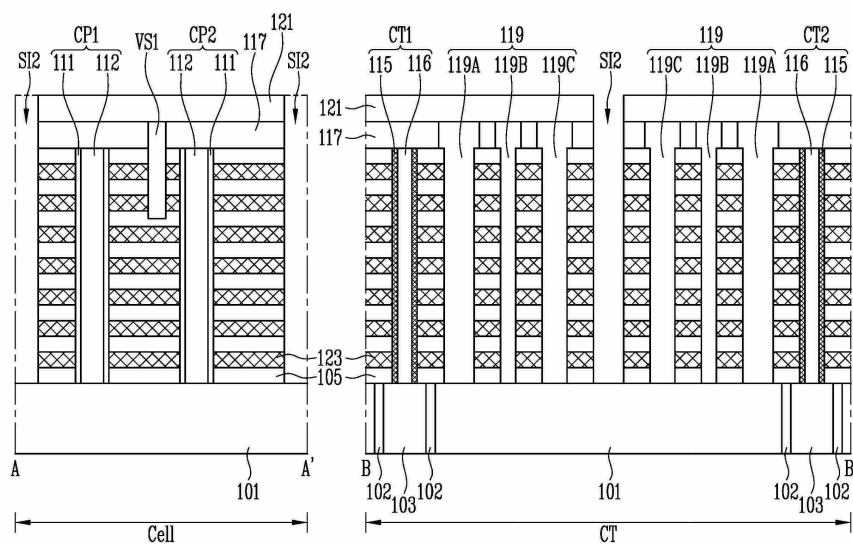


圖10A

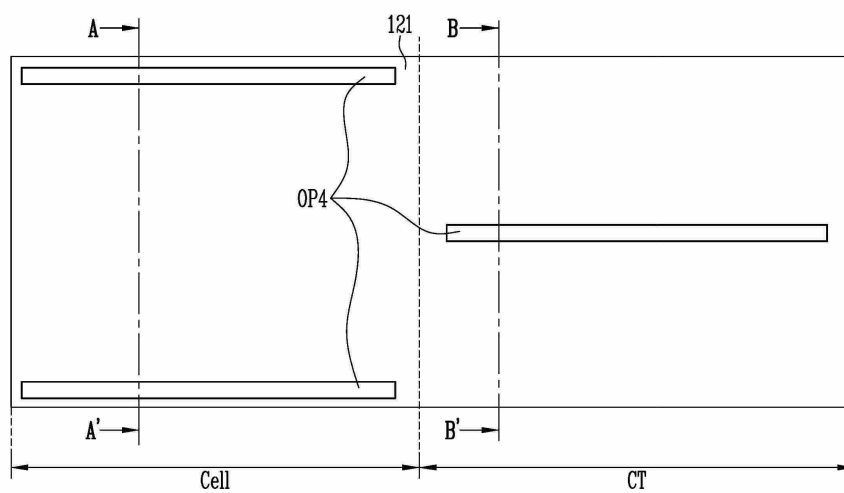


圖10B

(13)

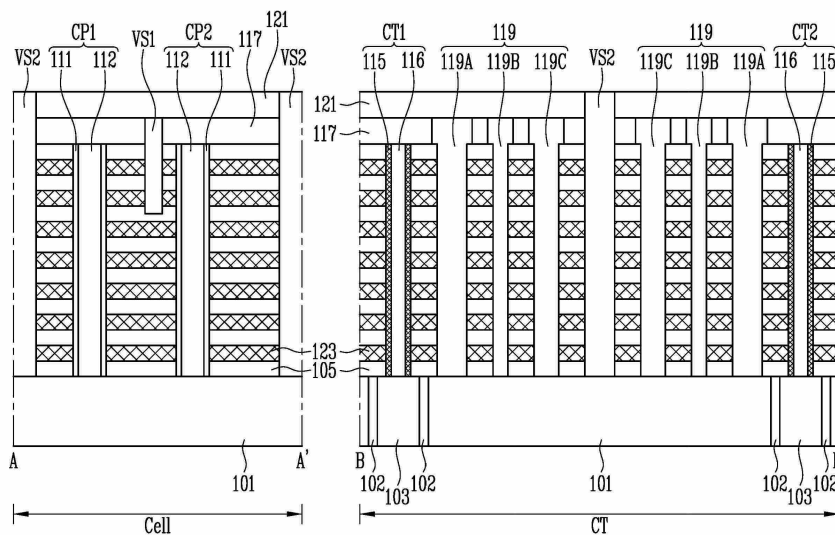


圖11

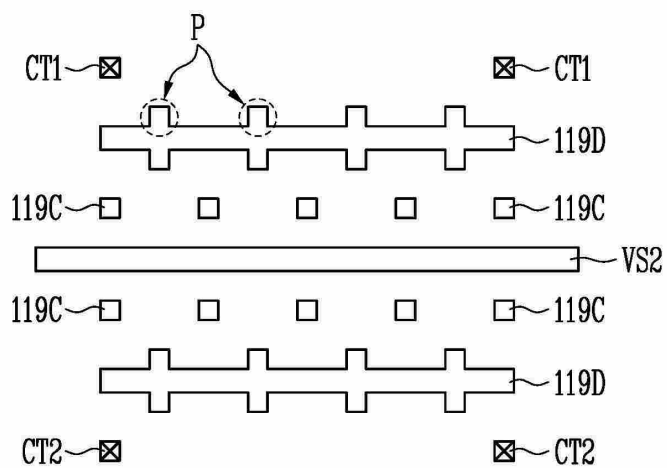


圖12A

(14)

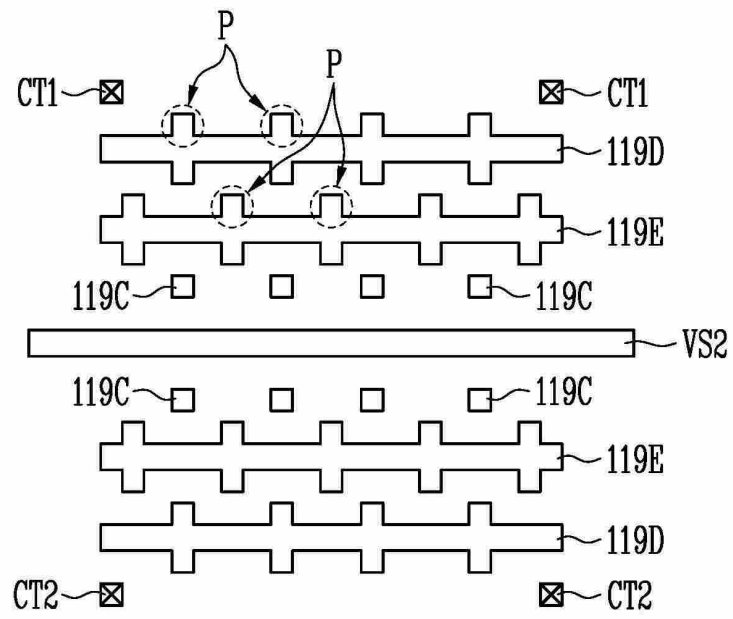


圖12B

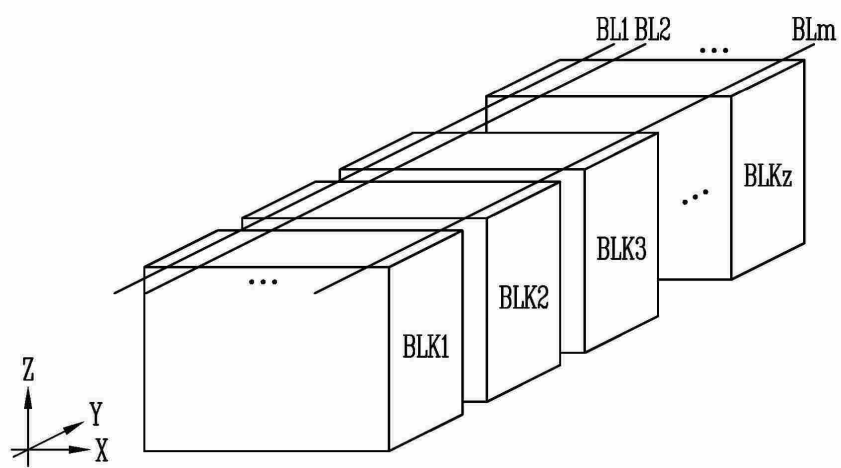


圖13

(15)

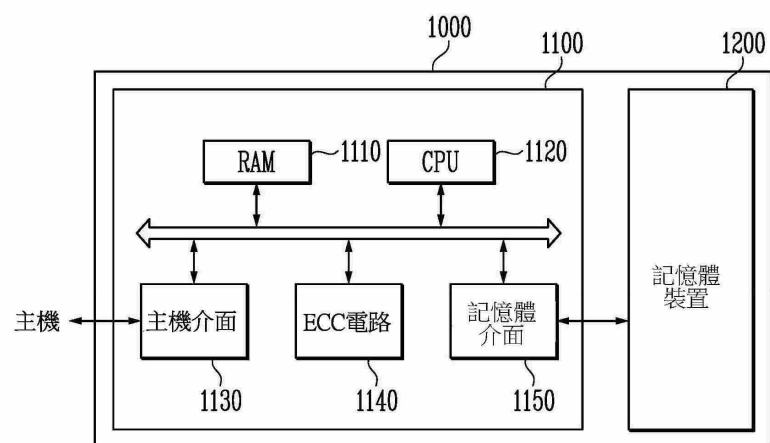


圖14

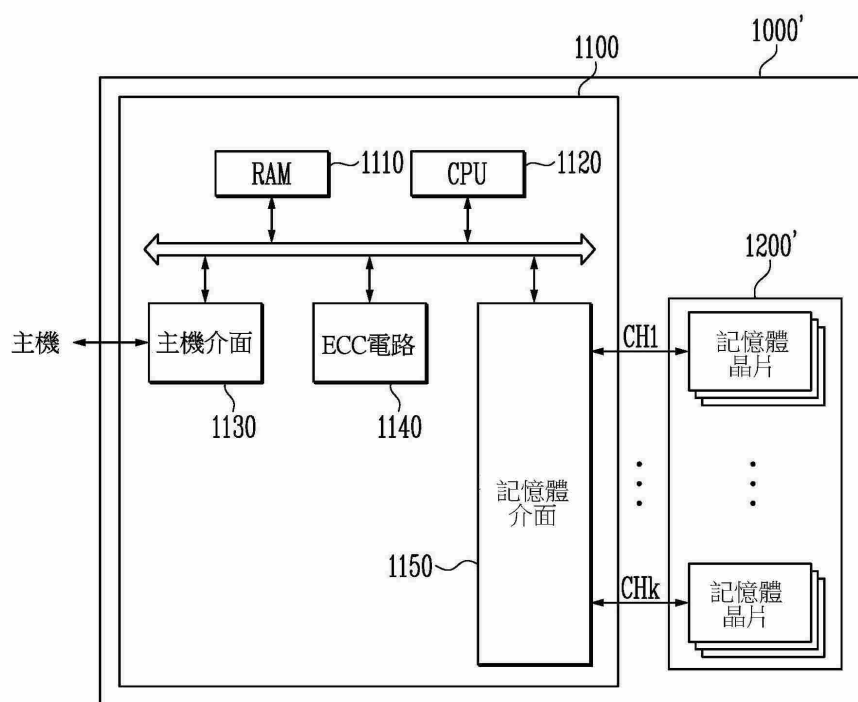


圖15

(16)

2000

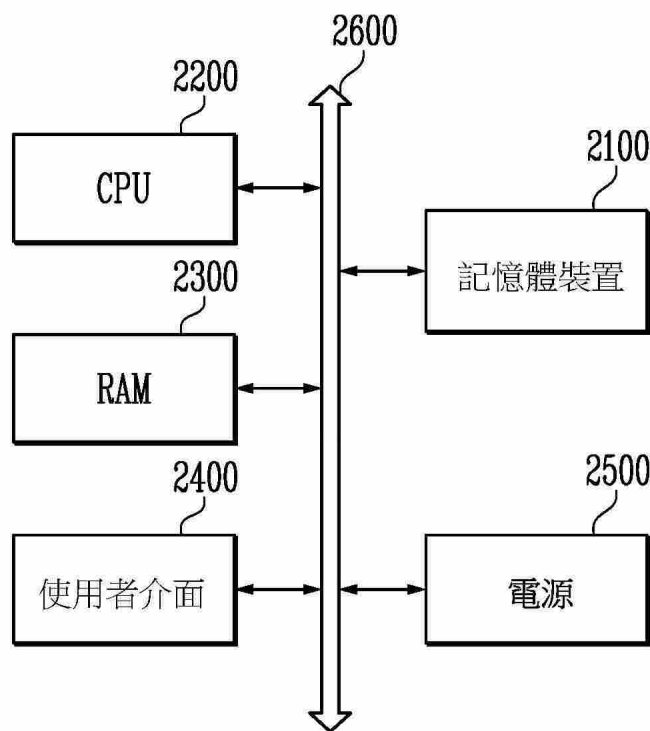


圖16

3000

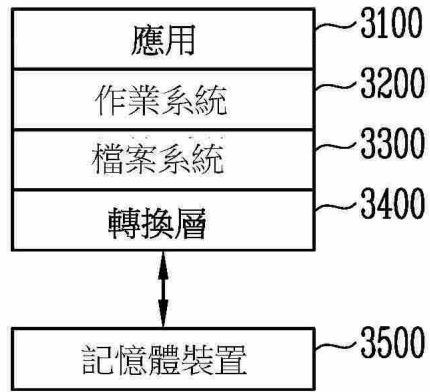


圖17