

【11】證書號數：I938359

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10W90/00 (2026.01)

發明

全 25 頁

【54】名稱：半導體封裝

【21】申請案號：111133631

【22】申請日：中華民國 111 (2022) 年 09 月 06 日

【11】公開編號：202324675

【43】公開日期：中華民國 112 (2023) 年 06 月 16 日

【30】優先權：2021/11/11

南韓

10-2021-0154537

【72】發明人：李元一 (KR) LEE, WONIL；金起 (KR) KIM, MINKI；金志勳 (KR) KIM, JIHOON；全光宰 (KR) JEON, GWANGJAE

【71】申請人：南韓三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧佩君；陳怡如

【56】參考文獻：

TW 201626535A

US 2014/0353828A1

審查人員：蕭允政

【57】申請專利範圍

1. 一種半導體封裝，包括：

第一半導體晶片，包括第一基板、第一接墊及第一絕緣層，所述第一接墊位於所述第一基板上方，所述第一絕緣層位於所述第一基板上方且環繞所述第一接墊；以及
第二半導體晶片，位於所述第一半導體晶片上，所述第二半導體晶片包括第二基板、第二接墊及第二絕緣層，所述第二接墊位於所述第二基板下方且接觸所述第一接墊，所述第二絕緣層位於所述第二基板下方、環繞所述第二接墊且接觸所述第一絕緣層，
其中所述第一絕緣層包括在第一方向上與所述第一接墊間隔開的第一凹陷部，
其中所述第二絕緣層包括在所述第一方向上與所述第二接墊間隔開的第二凹陷部，所述第二凹陷部在與所述第一方向垂直的第二方向上與所述第一凹陷部的至少一部分交疊，
在所述第一凹陷部與所述第二凹陷部之間存在空氣隙，且

其中所述半導體封裝更包括：

第一結合表面，在所述空氣隙的與所述第一接墊及所述第二接墊相鄰的一個側上由彼此接觸的所述第一絕緣層與所述第二絕緣層進行界定；以及
第二結合表面，在所述空氣隙的與所述一個側相對的另一側上由彼此接觸的所述第一絕緣層與所述第二絕緣層進行界定。

2. 如請求項 1 所述的半導體封裝，其中所述第一凹陷部與所述第一接墊在所述第一方向上彼此間隔開第一距離，
其中所述第二凹陷部與所述第二接墊在所述第一方向上彼此間隔開第二距離，且
其中所述第一結合表面在所述第一方向上所具有的長度等於或短於所述第一距離及所述第二距離中的每一者。
3. 如請求項 2 所述的半導體封裝，其中所述第一距離及所述第二距離中的每一者介於自 0.1 奈米至 500 奈米的範圍內。
4. 如請求項 1 所述的半導體封裝，其中所述第一凹陷部及所述第二凹陷部中的每一者在平面上環繞所述第一接墊及所述第二接墊中的每一者。

5. 如請求項 4 所述的半導體封裝，其中所述第一凹陷部及所述第二凹陷部中的每一者完全環繞所述第一接墊及所述第二接墊中的每一者。
6. 如請求項 1 所述的半導體封裝，其中所述第一凹陷部包括自所述第一絕緣層的面對所述第二半導體晶片的第一上表面朝向所述第一絕緣層的與所述第一上表面相對的第一下表面凹陷的彎曲表面，且
其中所述第二凹陷部包括自所述第二絕緣層的面對所述第一半導體晶片的第二下表面朝向所述第二絕緣層的與所述第二下表面相對的第二上表面凹陷的彎曲表面。
7. 如請求項 1 所述的半導體封裝，其中所述第一凹陷部包括自所述第一絕緣層的面對所述第二半導體晶片的第一上表面朝向所述第一絕緣層的與所述第一上表面相對的第一下表面凹陷的第一平整表面，且
其中所述第二凹陷部包括自所述第二絕緣層的面對所述第一半導體晶片的第二下表面朝向所述第二絕緣層的與所述第二下表面相對的第二上表面凹陷的第二平整表面。
8. 如請求項 1 所述的半導體封裝，其中所述第二絕緣層包括與所述第一絕緣層直接接觸的下部絕緣層以及位於所述下部絕緣層上的上部絕緣層，
其中所述下部絕緣層包含與所述第一絕緣層的絕緣材料不同的絕緣材料。
9. 如請求項 8 所述的半導體封裝，其中所述第一絕緣層包含氧化矽（SiO₂），且
其中所述第二絕緣層的所述下部絕緣層包含碳氮化矽（SiCN）。
10. 如請求項 8 所述的半導體封裝，其中所述第二凹陷部所具有的深度等於或小於所述下部絕緣層的厚度。
11. 如請求項 1 所述的半導體封裝，其中所述第一接墊包括第一導電層及環繞所述第一導電層的側表面的第一障壁層，且
其中所述第二接墊包括與所述第一導電層的至少一部分接觸的第二導電層且更包括環繞所述第二導電層的側表面的第二障壁層。
12. 如請求項 11 所述的半導體封裝，其中所述第一導電層包括暴露出所述第一障壁層的至少一部分的第一槽，且
其中所述第二導電層包括暴露出所述第二障壁層的至少一部分的第二槽。
13. 如請求項 1 所述的半導體封裝，其中所述第一半導體晶片更包括第一電路層、下部接墊及第一貫穿電極，所述第一電路層位於所述第一基板下方，所述下部接墊位於所述第一電路層下方，所述第一貫穿電極通過所述第一基板且電性連接至所述第一接墊及所述下部接墊。
14. 一種半導體封裝，包括：
第一半導體晶片，包括第一基板、多個第一接墊及第一絕緣層，所述多個第一接墊位於所述第一基板上方，所述第一絕緣層位於所述第一基板上方且環繞所述多個第一接墊；
以及
第二半導體晶片，位於所述第一半導體晶片上，所述第二半導體晶片包括第二基板、多個第二接墊及第二絕緣層，所述多個第二接墊位於所述第二基板下方，所述第二絕緣層位於所述第二基板下方且環繞所述多個第二接墊，
其中所述第一半導體晶片與所述第二半導體晶片藉由一對第一結合接墊結構與第二結合接墊結構而彼此電性連接，所述第一結合接墊結構及所述第二結合接墊結構各自包括所述多個第一接墊中的一者及所述多個第二接墊中的一者，
其中所述半導體封裝更包括環繞所述第一結合接墊結構的第一空氣隙及環繞所述第二結合接墊結構的第二空氣隙，且
其中所述半導體封裝更包括：

第一結合表面，在所述第一結合接墊結構與所述第一空氣隙之間以及所述第二結合接墊結構與所述第二空氣隙之間由彼此接觸的所述第一絕緣層的至少一部分與所述第二絕緣層的至少一部分進行界定；以及

第二結合表面，在所述第一空氣隙與所述第二空氣隙之間由彼此接觸的所述第一絕緣層的至少一部分與所述第二絕緣層的至少一部分進行界定。

15. 如請求項 14 所述的半導體封裝，其中所述第一結合表面中的每一者所具有的長度小於所述第一空氣隙及所述第二空氣隙中的每一者的寬度。
16. 如請求項 15 所述的半導體封裝，其中所述第一空氣隙及所述第二空氣隙中的每一者的所述寬度是所述第一結合接墊結構與所述第二結合接墊結構之間間隔的 5% 至 25%。
17. 如請求項 14 所述的半導體封裝，其中所述第二結合表面所具有的長度等於或大於所述第一空氣隙的寬度與所述第二空氣隙的寬度之和。
18. 一種半導體封裝，包括：
 第一半導體晶片，包括第一基板、第一接墊及第一絕緣層，所述第一接墊位於所述第一基板上，所述第一絕緣層包括環繞所述第一接墊的第一凹陷部；以及
 第二半導體晶片，位於所述第一半導體晶片上，所述第二半導體晶片包括第二基板、第二接墊及第二絕緣層，所述第二接墊位於所述第二基板下方且接觸所述第一接墊，所述第二絕緣層包括環繞所述第二接墊的第二凹陷部，
 其中所述第二絕緣層接觸所述第一絕緣層，且
 其中所述第一接墊及所述第二接墊中的每一者的側表面分別被所述第一絕緣層及所述第二絕緣層完全覆蓋，
 其中所述第一絕緣層的至少一部分位於所述第一接墊的所述側表面與所述第一凹陷部之間，且
 其中所述第二絕緣層的至少一部分位於所述第二接墊的所述側表面與所述第二凹陷部之間。
19. 如請求項 18 所述的半導體封裝，其中所述第一絕緣層的所述一部分與所述第二絕緣層的所述一部分接觸。

圖式簡單說明

結合附圖閱讀以下詳細說明，將更清楚地理解本揭露的實施例的以上及其他態樣、特徵及優點，在附圖中

圖 1A 是示出根據本揭露實施例的半導體封裝的剖視圖。

圖 1B 是示出圖 1A 所示部分「A」的局部放大圖。

圖 1C 是示出圖 1A 所示部分「B」的局部放大圖。

圖 1D 是沿著線 I-I' 截取的圖 1C 的第一平面圖。

圖 1E 是沿著線 I-I' 截取的圖 1C 的第二平面圖。

圖 2 是示出根據本揭露實施例的半導體封裝的經修改實施例的局部放大圖。

圖 3 是示出根據本揭露實施例的半導體封裝的經修改實施例的局部放大圖。

圖 4 是示出根據本揭露實施例的半導體封裝的經修改實施例的局部放大圖。

圖 5 是示出根據本揭露實施例的半導體封裝的經修改實施例的局部放大圖。

圖 6 是示出根據本揭露實施例的半導體封裝的經修改實施例的局部放大圖。

圖 7 是示出根據本揭露實施例的半導體封裝的經修改實施例的局部放大圖。

圖 8 是示出根據本揭露實施例的半導體封裝的剖視圖。

圖 9A 是示出根據本揭露實施例的半導體封裝的平面圖。

圖 9B 是沿著線 II-II' 截取的圖 9A 的剖視圖。

圖 10A 是示出根據本揭露實施例的半導體封裝的平面圖。

(4)

圖 10B 是沿著線 III-III' 截取的圖 10A 的剖視圖。

圖 11A 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第一剖視圖。

圖 11B 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第二剖視圖。

圖 11C 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第三剖視圖。

圖 11D 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第四剖視圖。

圖 11E 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第五剖視圖。

圖 11F 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第六剖視圖。

圖 11G 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第七剖視圖。

圖 11H 是示出用於在半導體晶片的後表面上形成凹陷部的製造製程的第八剖視圖。

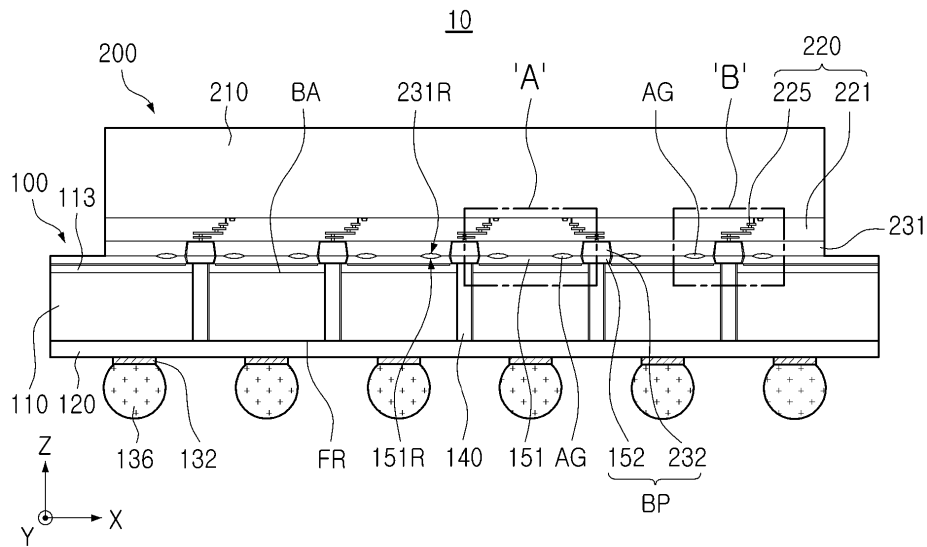
圖 12A 是示出用於在半導體晶片的前表面上形成凹陷部的製造製程的第一剖視圖。

圖 12B 是示出用於在半導體晶片的前表面上形成凹陷部的製造製程的第二剖視圖。

圖 12C 是示出用於在半導體晶片的前表面上形成凹陷部的製造製程的第三剖視圖。

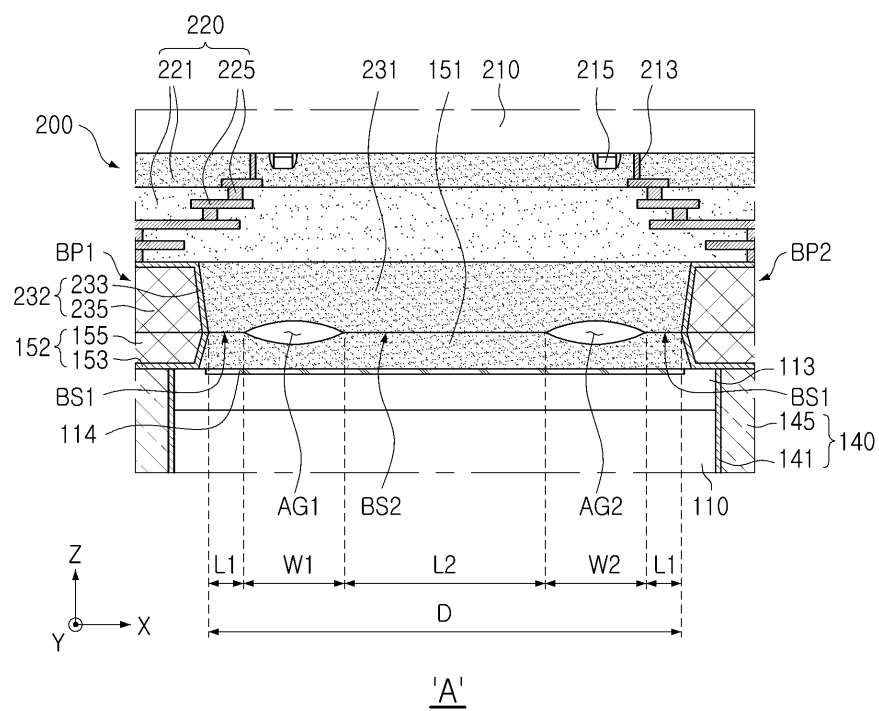
圖 12D 是示出用於在半導體晶片的前表面上形成凹陷部的製造製程的第四剖視圖。

圖 13 是示出圖 1A 所示半導體封裝的製造製程的剖視圖。



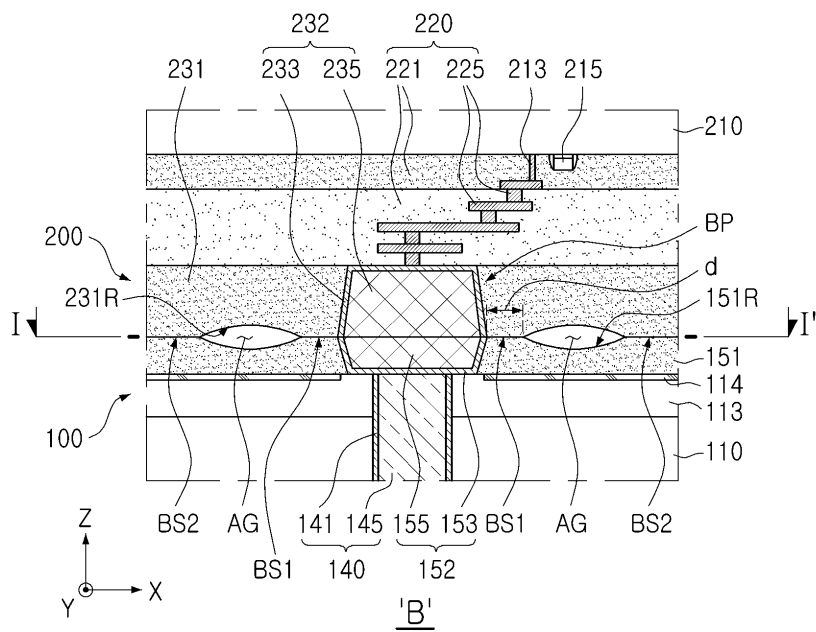
【圖1A】

(5)



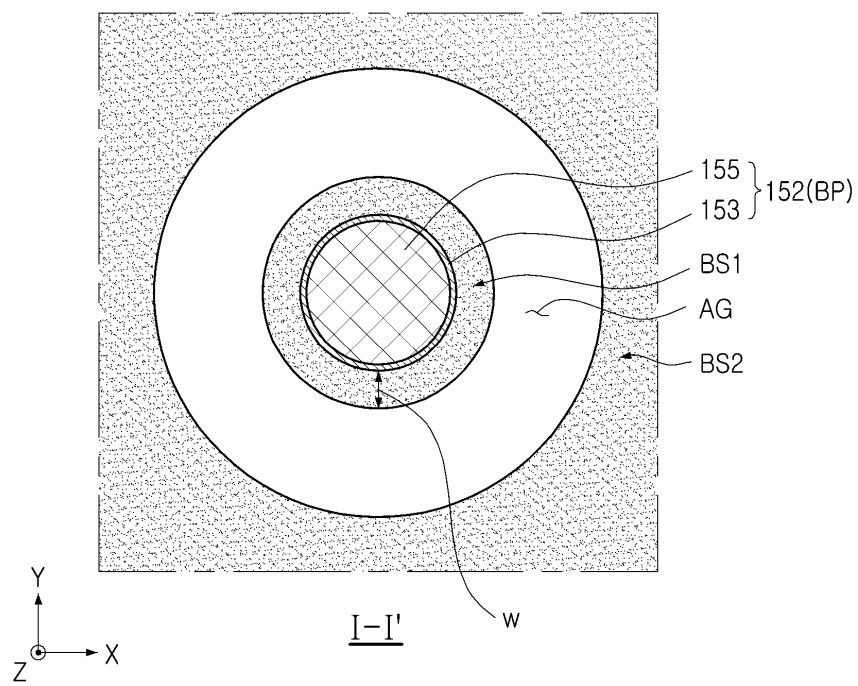
【圖1B】

(6)



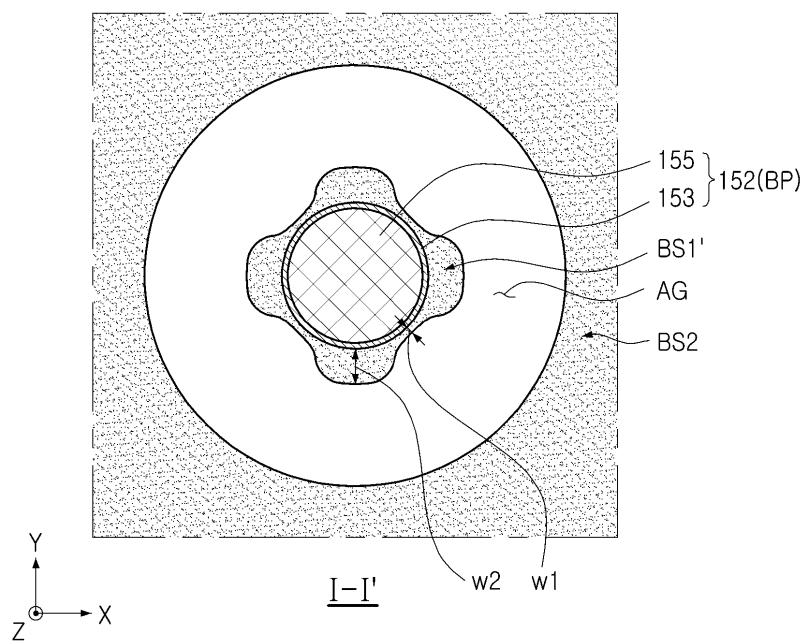
【圖1C】

(7)



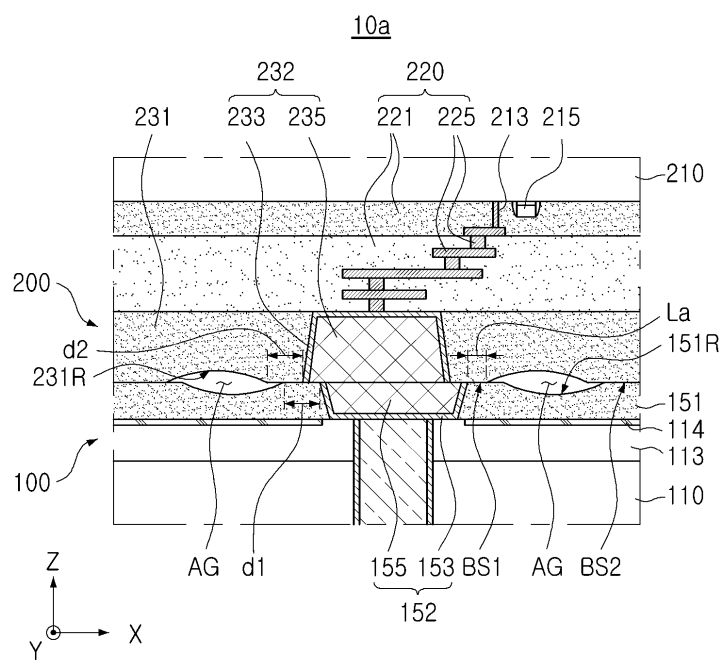
【圖1D】

(8)



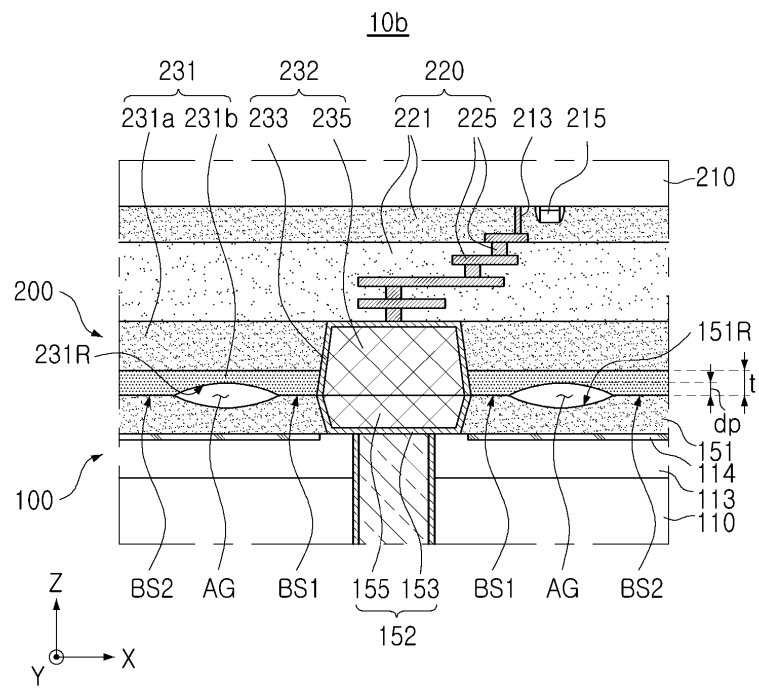
【圖1E】

(9)



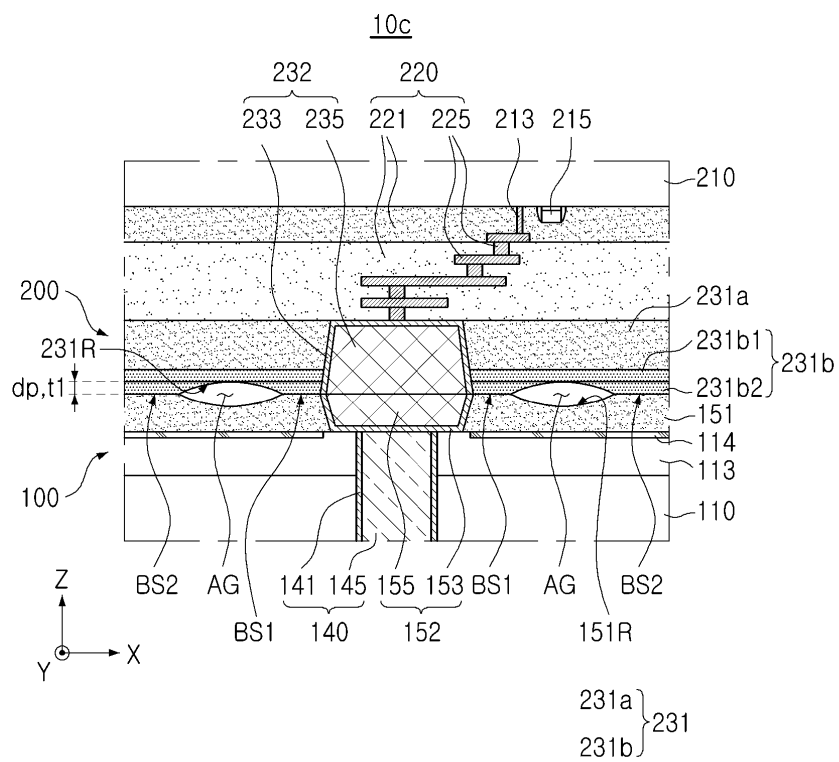
【圖2】

(10)



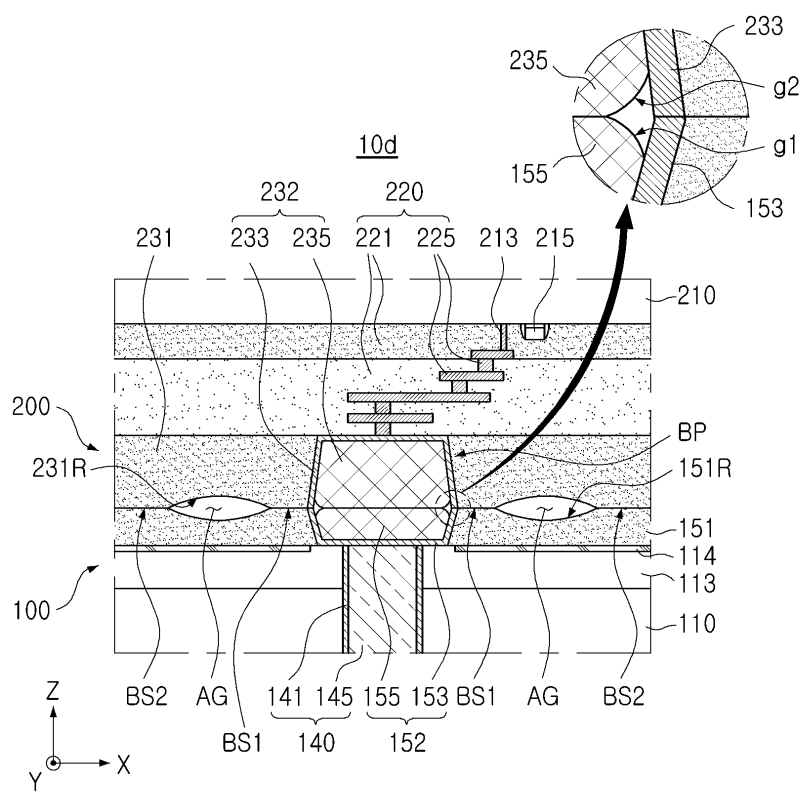
【圖3】

(11)



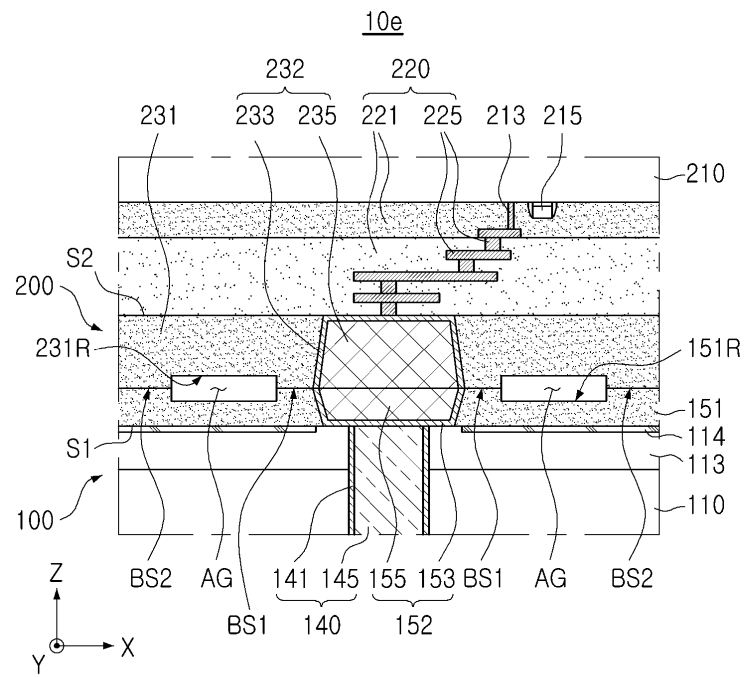
【圖4】

(12)



【圖5】

(13)

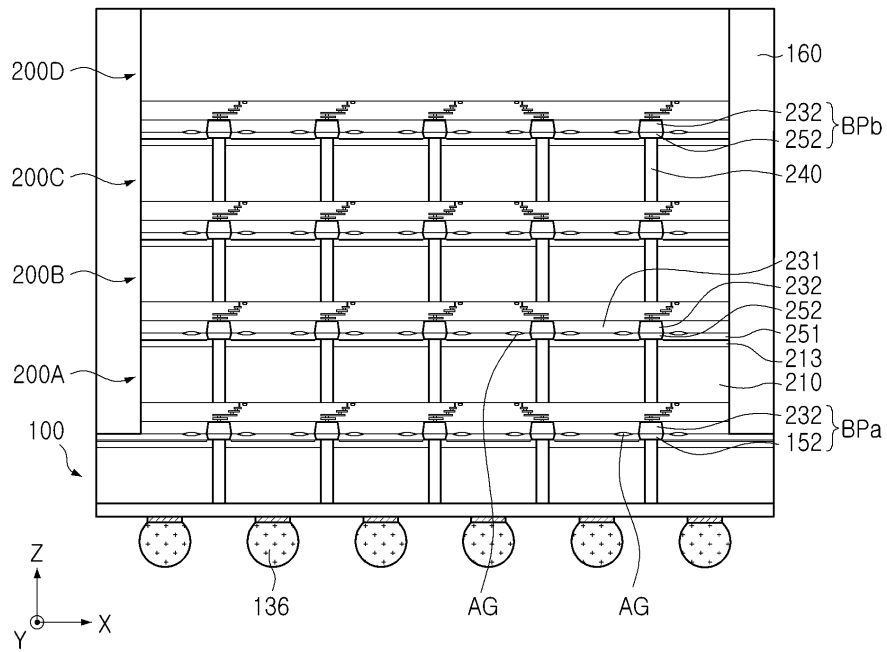


【圖6】

[illegible]

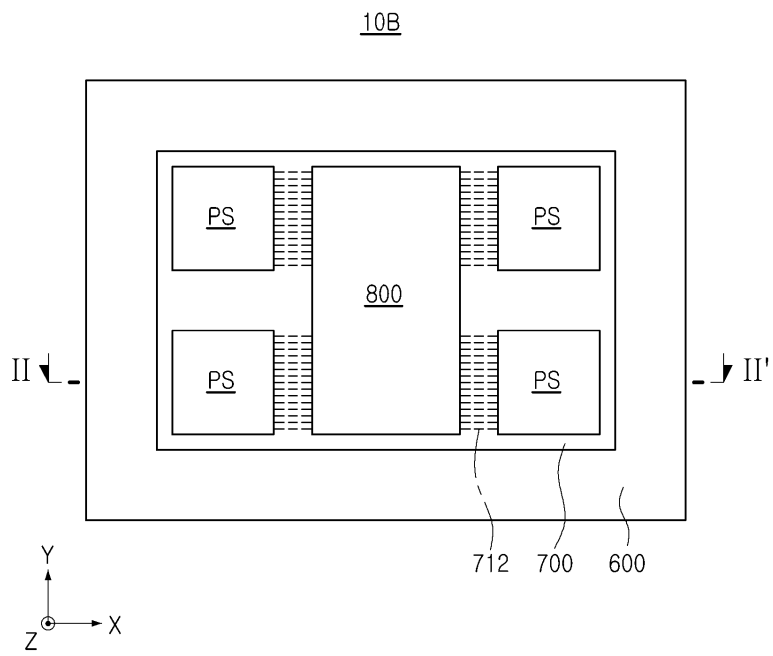
(15)

10A



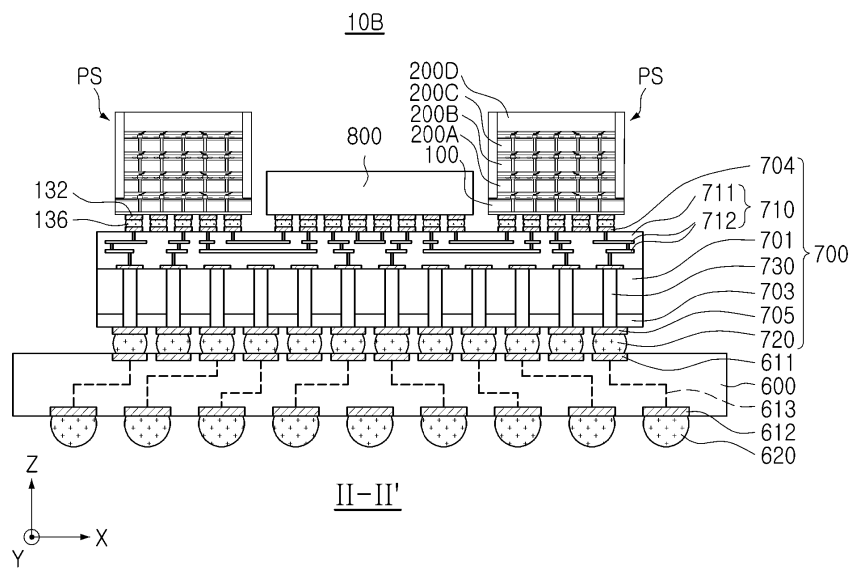
【圖8】

(16)



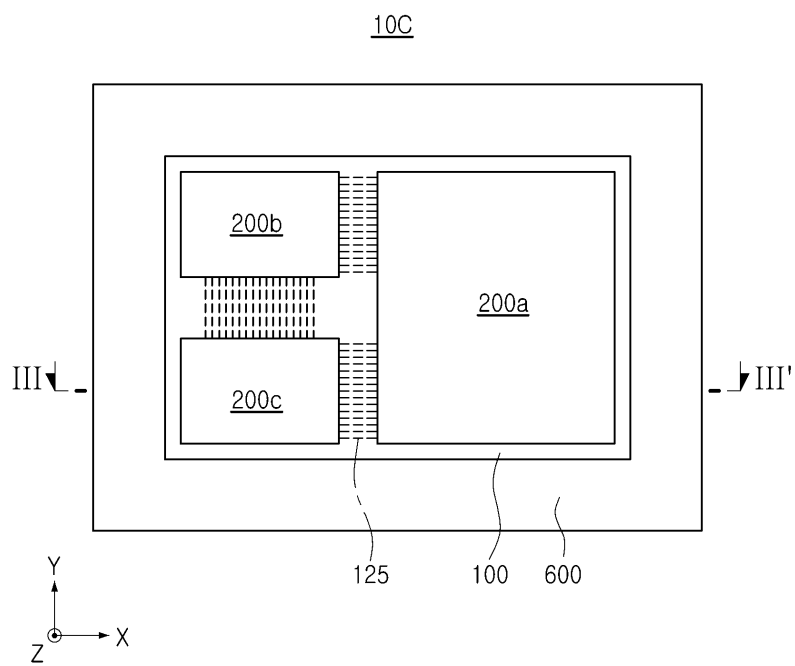
【圖9A】

(17)



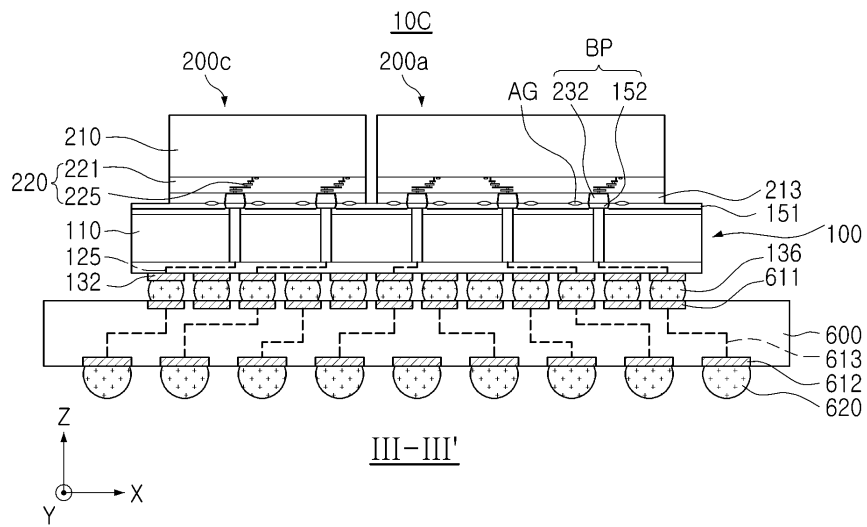
【圖9B】

(18)

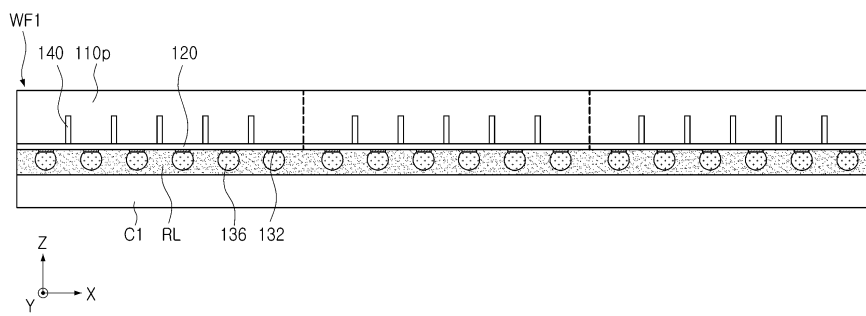


【圖10A】

(19)

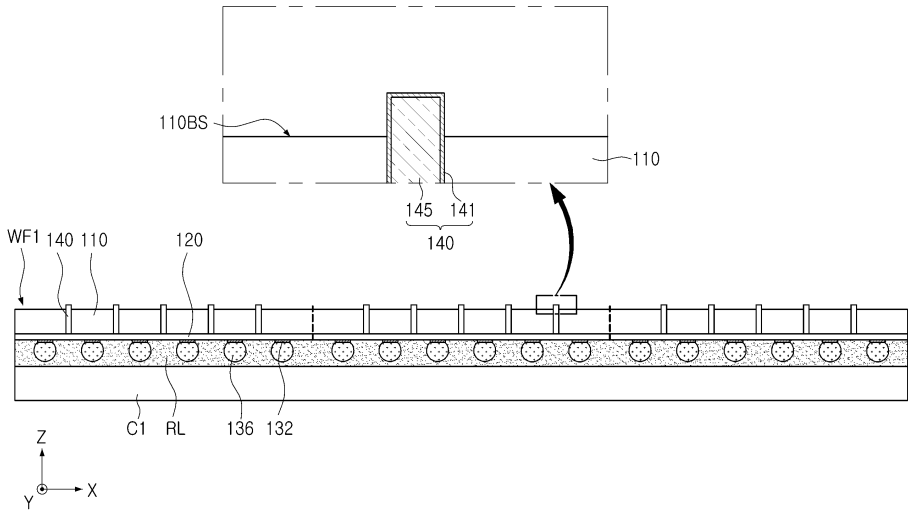


【圖10B】

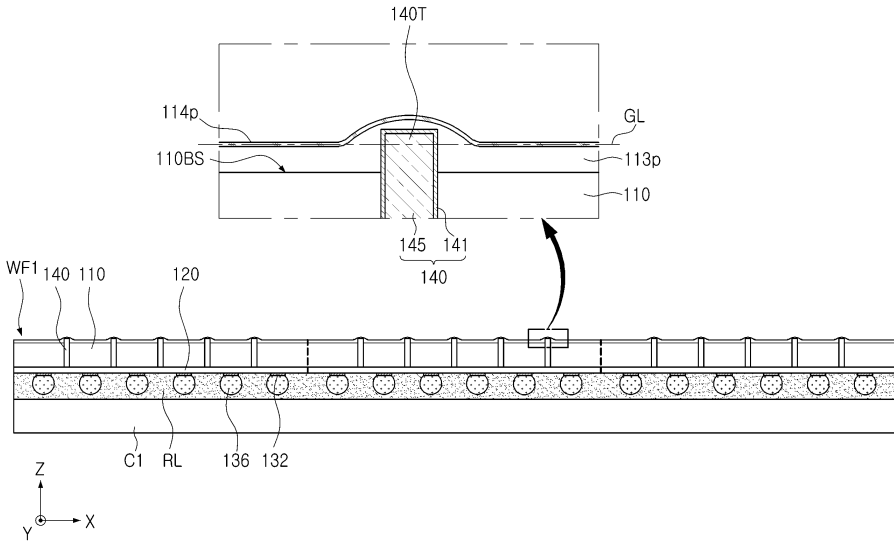


【圖11A】

(20)

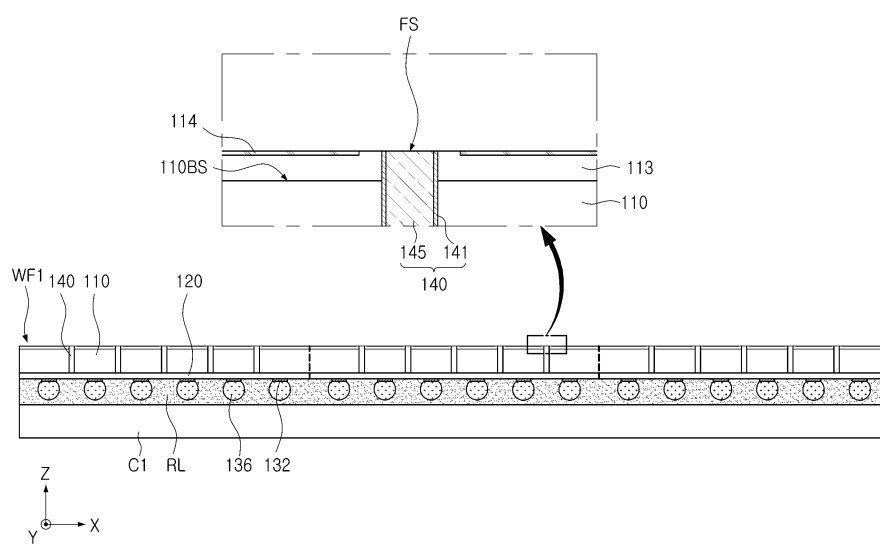


【圖11B】

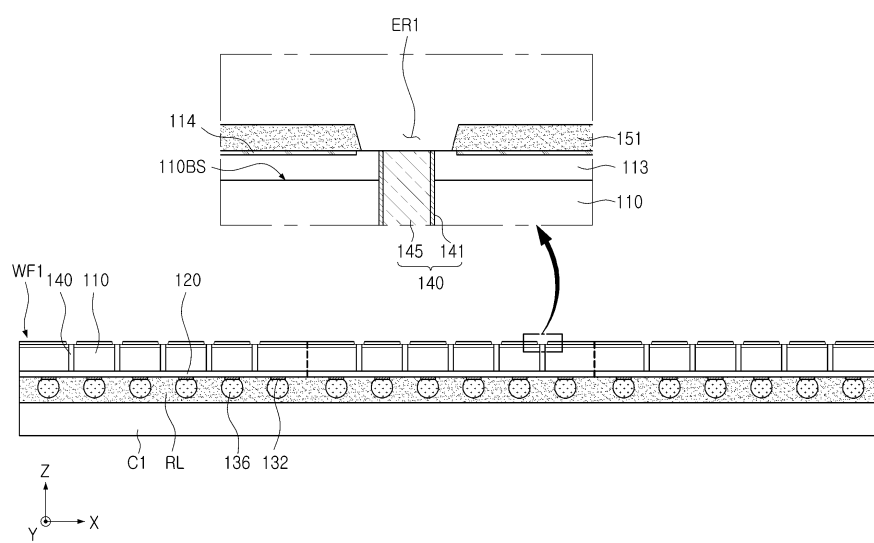


【圖11C】

(21)

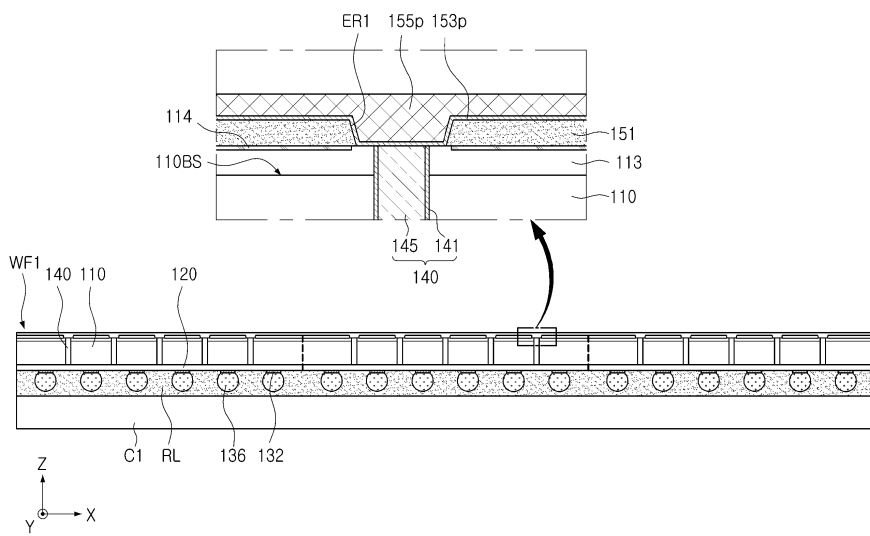


【圖11D】

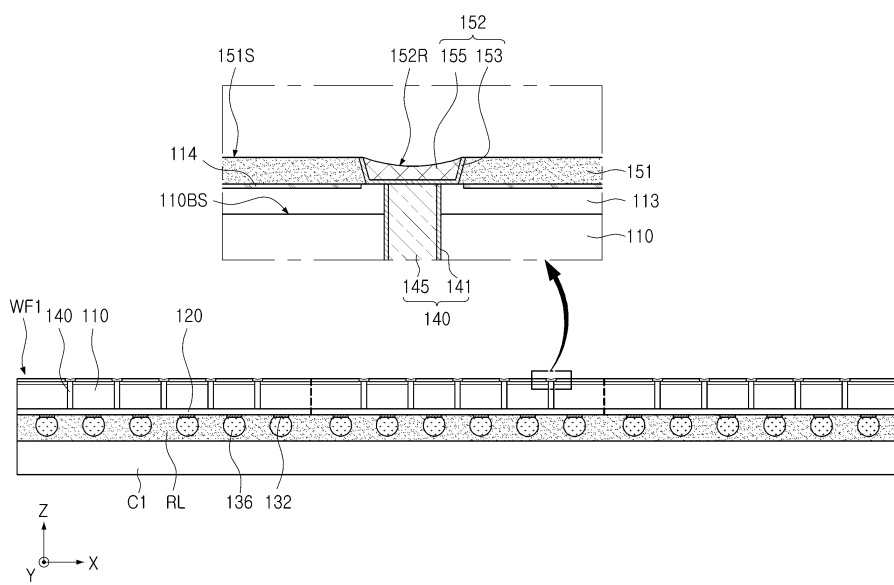


【圖11E】

(22)

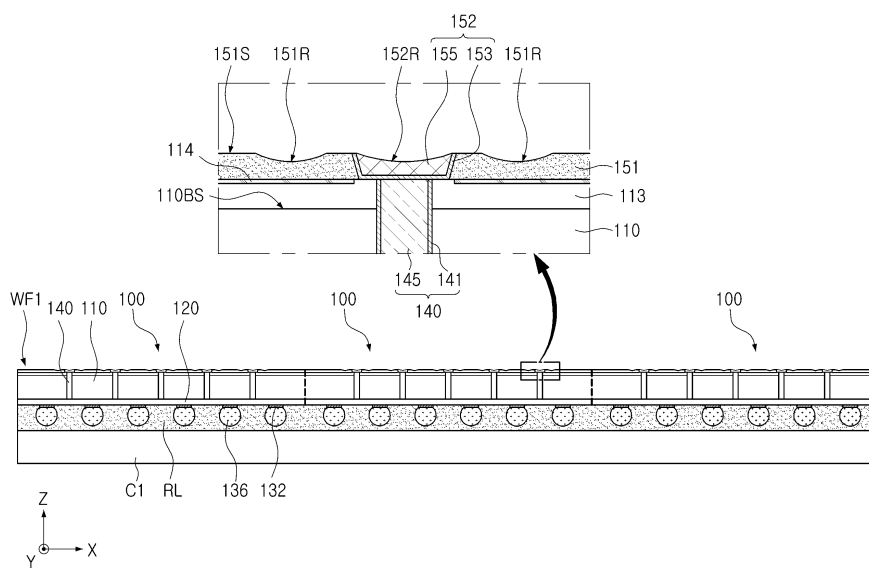


【圖11F】

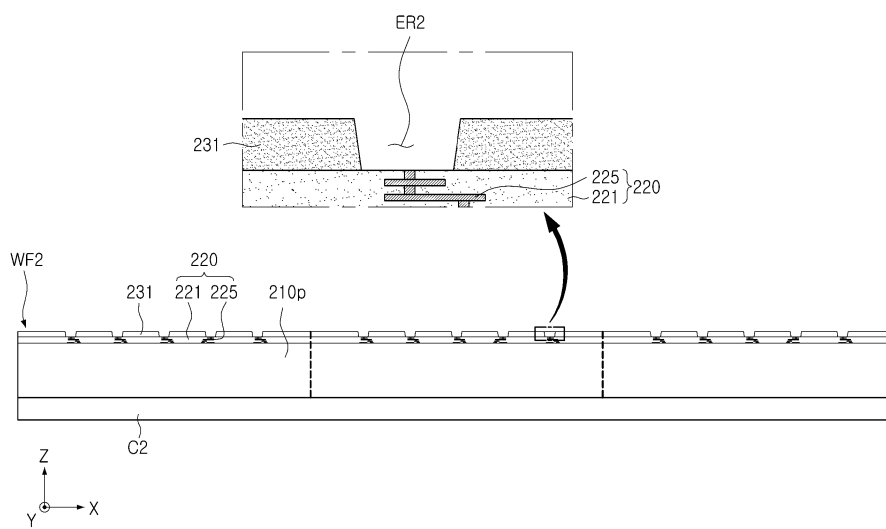


【圖11G】

(23)

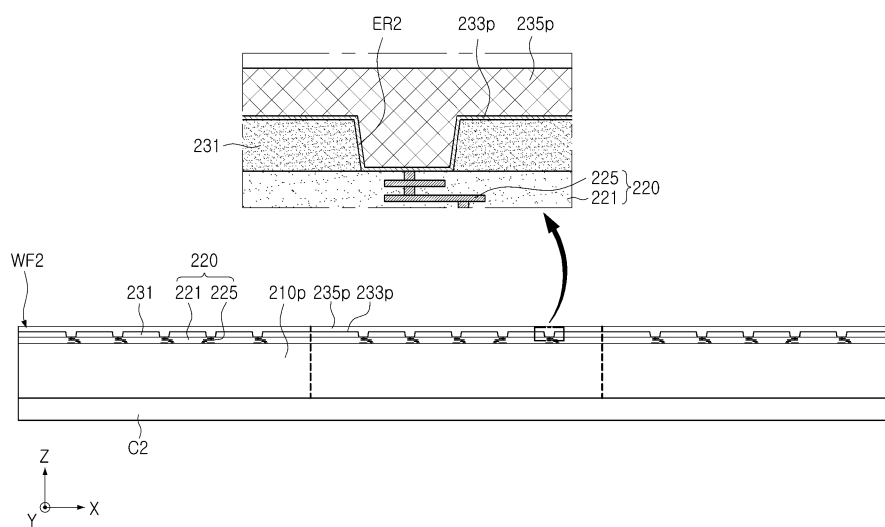


【圖11H】

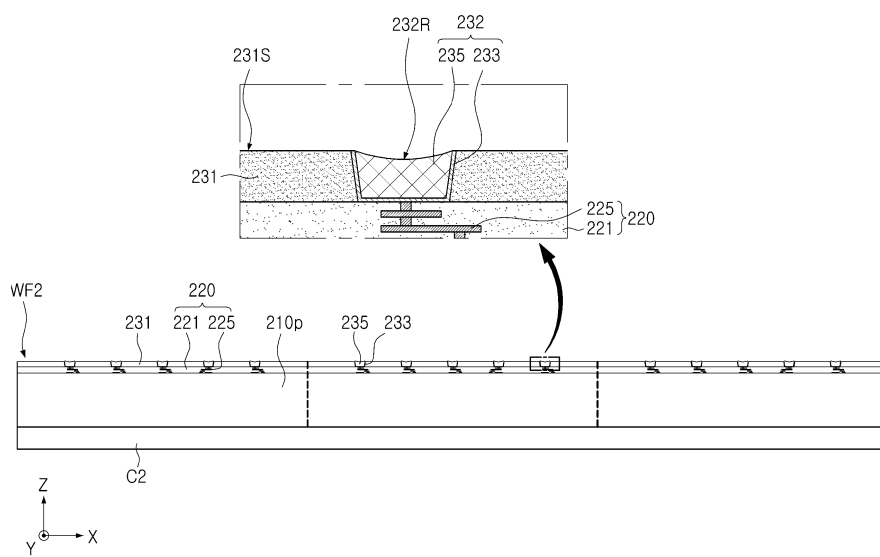


【圖12A】

(24)



【圖12B】



【圖12C】

[illegible]