

【11】證書號數：I938415

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10B20/00 (2023.01) H10B69/00 (2023.01)
H10B99/00 (2023.01)

發明

全 4 頁

【54】名稱：半導體元件及其製作方法

【21】申請案號：111142380

【22】申請日：中華民國 111 (2022) 年 11 月 07 日

【11】公開編號：202420952

【43】公開日期：中華民國 113 (2024) 年 05 月 16 日

【72】發明人：向 往 (SG) XIANG, WANG ; 許 加慶 (SG) HSU, CHIA CHING ; 王獻德 (TW) WANG, SHEN-DE ; 曾勇霖 (TW) TSENG, YUNG-LIN ; 劉 曄昌 (SG) LIU, WEICHANG

【71】申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.
新竹市新竹科學工業園區力行二路三號

【74】代理人：吳豐任；戴俊彥

【56】參考文獻：

US 9082837B2

US 2008/0093643A1

US 2017/0162590A1

審查人員：郭俊彥

【57】申請專利範圍

1. 一種半導體元件，包含：
一基底，具有快閃記憶體區和邏輯元件區；
至少一邏輯電晶體，設置於該邏輯元件區內；以及
至少一快閃記憶體電晶體設置於該快閃記憶體區內，其中，該至少一快閃記憶體電晶體包含：
一金屬選擇閘極，具有兩個相對側壁；
分別設置在該金屬選擇閘極的該兩個相對側壁上的兩個記憶體閘極；以及
兩個電荷儲存結構，分別設置於該兩個記憶體閘極與該基底之間，其中，各該兩個電荷儲存結構皆具有 L 形輪廓；
其中，該金屬選擇閘極包含一高介電常數閘極介電層，該高介電常數閘極介電層與該兩個電荷儲存結構直接接觸。
2. 如請求項 1 所述的半導體元件，其中，該至少一邏輯電晶體包含一金屬閘極。
3. 如請求項 2 所述的半導體元件，其中，該金屬閘極和該金屬選擇閘極具有相同的閘極結構。
4. 如請求項 2 所述的半導體元件，其中，該金屬閘極和該金屬選擇閘極均包含一導電閘極。
5. 如請求項 2 所述的半導體元件，其中，該金屬閘極的頂面與該金屬選擇閘極的頂面齊平共面。
6. 如請求項 1 所述的半導體元件，其中，另包含：
一介電層，設置於該基底上並覆蓋該金屬選擇閘極。
7. 如請求項 1 所述的半導體元件，其中，該兩個電荷儲存結構均包含氧化物-氮化物-氧化物(ONO)儲存結構。

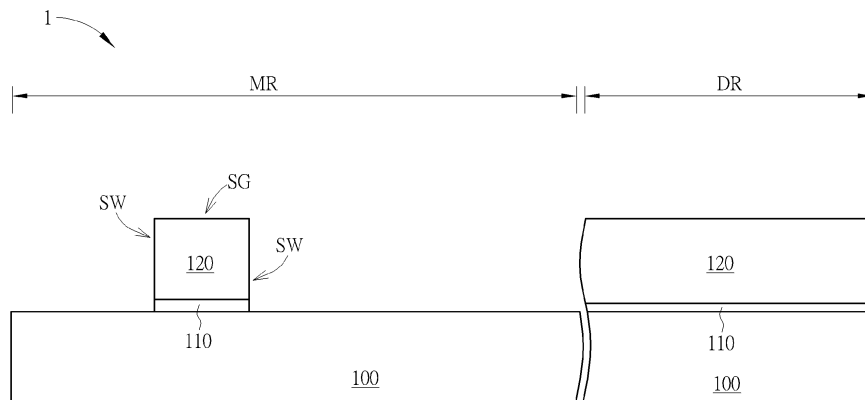
(2)

8. 如請求項 6 所述的半導體元件，其中，各該兩個電荷儲存結構包含一側表面，且該介電層與該側表面直接接觸。
9. 如請求項 1 所述的半導體元件，其中，該兩個記憶體閘極是多晶矽閘極。
10. 如請求項 1 所述的半導體元件，其中，另包含：
兩個源/汲極摻雜區，設於該基底中，分別與該兩個記憶體閘極相鄰。
11. 一種形成半導體元件的方法，包含：
提供具有快閃記憶體區和邏輯元件區的基底；
在該邏輯元件區域中形成至少一邏輯電晶體；以及
在該快閃記憶體區域中形成至少一快閃記憶體電晶體，其中，該至少一快閃記憶體電晶體包含：
一金屬選擇閘極，具有兩個相對側壁；
分別設置在該金屬選擇閘極的該兩個相對側壁上的兩個記憶體閘極；以及
兩個電荷儲存結構，分別設置於該兩個記憶體閘極與該基底之間，其中，各該兩個電荷儲存結構皆具有 L 形輪廓；
其中，該金屬選擇閘極包含一高介電常數閘極介電層，該高介電常數閘極介電層與該兩個電荷儲存結構直接接觸。
12. 如請求項 11 所述的方法，其中，該至少一邏輯電晶體包含一金屬閘極。
13. 如請求項 12 所述的方法，其中，該金屬閘極和該金屬選擇閘極具有相同的閘極結構。
14. 如請求項 12 所述的方法，其中，該金屬閘極和該金屬選擇閘極均包含一導電閘極。
15. 如請求項 12 所述的方法，其中，該金屬閘極的頂面與該金屬選擇閘極的頂面齊平共面。
16. 如請求項 11 所述的方法，其中，另包含：
形成一介電層，設置於該基底上並覆蓋該金屬選擇閘極。
17. 如請求項 11 所述的方法，其中，該兩個電荷儲存結構均包含氧化物-氮化物-氧化物(ONO)儲存結構。
18. 如請求項 16 所述的方法，其中，各該兩個電荷儲存結構包含一側表面，且該介電層與該側表面直接接觸。
19. 如請求項 11 所述的方法，其中，該兩個記憶體閘極是多晶矽閘極。
20. 如請求項 11 所述的方法，其中，另包含：
在該基底中形成兩個源/汲極摻雜區，分別與該兩個記憶體閘極相鄰。

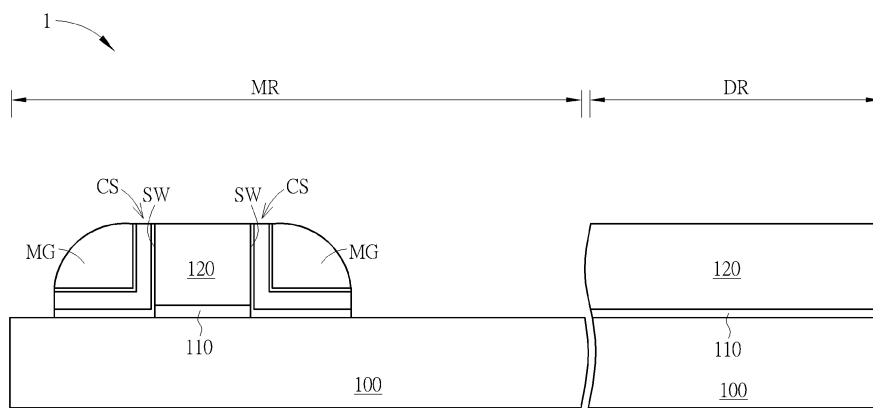
圖式簡單說明

圖 1 至圖 6 為根據本發明實施例所繪示的製作半導體元件的方法示意圖。

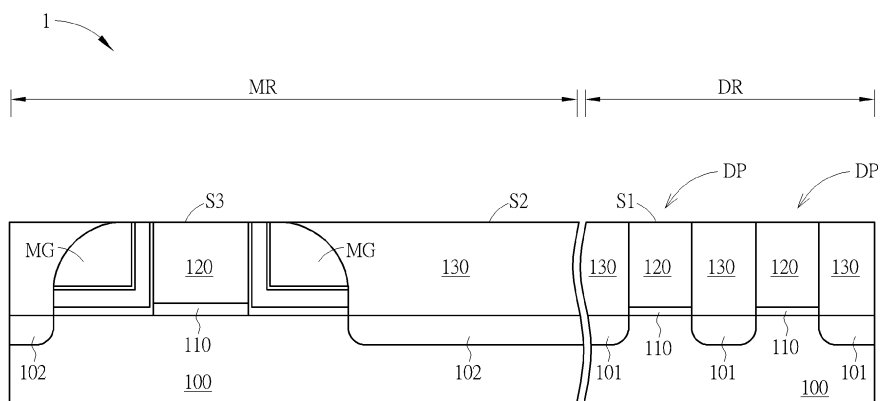
(3)



第1圖

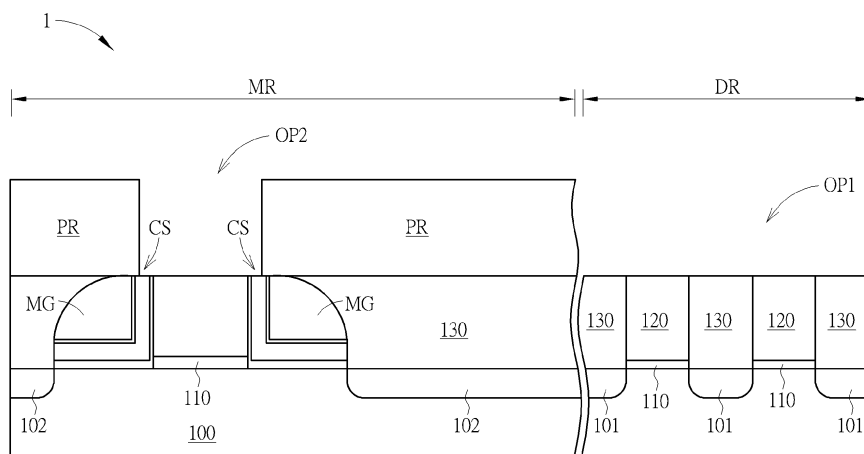


第2圖

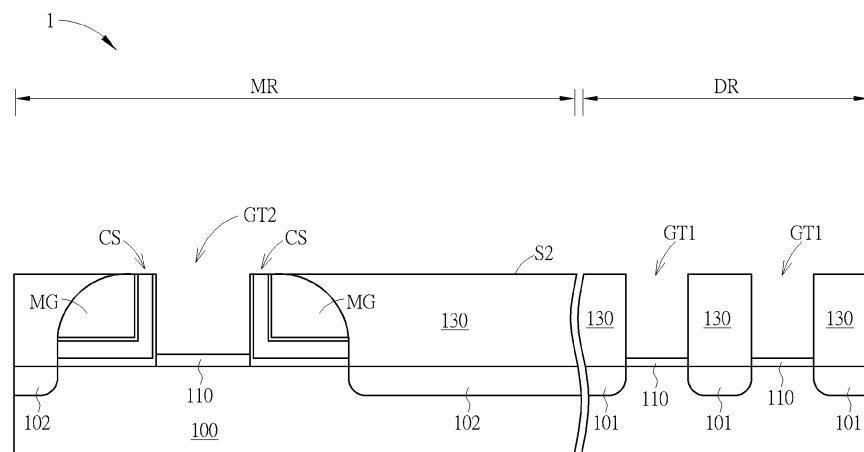


第3圖

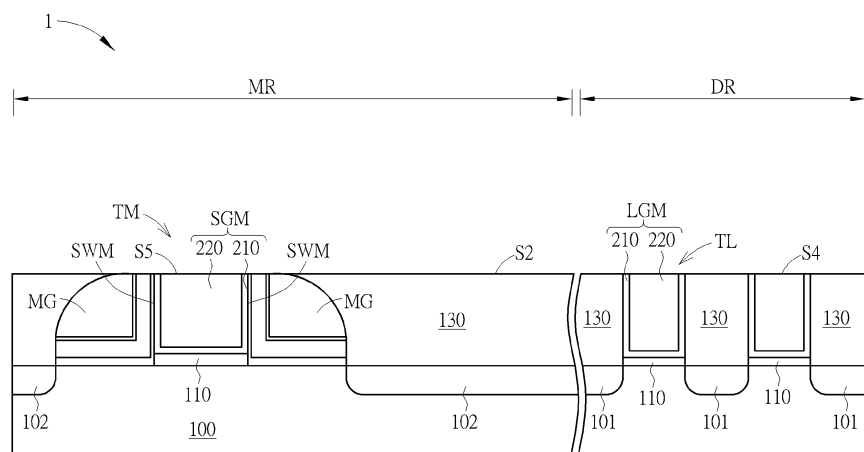
(4)



第4圖



第5圖



第6圖