

【11】證書號數：I938483

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10D84/80 (2025.01) H10D62/10 (2025.01)

發明

全 8 頁

【54】名稱：半導體元件

【21】申請案號：112110227

【22】申請日：中華民國 112 (2023) 年 03 月 20 日

【11】公開編號：202439593

【43】公開日期：中華民國 113 (2024) 年 10 月 01 日

【72】發明人：帥宏勳 (TW) SHUAI, HUNG HSUN；陳志容 (TW) CHEN, CHIH-JUNG

【71】申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.  
新竹市力行二路三號

【74】代理人：劉亞君

【56】參考文獻：

TW 202301560A

JP 2010-272649A

KR 1020150087006A

US 6545309B1

US 2010/029511A1

審查人員：郭俊彥

## 【57】申請專利範圍

## 1. 一種半導體元件，包括：

基底，包括第一區與第二區，所述第二區環繞在所述第一區周圍；

摻雜環，位於所述第二區的所述基底中，環繞所述第一區，其中所述摻雜環包括：

第一摻雜區，位於所述第二區的所述基底中，環繞所述第一區，其中所述第一摻雜區具有開口；

多個第二摻雜區，彼此分離，位於所述開口的所述基底中；

多個接觸窗，電性連接所述多個第二摻雜區以及所述第一摻雜區的末端；以及

多個導線，連接所述多個接觸窗，且連接在所述第一區上的多個導體層。

## 2. 如請求項 1 所述的半導體元件，其中所述多個導線連接多個控制閘極與多個控制閘極的解碼器。

## 3. 如請求項 1 所述的半導體元件，更包括保護環，在所述第二區的所述基底上，與所述摻雜環相鄰。

## 4. 如請求項 3 所述的半導體元件，其中所述保護環與所述摻雜環局部重疊。

## 5. 如請求項 3 所述的半導體元件，其中所述保護環與所述摻雜環未重疊。

## 6. 如請求項 3 所述的半導體元件，其中所述摻雜環比所述保護環接近所述第一區。

## 7. 如請求項 3 所述的半導體元件，其中所述摻雜環比所述保護環遠離所述第一區。

## 8. 如請求項 3 所述的半導體元件，其中所述第一摻雜區以及所述多個第二摻雜區各自分別包括：

淡摻雜區，位於井區中，所述井區至少位於第二區的所述基底中；以及

濃摻雜區，位於所述淡摻雜區中，其中所述井區的摻質的導電型不同於所述淡摻雜區以及所述濃摻雜區的摻質的導電型。

## 9. 如請求項 8 所述的半導體元件，其中所述保護環位於所述井區內。

## 10. 如請求項 8 所述的半導體元件，更包括：金屬矽化物層，位於所述濃摻雜區上。

## 11. 如請求項 8 所述的半導體元件，更包括：隔離結構，介於所述第一區與所述第二區之間。

12. 一種半導體元件，包括：
  - 基底，包括第一區與第二區，所述第二區環繞在所述第一區周圍；
  - 多個記憶體元件，位於所述第一區中；
  - 多個二極體，位於所述第二區的所述基底中；
  - 多個接觸窗，電性連接在所述多個二極體；以及
  - 多個導線，連接所述多個接觸窗，且連接所述多個記憶體元件，其中所述二極體各自分別包括：
    - 井區，位於所述第二區的所述基底中；
    - 淡摻雜區，位於所述井區中；以及
    - 濃摻雜區，位於所述淡摻雜區中，其中所述井區的摻質的導電型不同於所述淡摻雜區以及所述濃摻雜區的摻質的導電型。
13. 如請求項 12 所述的半導體元件，更包括：
  - 金屬矽化物層，位於所述濃摻雜區上。
14. 如請求項 12 所述的半導體元件，更包括保護環，在所述第二區的所述基底上，與所述多個二極體相鄰。
15. 如請求項 14 所述的半導體元件，其中所述保護環與所述多個二極體局部重疊。
16. 如請求項 14 所述的半導體元件，其中所述保護環與所述多個二極體未重疊。
17. 如請求項 14 所述的半導體元件，其中所述多個二極體比所述保護環接近所述第一區。
18. 如請求項 14 所述的半導體元件，其中所述多個二極體比所述保護環遠離所述第一區。
19. 如請求項 12 所述的半導體元件，其中所述多個記憶體元件包括多個快閃記憶體元件，且所述多個導線連接所述多個快閃記憶體元件的多個控制閘極與多個控制閘極的解碼器。

#### 圖式簡單說明

圖 1A 是依據本發明實施例的一種半導體元件的上視圖。

圖 1B 是圖 1A 的線 I-I' 的剖視圖。

圖 1C 是圖 1A 的線 I-I' 的另一剖視圖。

圖 2A 是依據本發明實施例的一種半導體元件的上視圖。

圖 2B 是圖 2A 的線 II-II' 的剖視圖。

圖 2C 是圖 2A 的線 II-II' 的另一剖視圖。

圖 3A 是依據本發明實施例的一種半導體元件的上視圖。

圖 3B 是圖 3A 的線 III-III' 的剖視圖。

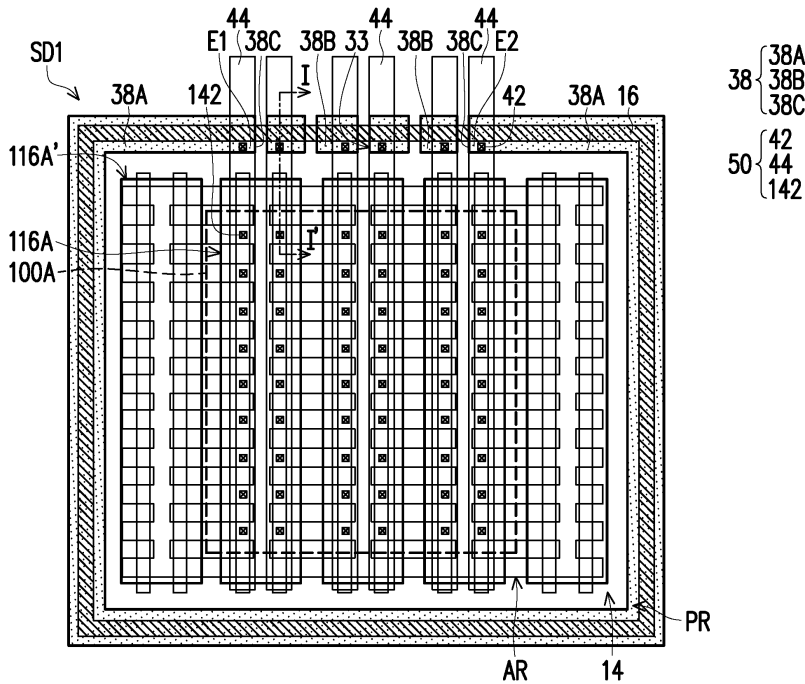
圖 4A 是依據本發明實施例的一種半導體元件的上視圖。

圖 4B 是圖 4A 的線 IV-IV' 的剖視圖。

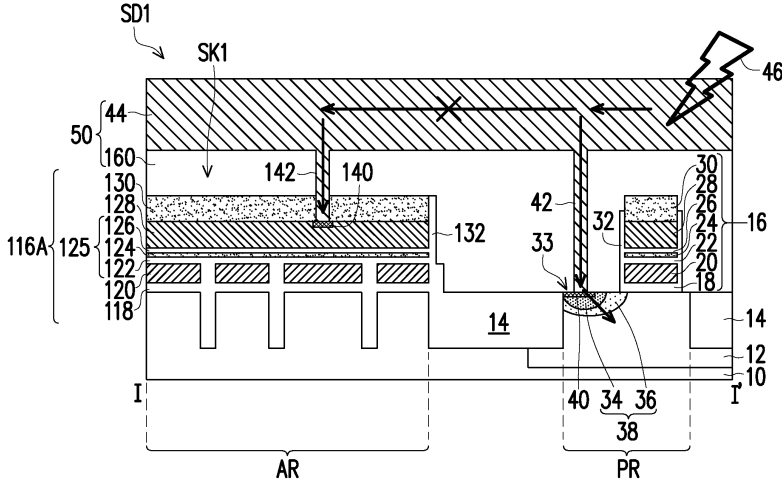
圖 5A 是依據本發明實施例的一種半導體元件的上視圖。

圖 5B 是圖 5A 的線 V-V' 的剖視圖。

(3)

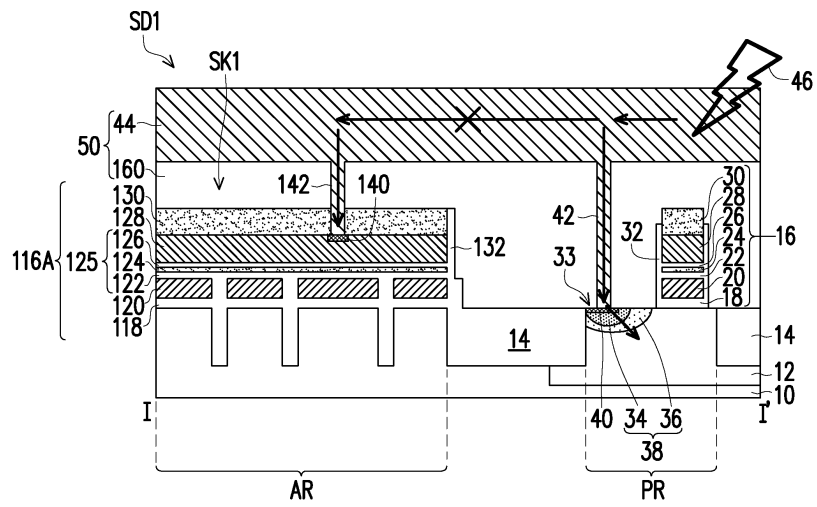


【圖1A】

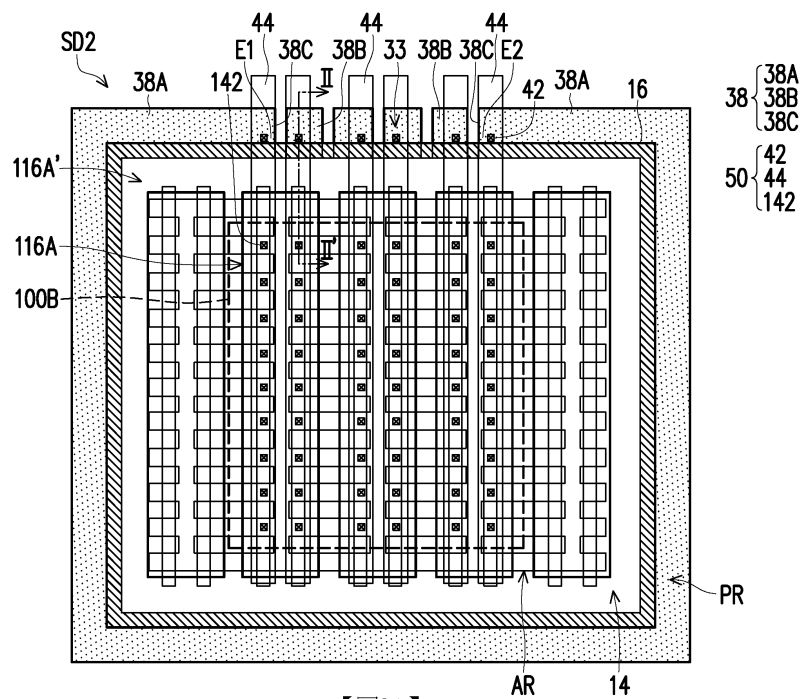


【圖1B】

(4)

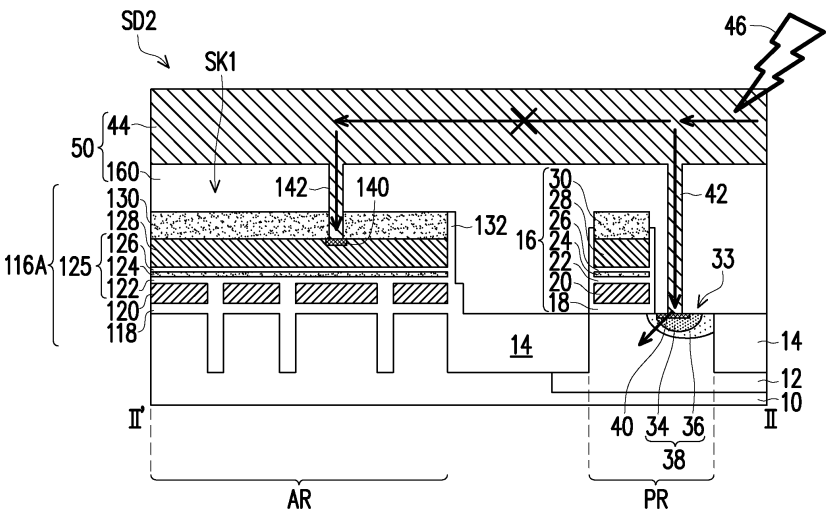


【圖1C】

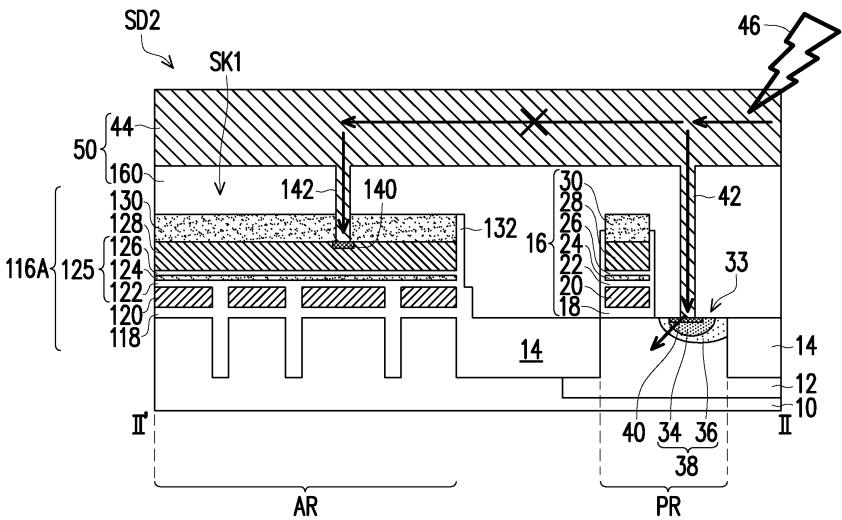


【圖2A】

(5)

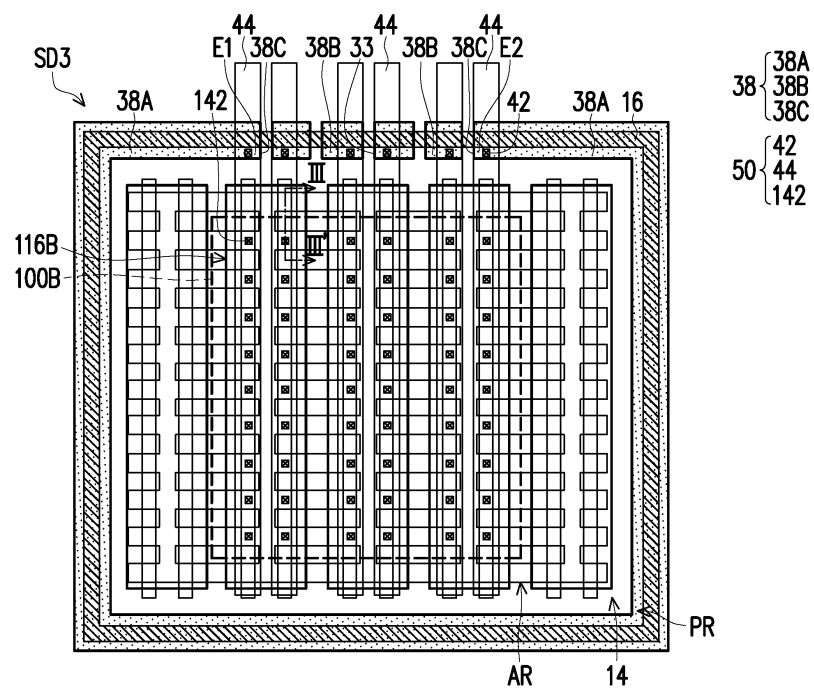


【圖2B】

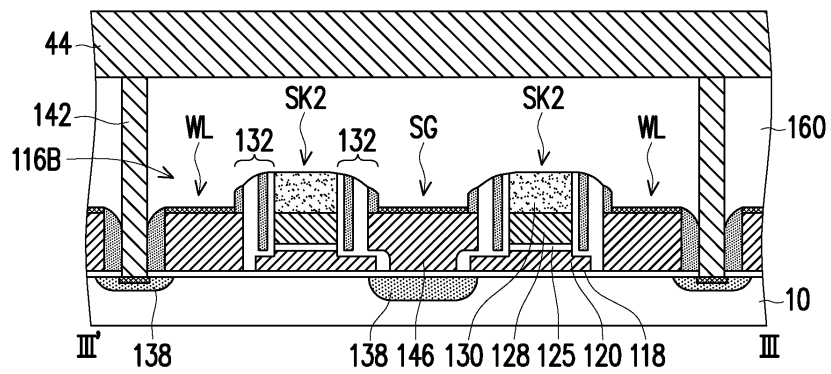


【圖2C】

(6)

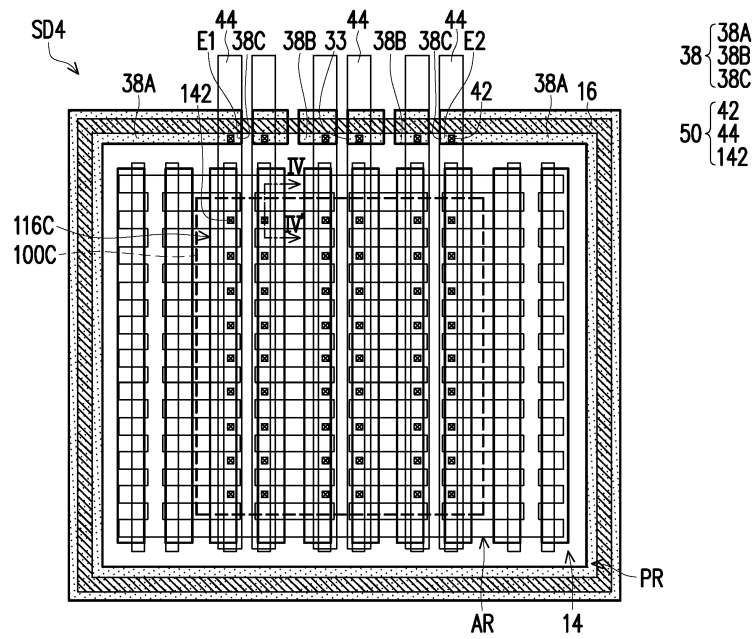


【圖3A】

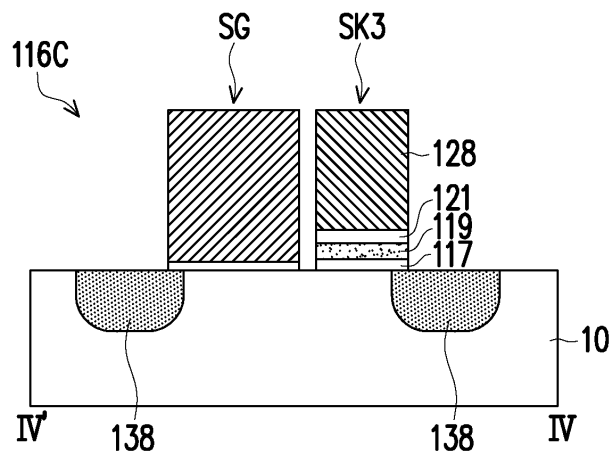


【圖3B】

(7)

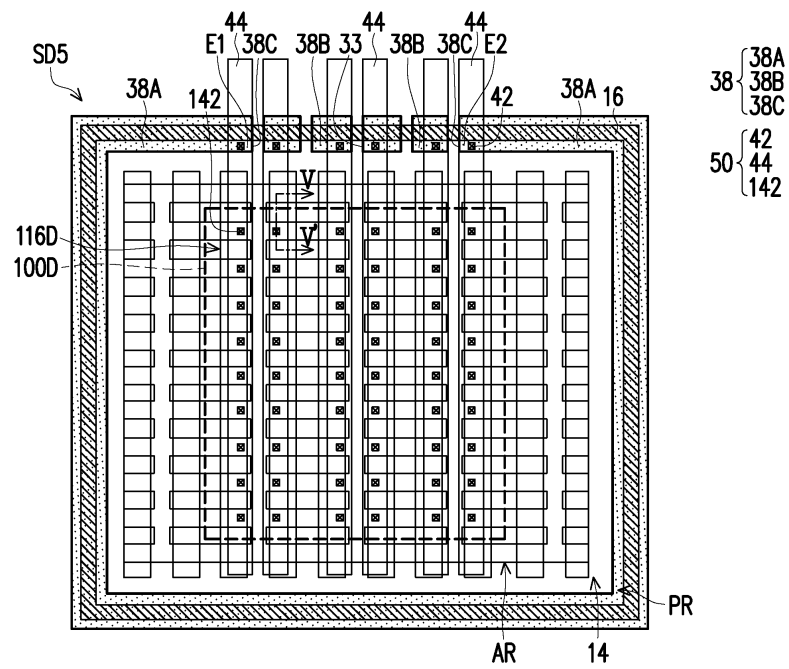


【圖4A】

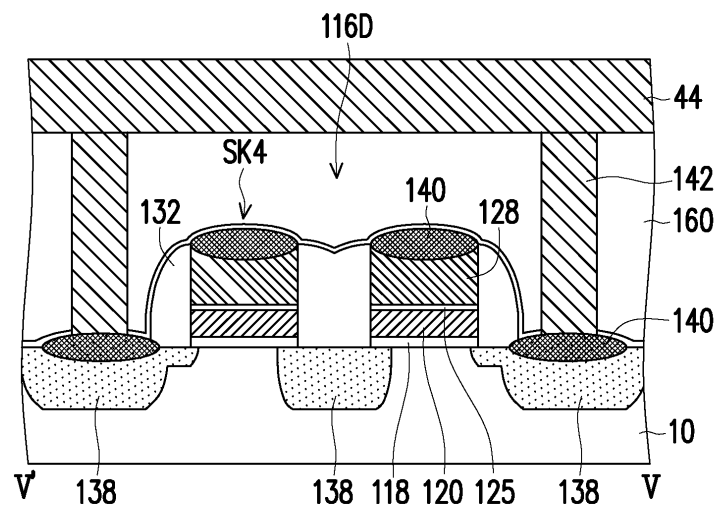


【圖4B】

(8)



【圖5A】



【圖5B】