

【11】證書號數：I938489

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10D30/01 (2025.01) H10P50/00 (2026.01)

發明

全 40 頁

【54】名稱：半導體元件的製造方法

【21】申請案號：112114812

【22】申請日：中華民國 112 (2023) 年 04 月 20 日

【11】公開編號：202343591

【43】公開日期：中華民國 112 (2023) 年 11 月 01 日

【30】優先權：2022/04/22

南韓

10-2022-0050075

【72】發明人：朴碩漢 (KR) PARK, SEOKHAN；劉寶元 (KR) YOO, BOWON；申賢敍 (KR) SHIN, HYUNSEO；李基碩 (KR) LEE, KISEOK；鄭文泳 (KR) JEONG, MOONYOUNG

【71】申請人：南韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧婉君；陳怡如

【56】參考文獻：

US 2012/0070947A1

US 2018/0261668A1

審查人員：吳鴻鎮

【57】申請專利範圍

1. 一種製造半導體元件的方法，所述方法包括：

在基底中形成多個第一溝槽，所述多個第一溝槽在第一水平方向上彼此間隔開，且所述多個第一溝槽中的每一者在與所述第一水平方向正交的第二水平方向上延伸；

形成填充所述多個第一溝槽的多個第一填充層，所述多個第一填充層中的每一者具有延伸成自所述基底突出的突出部使得所述基底的頂表面位於所述多個第一填充層中的每一層的頂表面與底表面之間；

在所述多個第一填充層的所述突出部的側壁上形成間隔件，所述間隔件露出所述基底的處於所述多個第一填充層中的相鄰第一填充層之間的部分，其中間隔件材料與基底材料不同；

藉由對所述基底的被所述間隔件露出的所述部分進行蝕刻，在所述多個第一溝槽之間形成多個第二溝槽；

形成多個第二填充層，所述多個第二填充層填充所述多個第二溝槽且具有與所述基底的頂表面位於相同水準處的頂表面；

將所述多個第一填充層及所述間隔件全部移除；

形成共形地覆蓋所述多個第一溝槽的內壁的閘極材料層；

藉由將所述閘極材料層分離，在所述多個第一溝槽中的每一者中形成一對閘極結構；以及

在所述多個第一溝槽中的每一者中的所述一對閘極結構之間形成第三填充層。

2. 如請求項 1 所述的方法，其中所述形成所述多個第一填充層包括：

利用第一填充層材料填充所述多個第一溝槽；以及

將所述基底的上部部分移除第一厚度以露出所述突出部的側壁。

3. 如請求項 1 所述的方法，其中所述形成所述間隔件包括：

形成共形地覆蓋所述基底及所述突出部的所述間隔件材料；以及

(2)

對所述間隔件材料進行部分蝕刻，以露出所述基底的處於所述多個第一填充層中的相鄰第一填充層之間的部分。

4. 如請求項 1 所述的方法，其中：
所述多個第一填充層中的每一者是犧牲膜；
所述多個第二填充層中的每一者是包含絕緣材料的元件隔離膜；且
所述第三填充層是磊晶生長層。
5. 如請求項 1 所述的方法，其中：
所述多個第一填充層中的每一者是犧牲膜；且
所述多個第二填充層及所述第三填充層中的至少一者包含導電材料。
6. 如請求項 5 所述的方法，其中所述多個第二填充層中的每一者的部分包括在所述第二水平方向上延伸且包含所述導電材料的屏蔽結構。
7. 如請求項 1 所述的方法，其中：
所述多個第一溝槽中的每一者在所述第一水平方向上的寬度大於所述多個第二溝槽中的每一者在所述第一水平方向上的寬度；且
所述多個第一溝槽中的每一者的底表面的垂直水準被定位成高於所述多個第二溝槽中的每一者的底表面的垂直水準。
8. 如請求項 1 所述的方法，其中所述一對閘極結構中的每一者在所述第一水平方向上的寬度實質上等於所述閘極材料層的厚度。
9. 如請求項 1 所述的方法，其中：
在所述基底中，被所述多個第二填充層環繞的多個主動區在所述第一水平方向上具有長軸；且
所述主動區的所述長軸的方向與所述一對閘極結構延伸的方向正交。
10. 如請求項 1 所述的方法，其中所述一對閘極結構中的每一者是構成垂直通道電晶體的字元線。

圖式簡單說明

結合附圖根據以下詳細說明將更清楚地理解本發明概念的實施例，在附圖中：

圖 1 是示出根據本發明概念實施例的製造半導體元件的方法的方塊圖。

圖 2 是示出根據本發明概念實施例的半導體元件的胞元區的主要組件的佈局圖。

圖 3A 至圖 3U 是示出根據本發明概念實施例的製造半導體元件的方法、沿著圖 2 所示線 X-X' 截取的剖視圖。

圖 4 是示出根據本發明概念實施例的製造半導體元件的方法的方塊圖。

圖 5A 至圖 5K 是示出根據本發明概念實施例的製造半導體元件的方法、沿著圖 2 所示線 X-X' 截取的剖視圖。

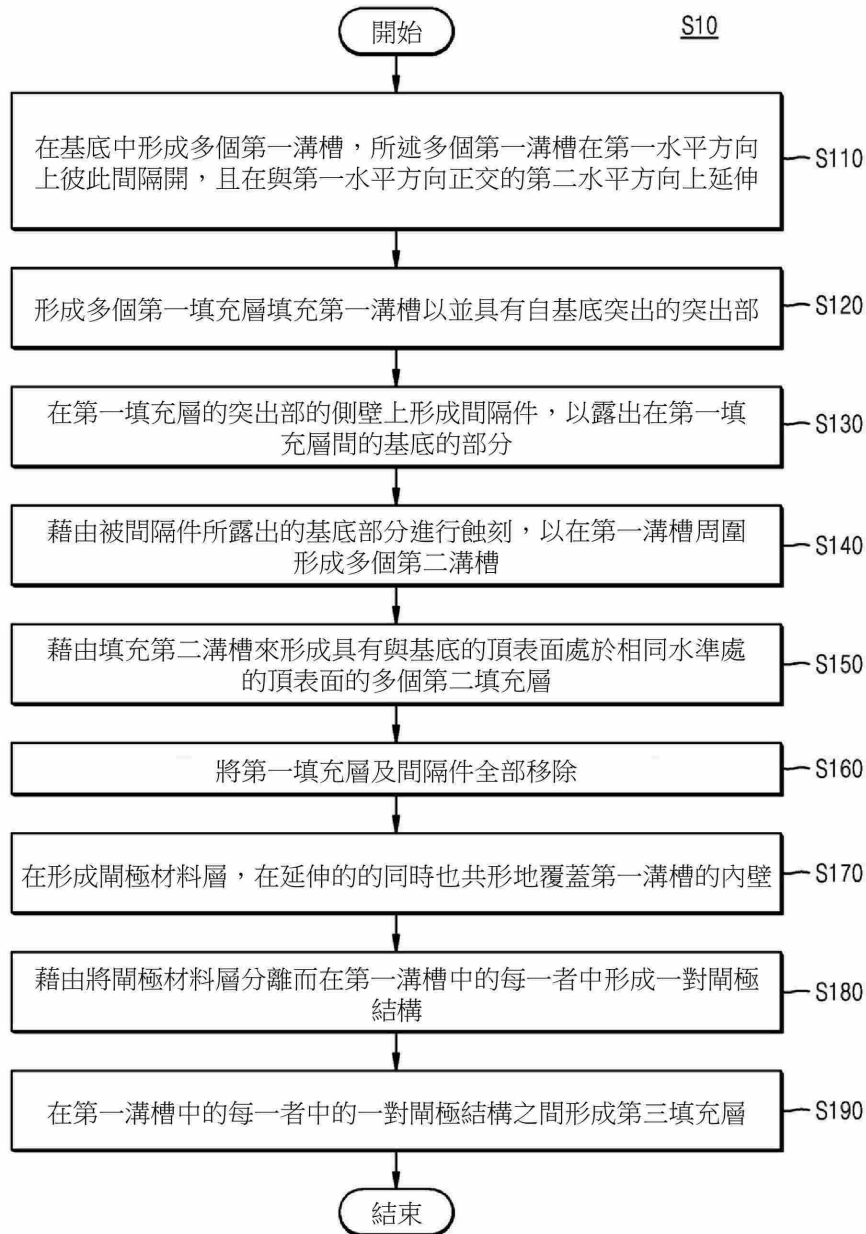
圖 6 是示出根據本發明概念實施例的半導體元件的胞元區的主要組件的佈局圖。

圖 7 是根據本發明概念實施例沿著圖 6 所示線 X-X' 截取的橫截面配置的剖視圖。

圖 8 是示出根據實施例的半導體元件的佈局圖。

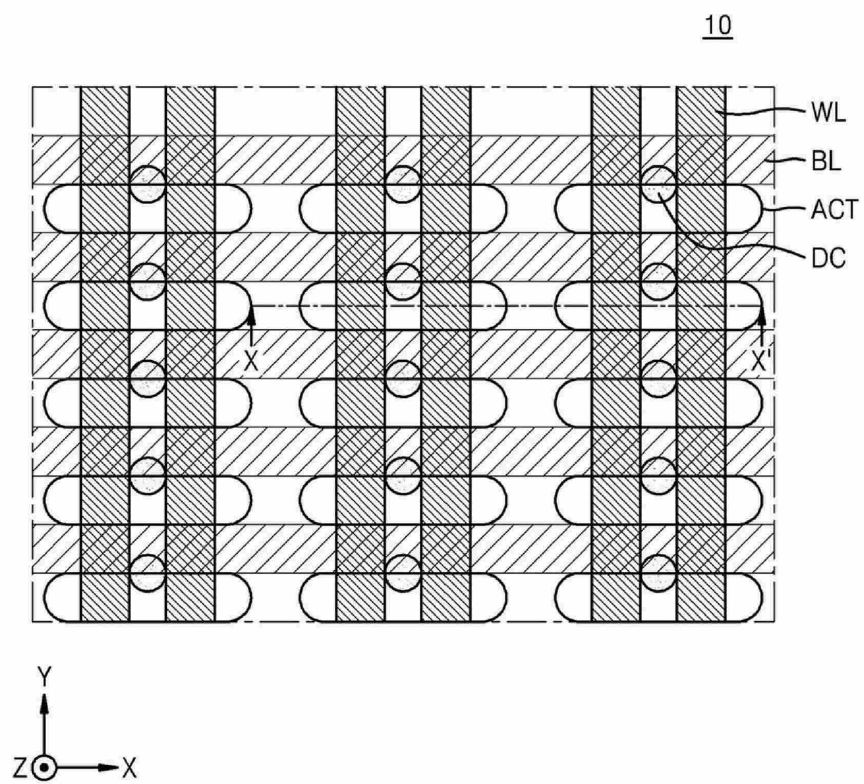
圖 9 是根據本發明概念實施例沿著圖 8 所示線 X-X' 及 Y-Y' 截取的配置的剖視圖。

(3)



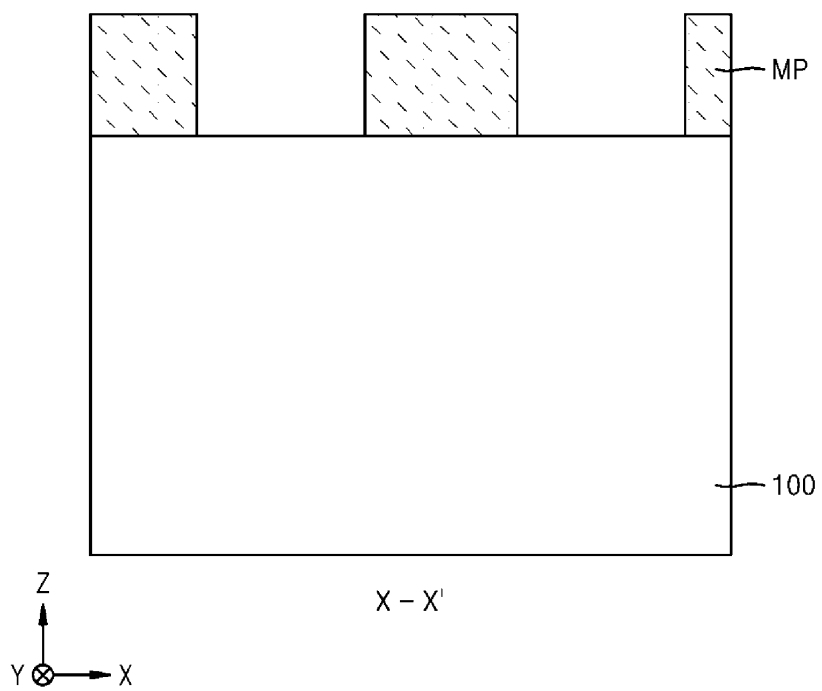
【圖1】

(4)



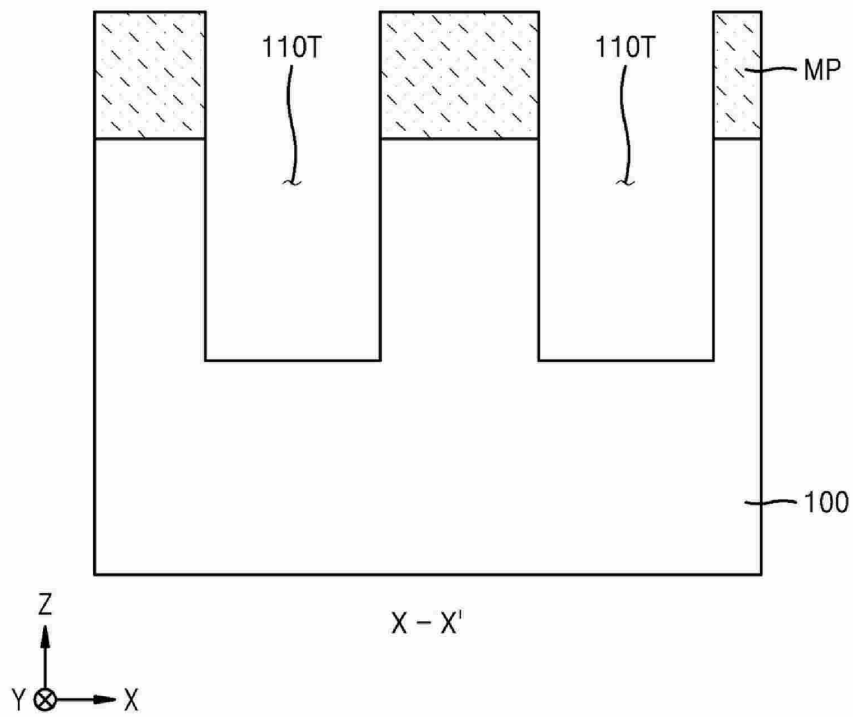
【圖2】

(5)



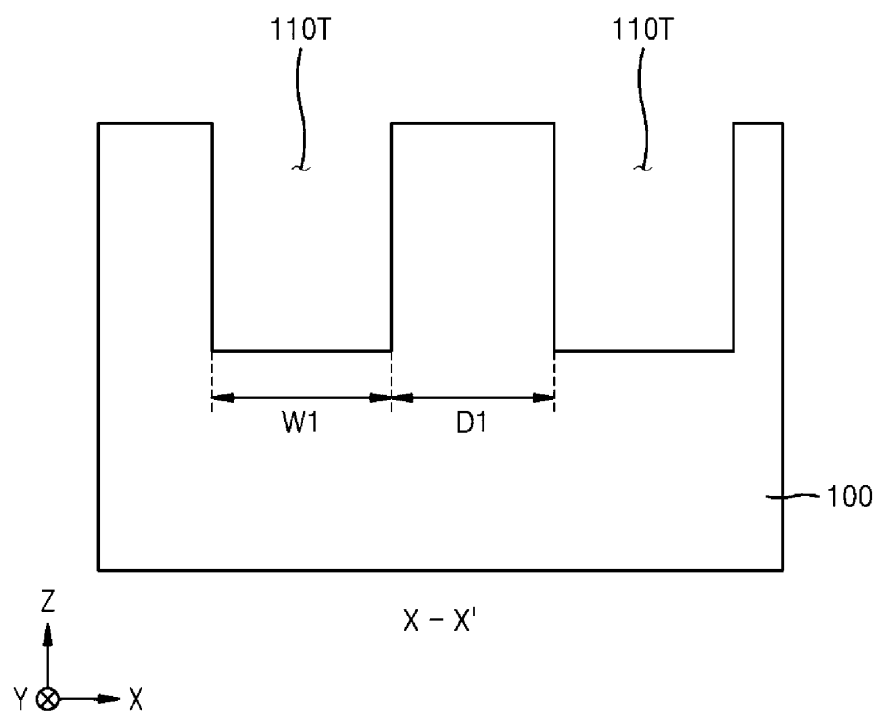
【圖3A】

(6)



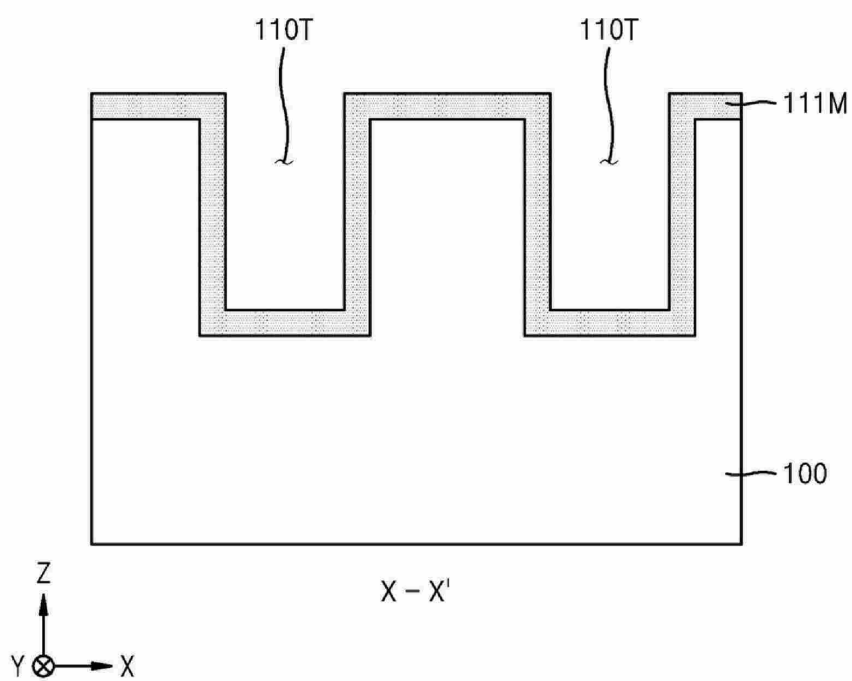
【圖3B】

(7)



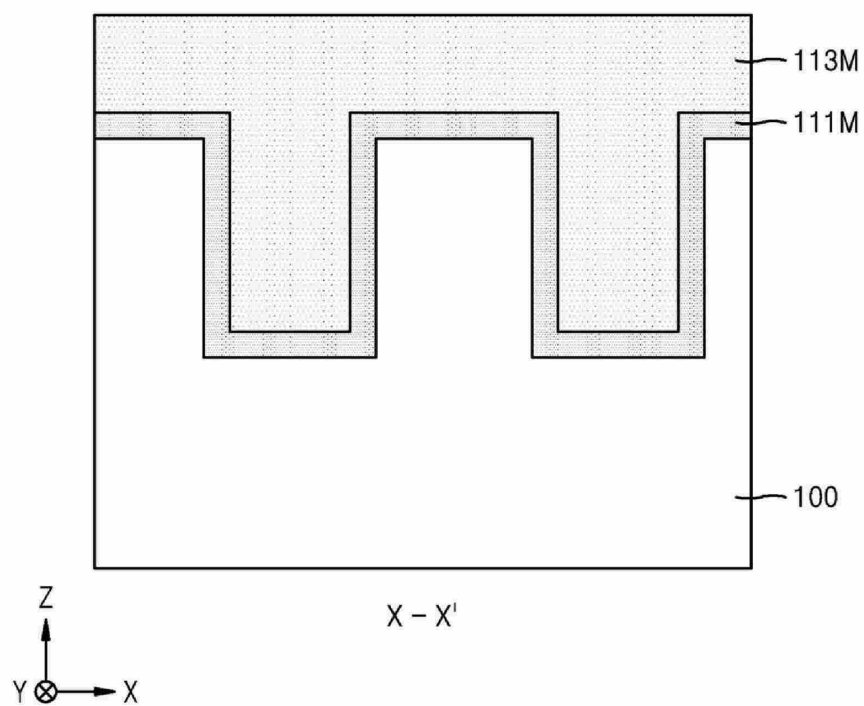
【圖3C】

(8)



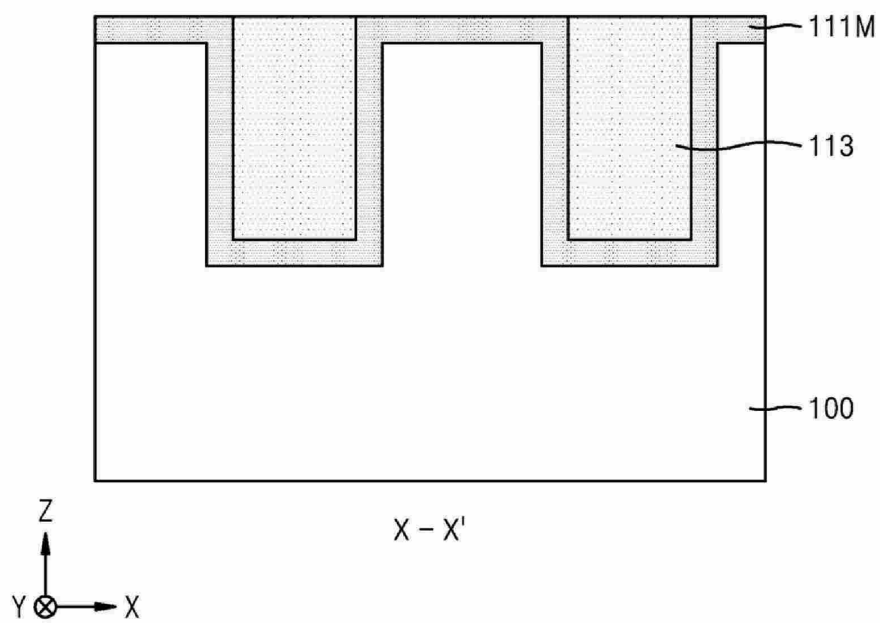
【圖3D】

(9)



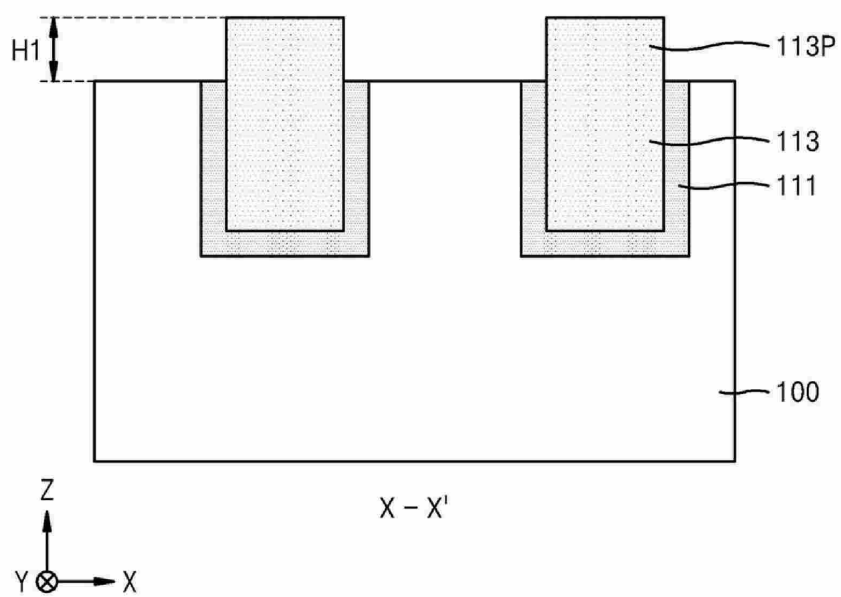
【圖3E】

(10)



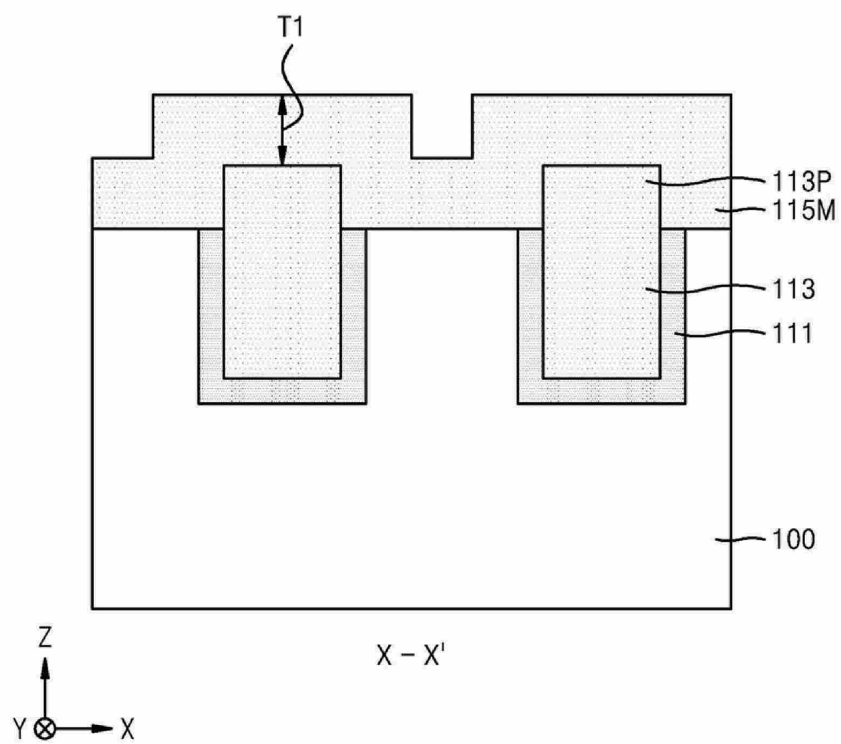
【圖3F】

(11)



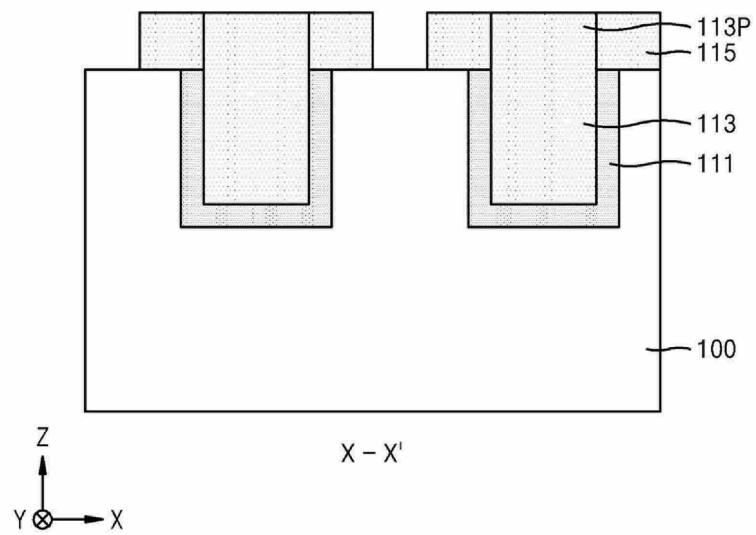
【圖3G】

(12)



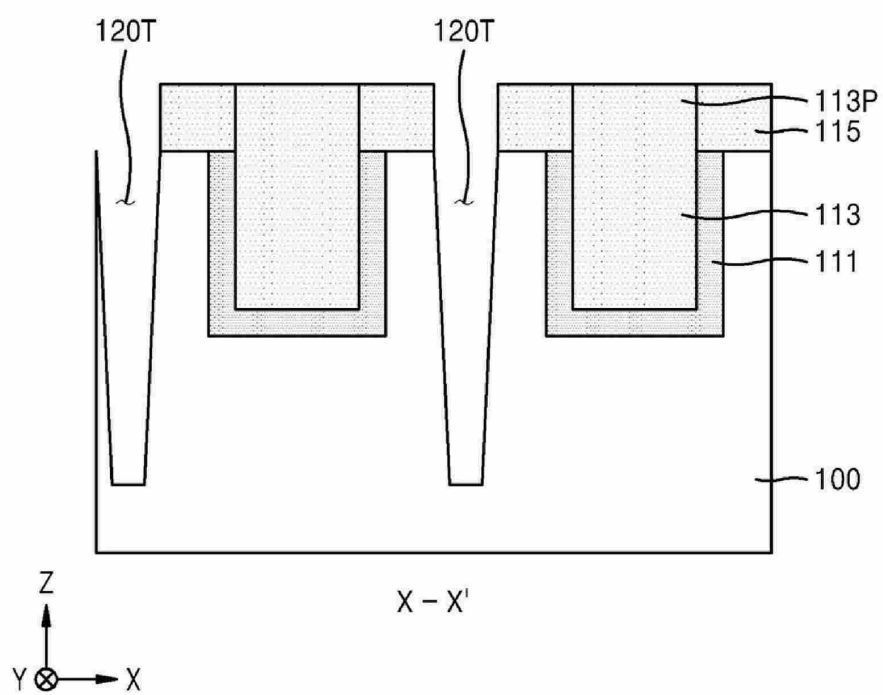
【圖3H】

(13)



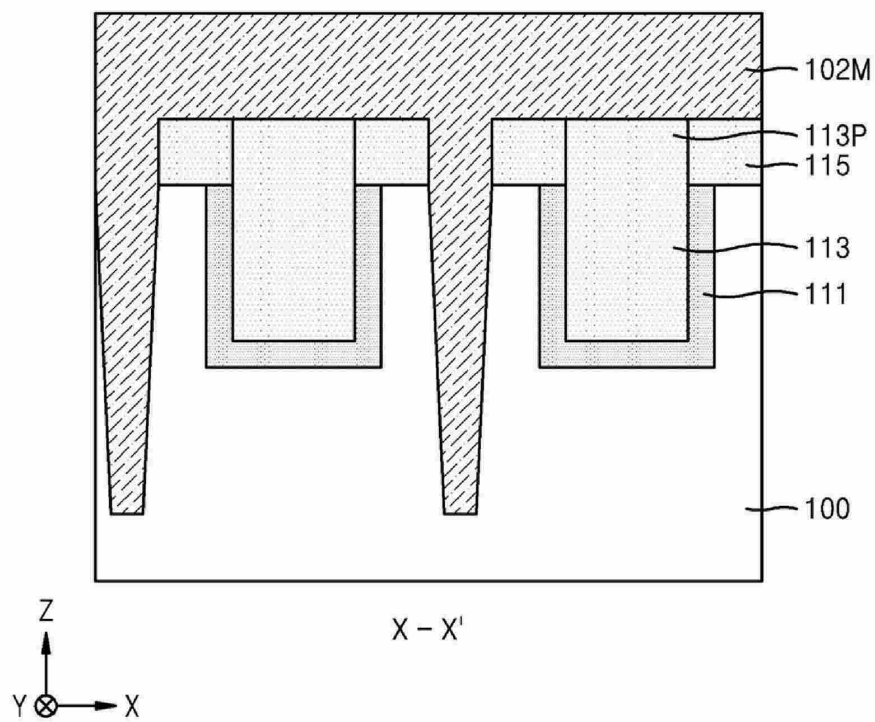
【圖3I】

(14)



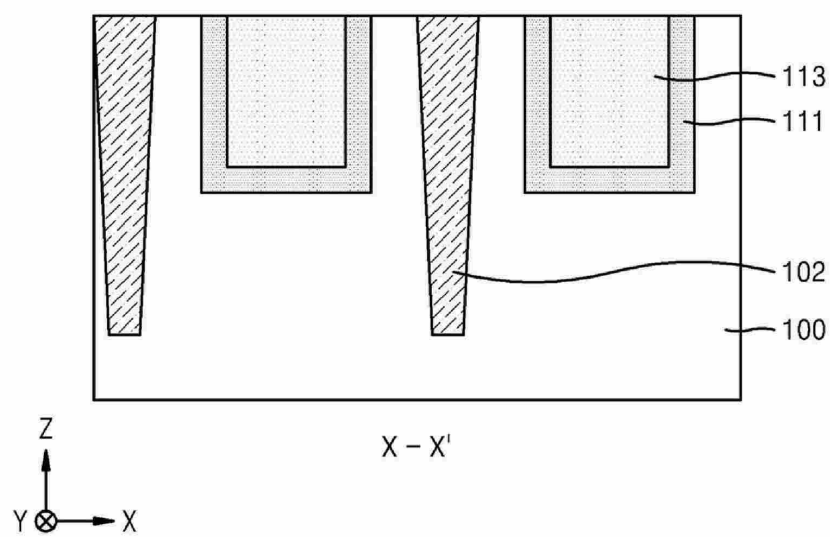
【圖3J】

(15)



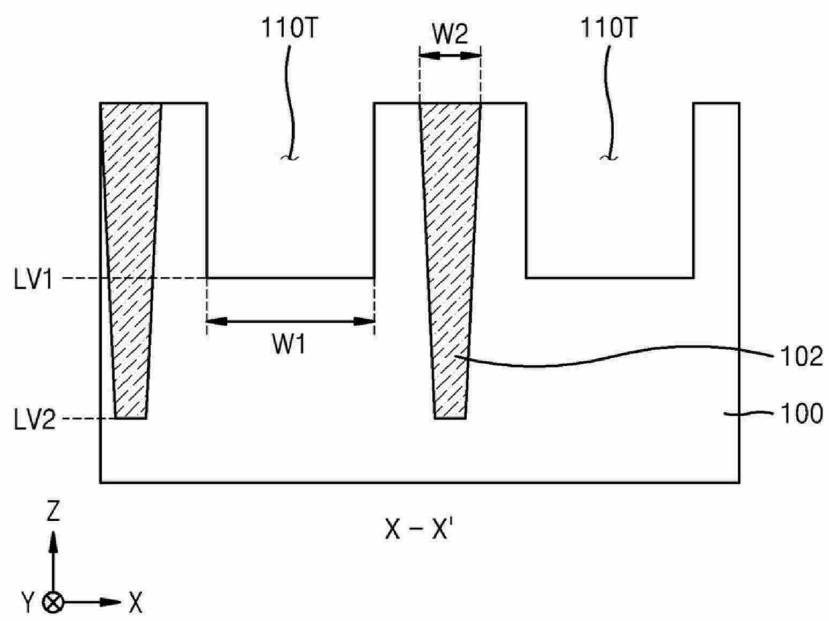
【圖3K】

(16)



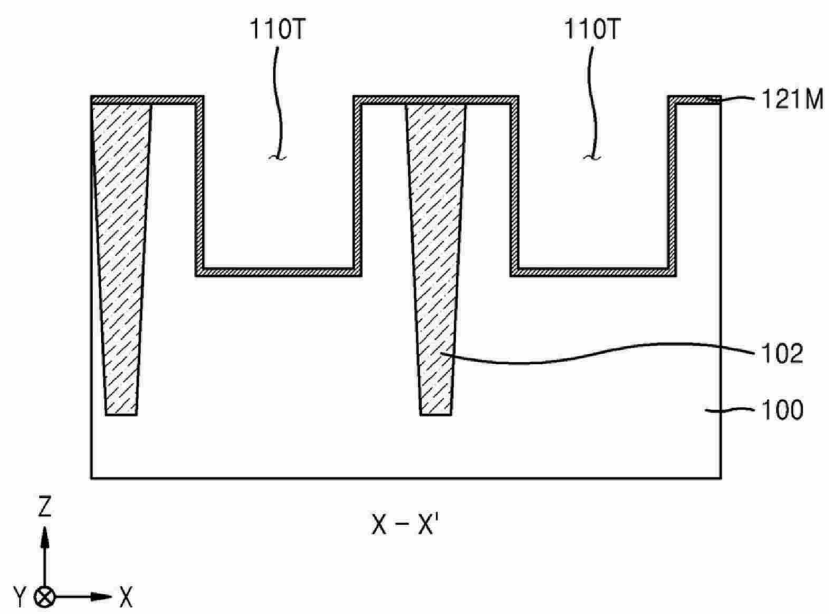
【圖3L】

(17)



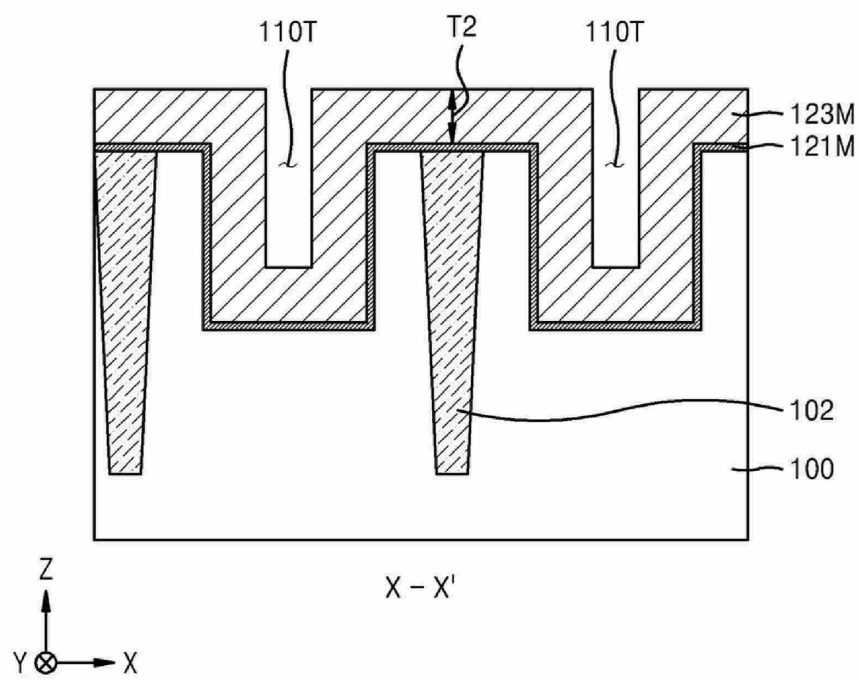
【圖3M】

(18)



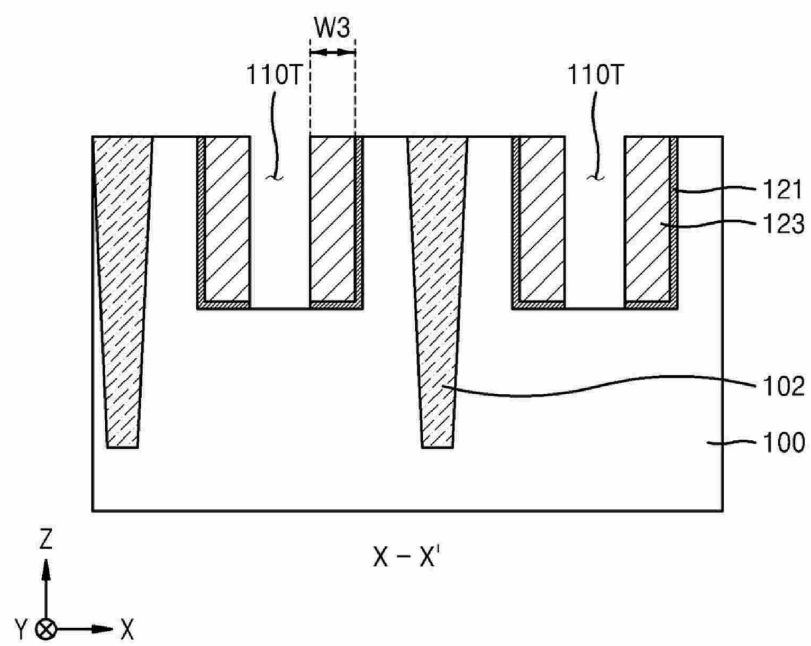
【圖3N】

(19)



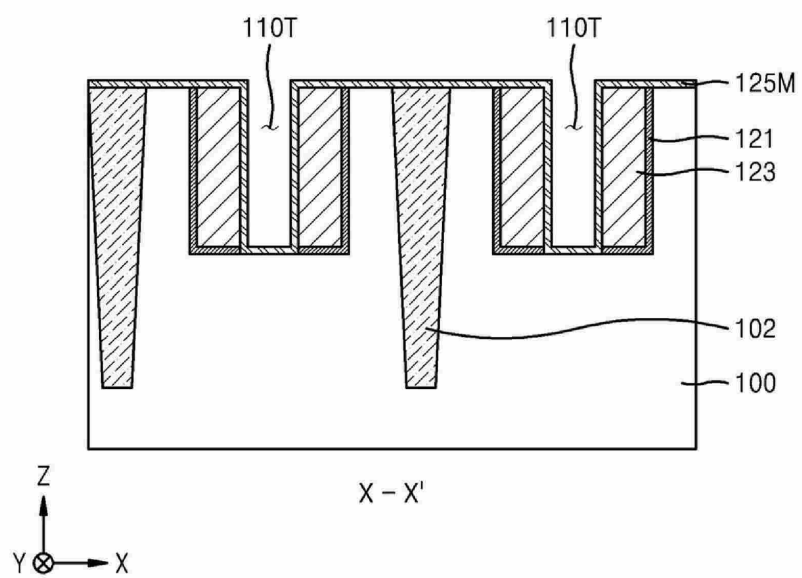
【圖30】

(20)



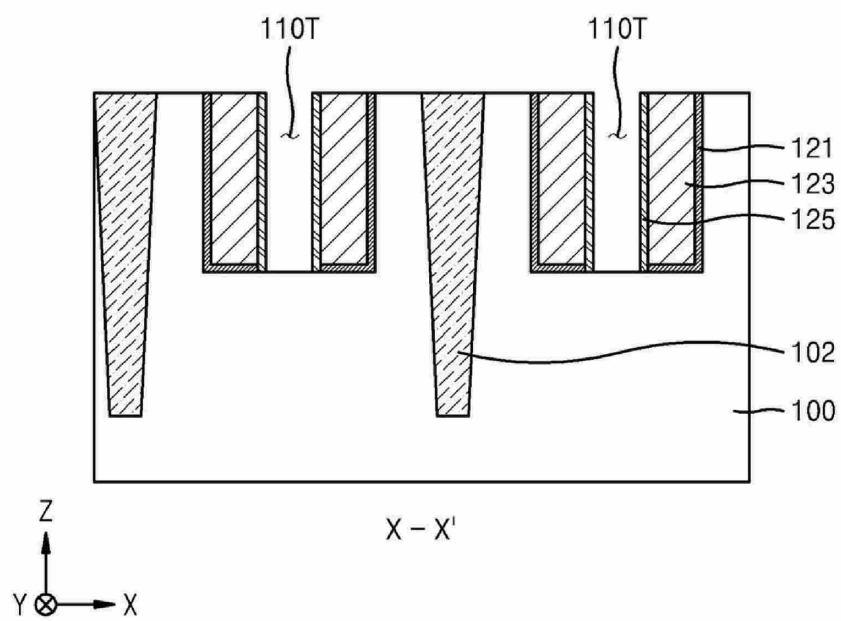
【圖3P】

(21)



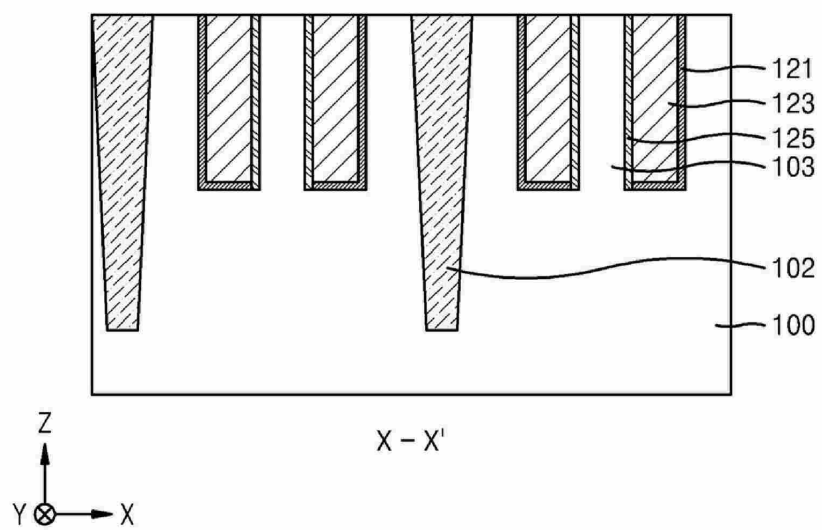
【圖3Q】

(22)



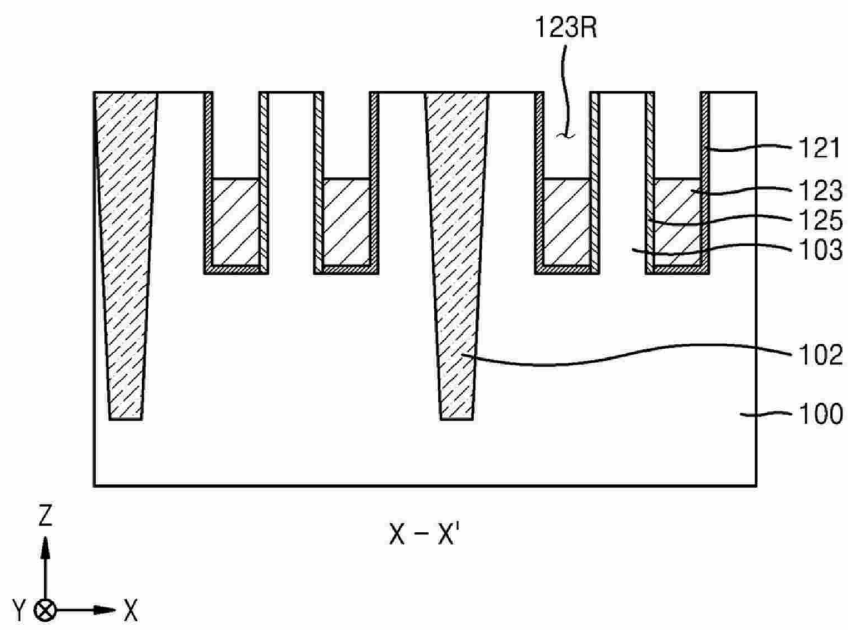
【圖3R】

(23)



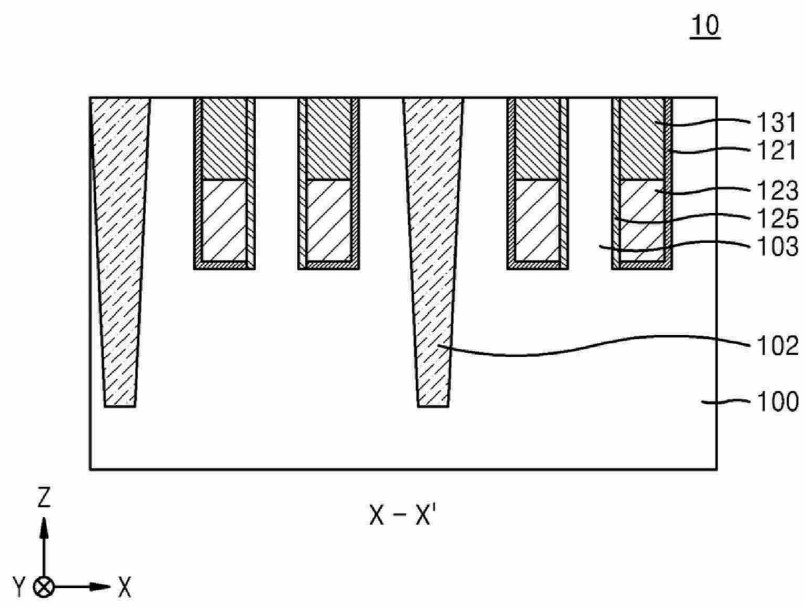
【圖3S】

(24)

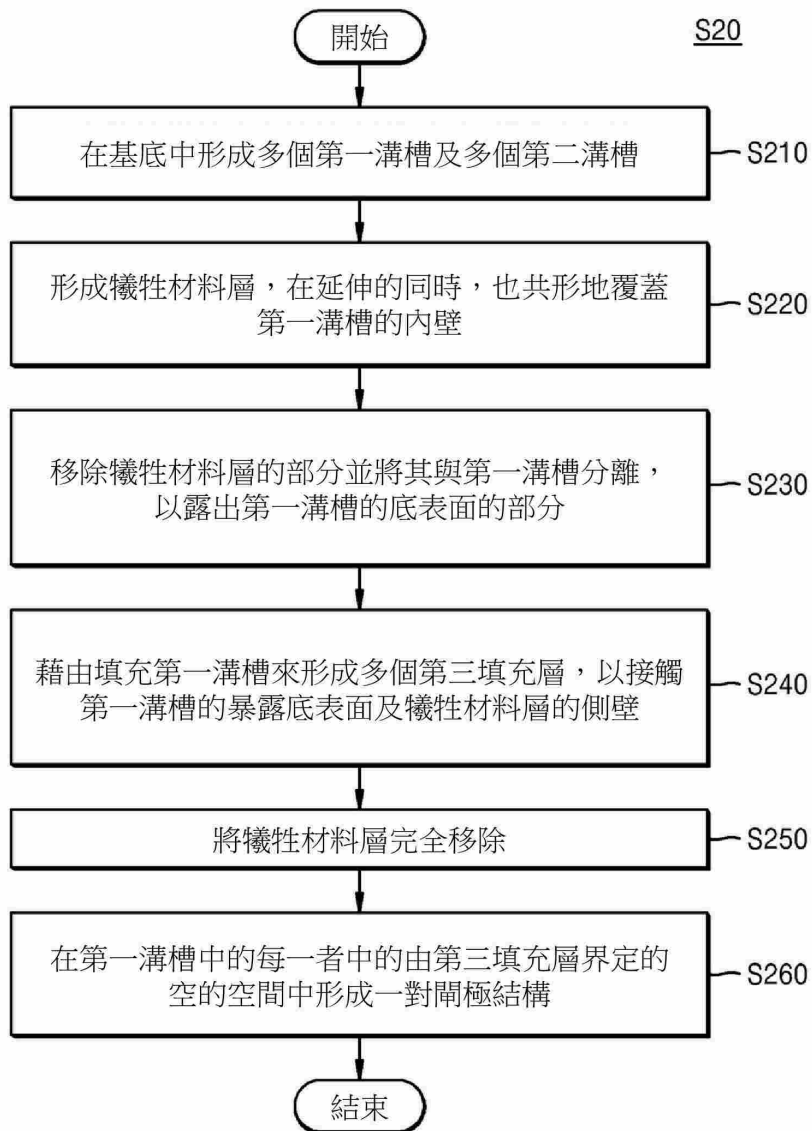


【圖3T】

(25)

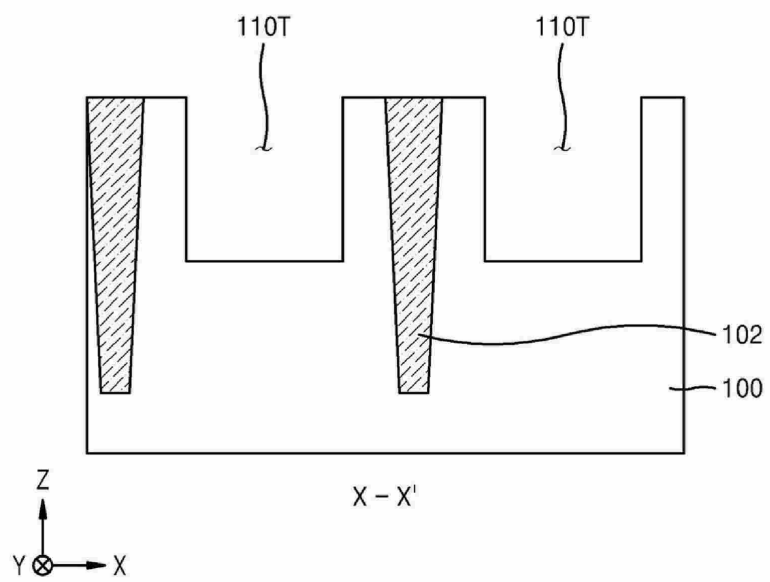


【圖3U】



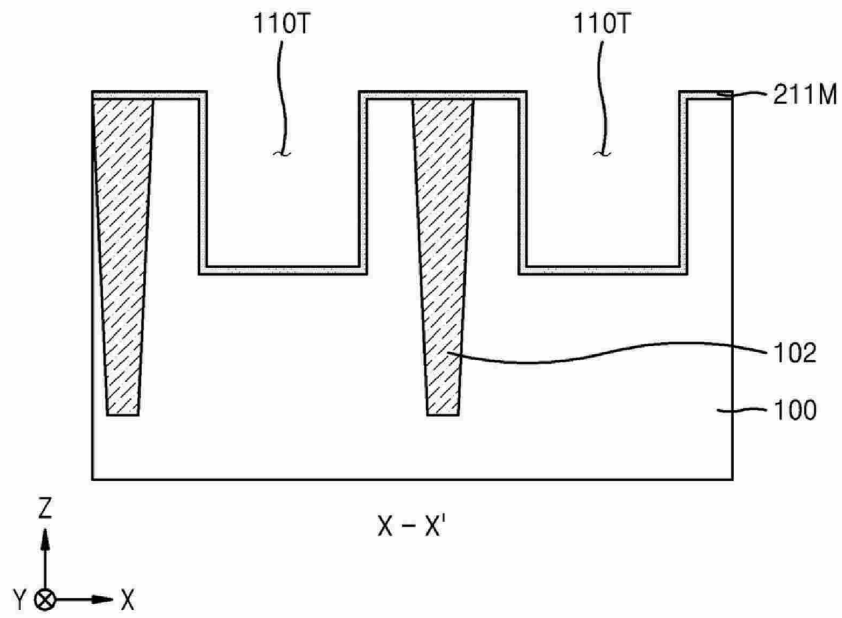
【圖4】

(27)



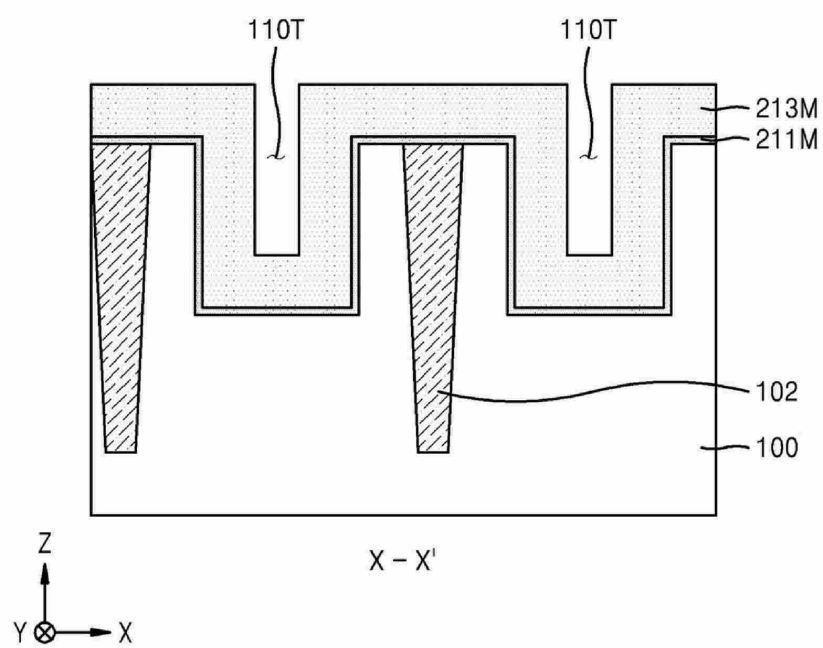
【圖5A】

(28)



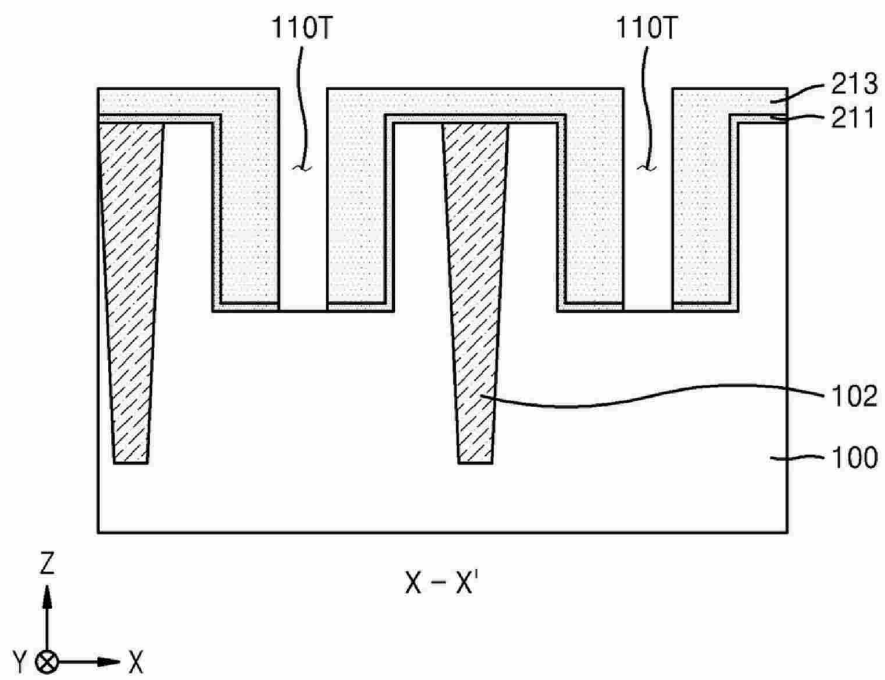
【圖5B】

(29)



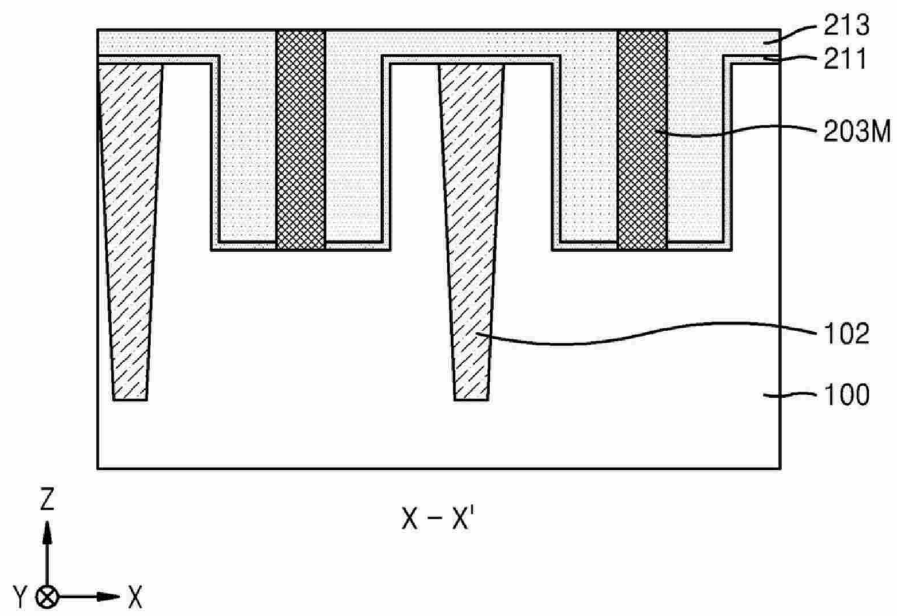
【圖5C】

(30)



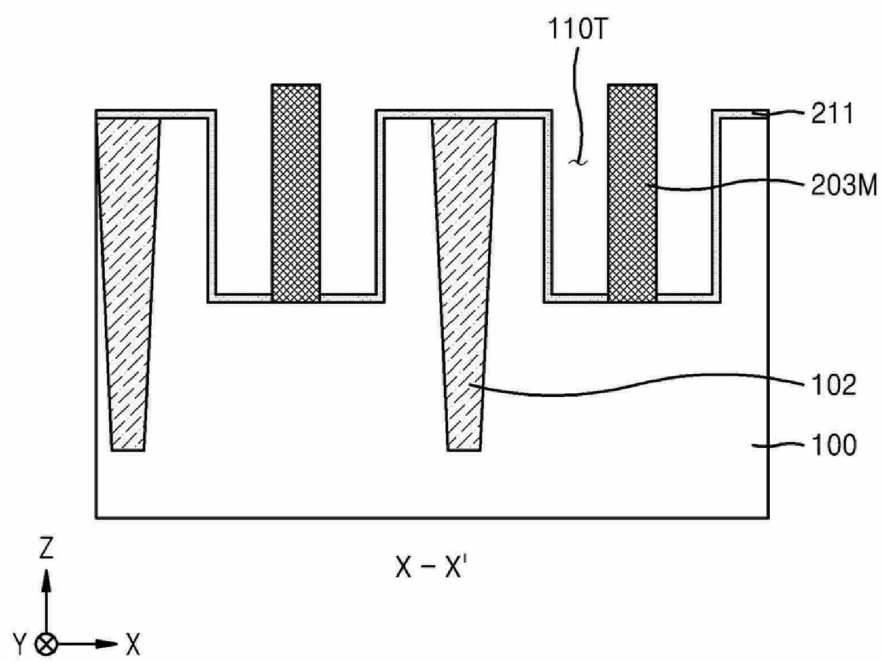
【圖5D】

(31)



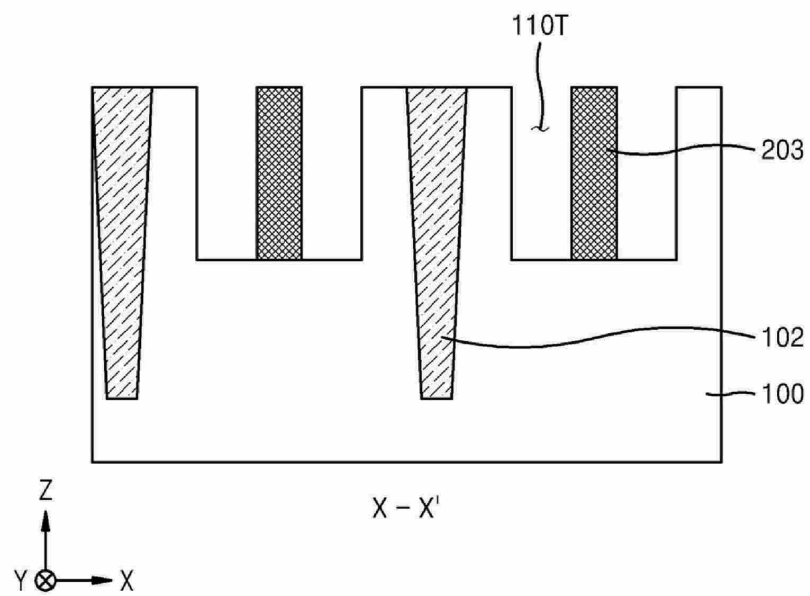
【圖5E】

(32)



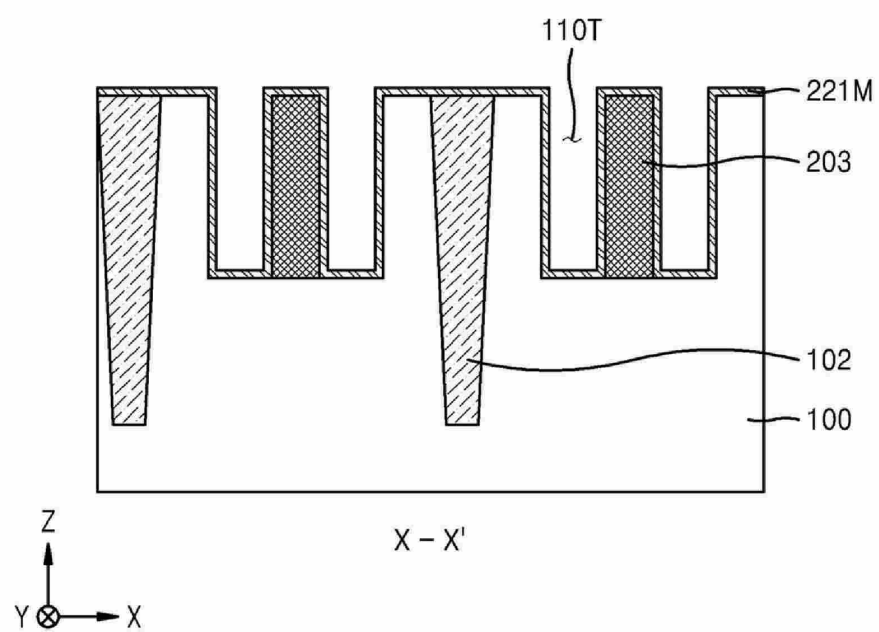
【圖5F】

(33)



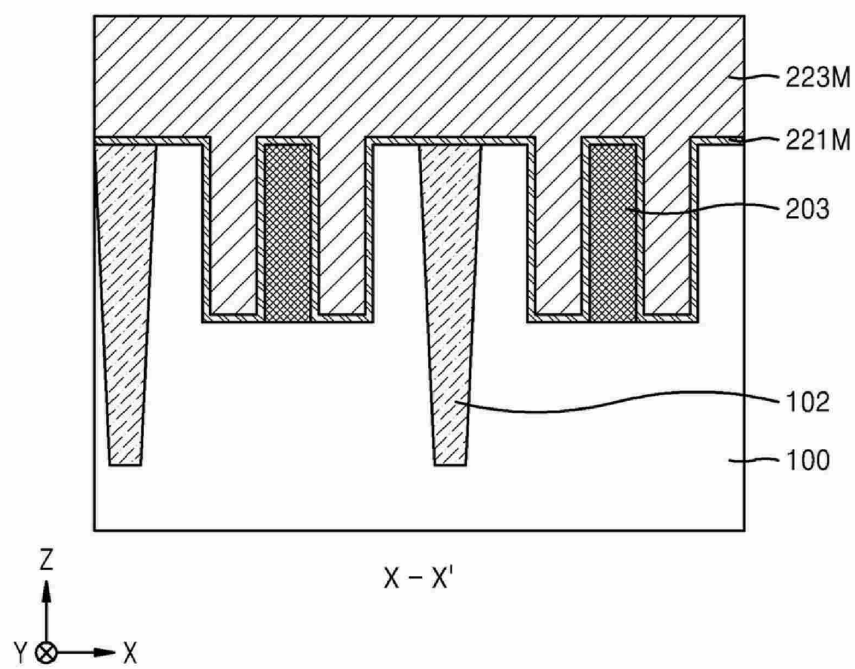
【圖5G】

(34)



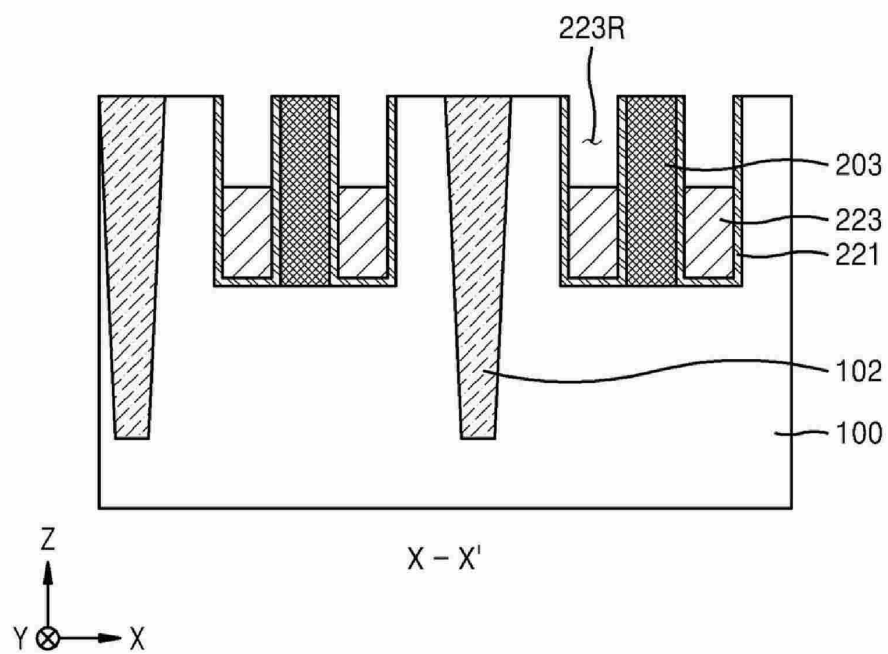
【圖5H】

(35)



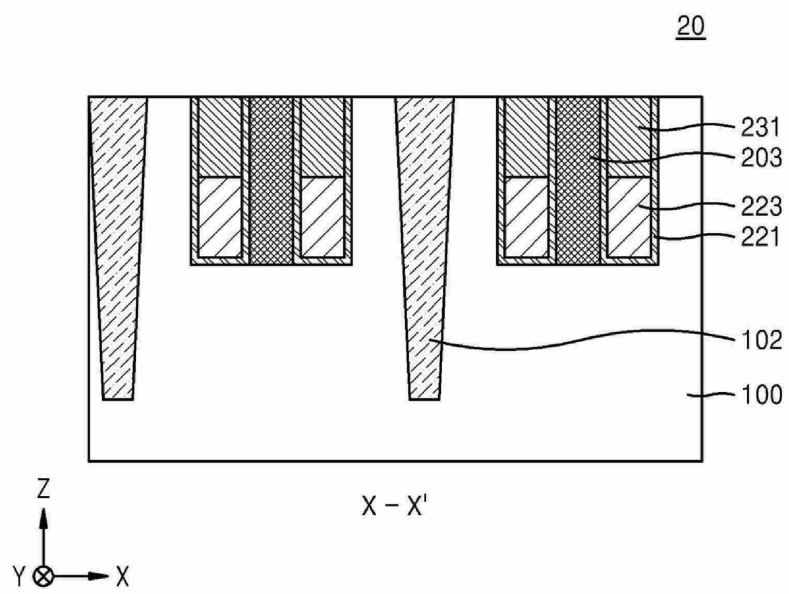
【圖5I】

(36)



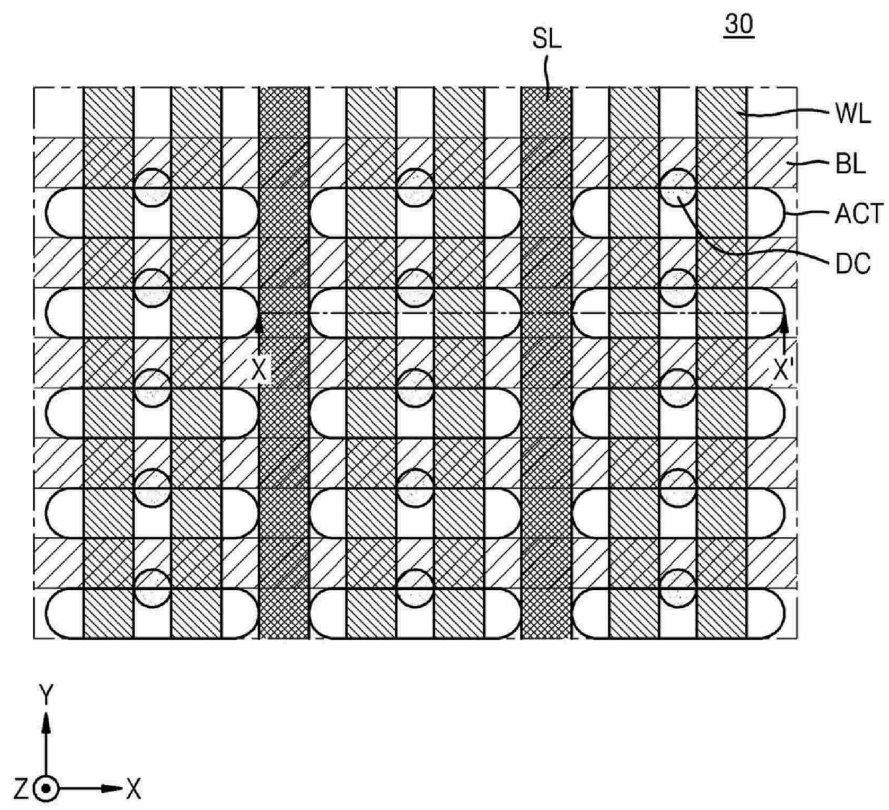
【圖5J】

(37)



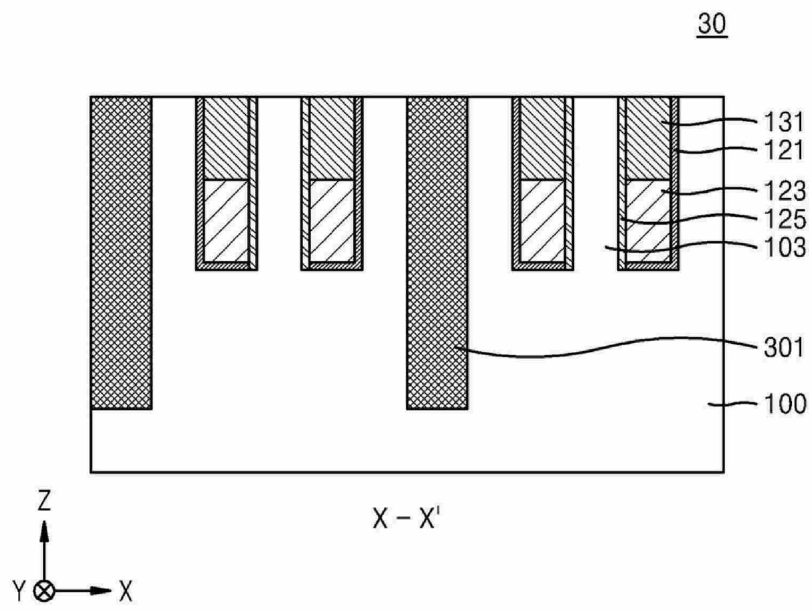
【圖5K】

(38)



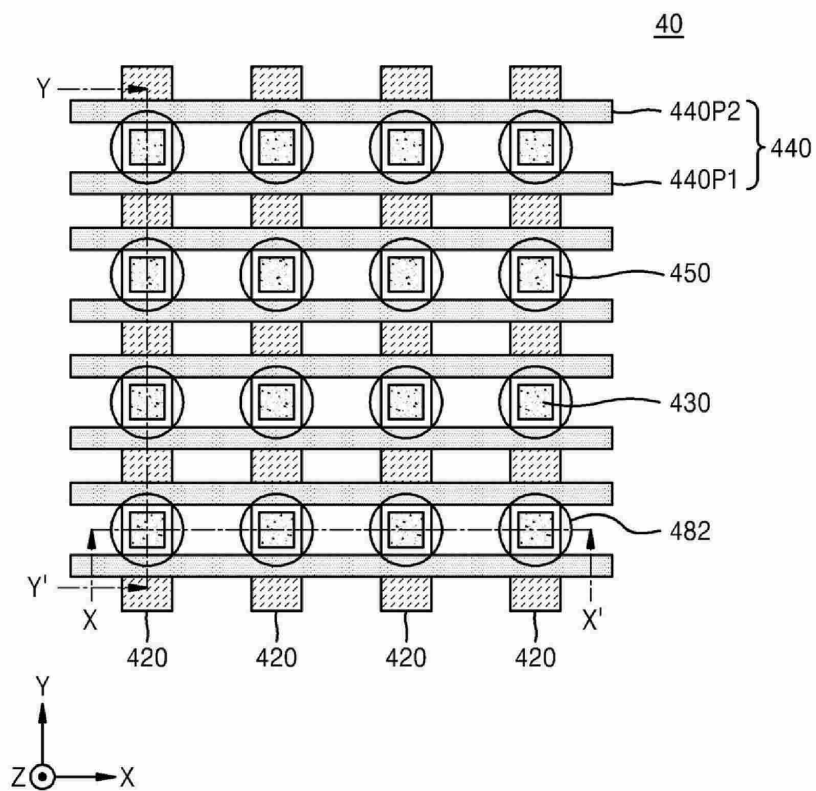
【圖6】

(39)



【圖7】

(40)



【圖8】

