

【11】證書號數：I938500

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10W74/00 (2026.01) H10W72/20 (2026.01)

發明

全 7 頁

【54】名稱：半導體封裝

【21】申請案號：112122394

【22】申請日：中華民國 112 (2023) 年 06 月 15 日

【11】公開編號：202401692

【43】公開日期：中華民國 113 (2024) 年 01 月 01 日

【30】優先權：2023/05/31

美國

18/203,666

2022/06/22

美國

63/354,361

2022/06/22

美國

63/354,363

【72】發明人：于達人 (TW) YU, TA-JEN；蔡文欽 (TW) TSAI, WEN-CHIN；宋依庭 (TW) SONG, ISABELLA；郭哲宏 (TW) KUO, CHE-HUNG；劉興治 (TW) LIU, HSING-CHIH；陳泰宇 (TW) CHEN, TAI-YU；林世欽 (TW) LIN, SHIH-CHIN；許文松 (TW) HSU, WEN-SUNG

【71】申請人：聯發科技股份有限公司 MEDIATEK INC.

新竹科學工業園區新竹市篤行一路一號

【74】代理人：吳豐任；戴俊彥

【56】參考文獻：

TW 202109801A

CN 113410206A

審查人員：林育弘

【57】申請專利範圍

1. 一種半導體封裝，包括：

下基板和與下基板間隔開的上基板，其中該下基板和該上基板之間包括間隙；
以並排方式安裝在該下基板的頂面上的邏輯芯片與記憶體芯片，其中該邏輯芯片的厚度不小於 125 微米；

設置於該下基板與該上基板之間的連接結構，其中該連接結構位於該邏輯芯片與記憶體芯片周圍，用於電性連接該下基板與該上基板；和
密封樹脂，填充在該間隙中，以將該邏輯芯片、該記憶體芯片和該連接結構密封在該間隙中；

其中該記憶體芯片包括動態隨機存取記憶體 (DRAM) 芯片；

其中該邏輯芯片包括與該 DRAM 芯片相鄰的近側 DRAM 連接電路區域和遠離該 DRAM 芯片設置的遠側 DRAM 連接電路區域，其中通過該下基板的第一部分的導電互連結構在該 DRAM 芯片和該近側 DRAM 連接電路區域之間傳輸第一高速信號，通過該上基板和該連接結構在該 DRAM 芯片和該遠側 DRAM 連接電路區域之間傳輸第二高速信號，其中，在該 DRAM 芯片和該遠側 DRAM 連接電路區域之間傳輸第二高速信號的信號路徑首先穿過位於該邏輯芯片下方且不與該下基板的第一部分重疊的該下基板的第二部分，然後穿過與該遠側 DRAM 連接電路區域相鄰的該連接結構的第一部分，然後穿過該上基板，然後穿過遠離該遠側 DRAM 連接電路區域的該連接結構的第二部分，然後穿過位於該 DRAM 芯片下方且不與該下基板的第一部分和第二部分重疊的該下基板的第三部分。

2. 如請求項 1 所述的半導體封裝，其中該邏輯芯片的厚度為 125-750 微米。

3. 如請求項 1 所述的半導體封裝，其中該邏輯芯片以倒裝芯片的方式安裝在該下基板的該頂面上。

(2)

4. 如請求項 3 所述的半導體封裝，其中該邏輯芯片包括主動正面和被動背面，其中該主動正面上設置有多個輸入/輸出（I/O）焊盤，該邏輯芯片通過分別形成在該多個 I/O 焊盤上的多個導電元件電連接至該下基板。
5. 如請求項 1 所述的半導體封裝，其中該 DRAM 芯片包括雙倍資料速率（DDR）DRAM 芯片。
6. 如請求項 5 所述的半導體封裝，其中該 DDR DRAM 芯片包括低功耗（LP）DDR DRAM 芯片。
7. 如請求項 1 所述的半導體封裝，其中該連接結構包括多個導電結構以及圍繞該多個導電結構的絕緣層。
8. 如請求項 1 所述的半導體封裝，其中該邏輯芯片包括片上系統芯片、應用處理器芯片或基帶處理器芯片。

圖式簡單說明

附圖被包括以提供對本公開的進一步理解並且構成本說明書的一部分。附圖圖示了本公開的實施例並且與描述一起用於解釋本公開的原理。在附圖中：

圖 1 是示出具有厚邏輯芯片的示例性層疊式封裝 (PoP) 的示意性橫截面圖；

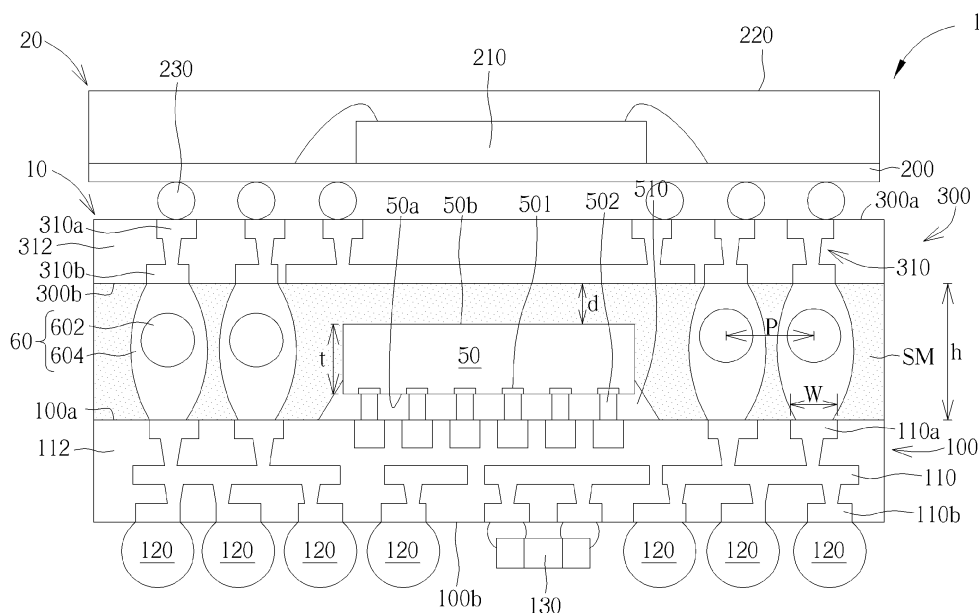
圖 2 是示出根據本公開的實施例的具有厚邏輯芯片的示例性半導體封裝的示意性橫截面圖；

圖 3 是示出根據本公開的另一實施例的具有厚邏輯芯片的半導體封裝的示例性芯片設置的示意圖；

圖 4 是圖 3 沿 I-I'線的剖視示意圖。

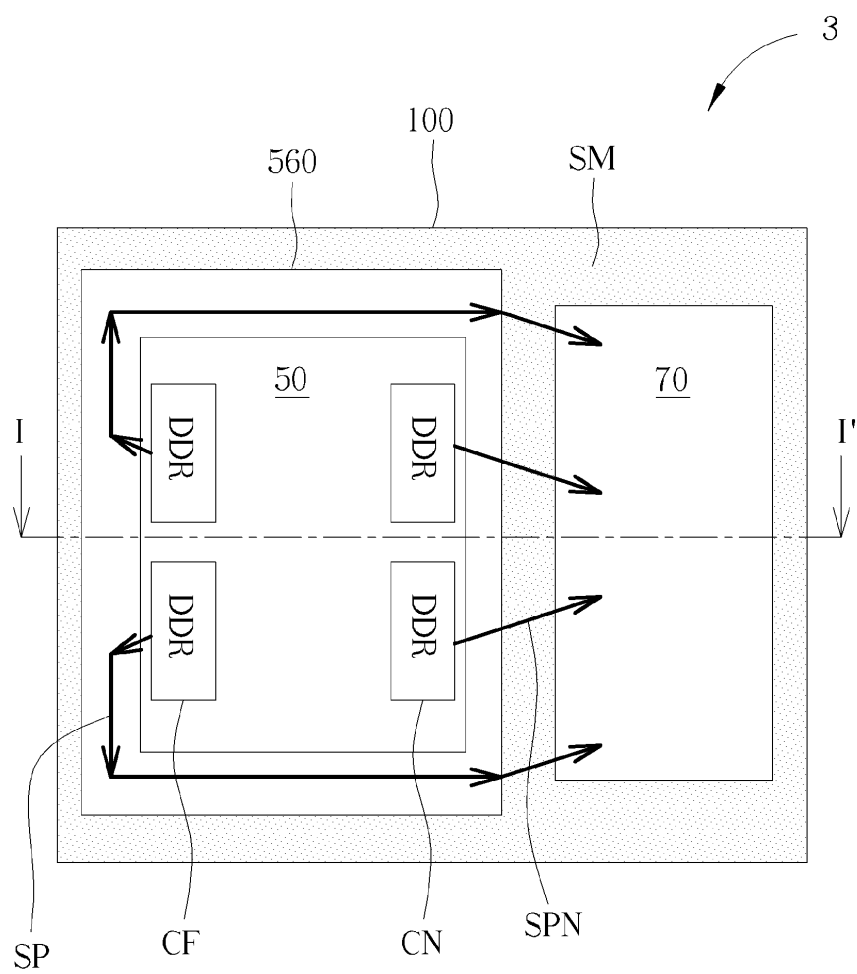
圖 5 是示出根據本公開又一實施例的具有厚邏輯芯片的半導體封裝的示例性芯片設置的示意圖；和

圖 6 是圖 5 沿 II-II'線的剖視示意圖。



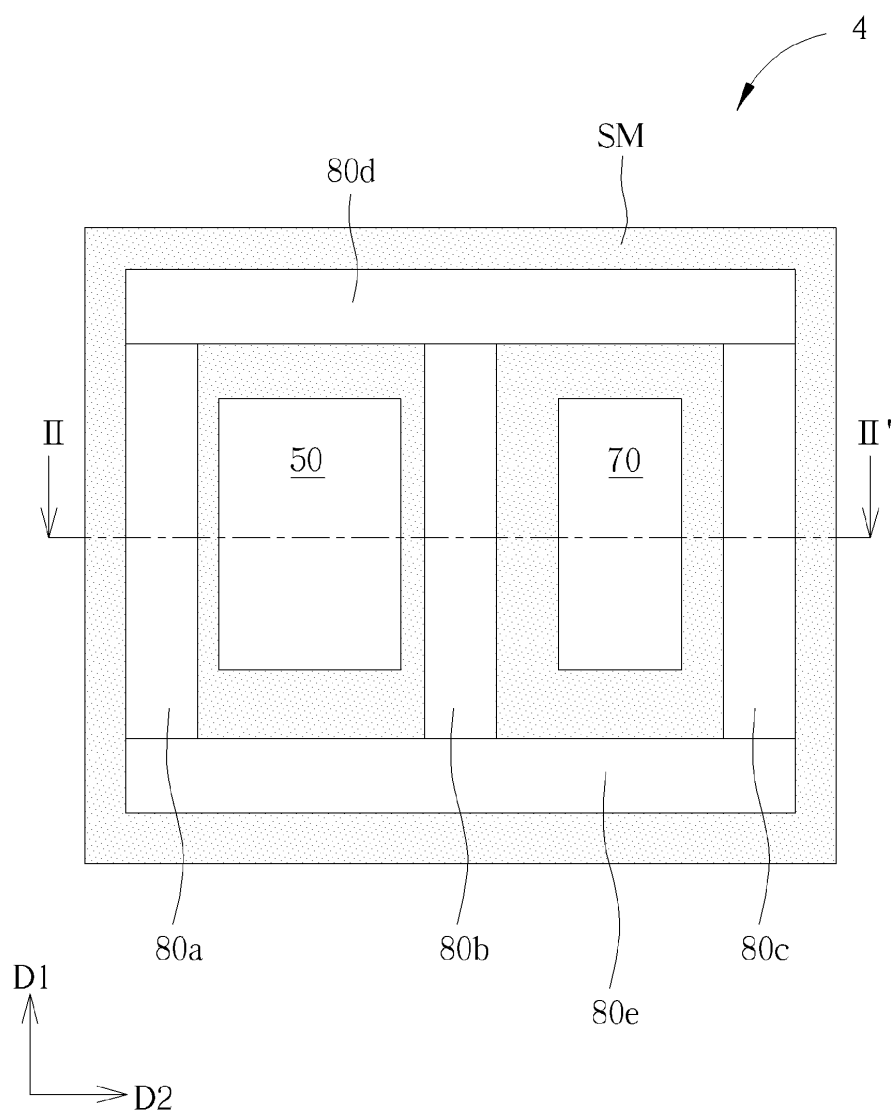
第1圖

(4)



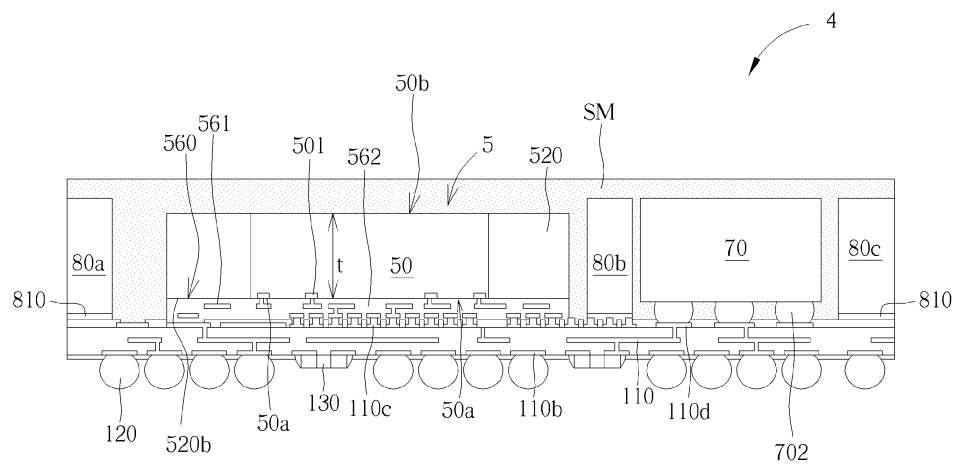
第3圖

(6)



第5圖

(7)



第6圖