

【11】證書號數：I938505

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B12/00 (2023.01)

發明

全 14 頁

【54】名稱：半導體裝置

【21】申請案號：112126579

【22】申請日：中華民國 112 (2023) 年 07 月 17 日

【11】公開編號：202420944

【43】公開日期：中華民國 113 (2024) 年 05 月 16 日

【30】優先權：2022/07/20

南韓

10-2022-0089883

【72】發明人：金恩靚 (KR) KIM, EUNJUNG；朴宰亨 (KR) PARK, JAEHYUNG；南奇亨 (KR) NAM, KIHYUNG；宋昊柱 (KR) SONG, HOJU；李閏宰 (KR) LEE, YUNJAE

【71】申請人：南韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧婉君；陳怡如

【56】參考文獻：

TW 202220143A

US 10573652B2

US 2022/0005811A1

審查人員：朱 信

【57】申請專利範圍

1. 一種半導體裝置，包括：

基底，包含單元陣列區及周邊電路區，所述基底包含界定於所述單元陣列區中的多個第一主動區及界定於所述周邊電路區中的至少一個第二主動區；

多個字元線，在所述基底中且在第一方向上延伸；

多個位元線，在所述基底的所述單元陣列區中且在垂直於所述第一方向的第二方向上延伸；

多個第一接墊分離圖案，分別在所述字元線的對應者上，所述第一接墊分離圖案在所述第一方向上延伸；

單元接墊結構，在所述基底上且在所述第一接墊分離圖案的兩個鄰近者之間；以及

第二接墊分離圖案，在所述第一接墊分離圖案的兩個鄰近者之間且鄰近於所述單元接墊結構，

其中所述單元接墊結構的垂直於所述第一方向的橫截面具有四邊形形狀，其中所述橫截面的下部表面的兩個隅角為圓形的，且

所述第一接墊分離圖案的上部表面、所述單元接墊結構的上部表面以及所述第二接墊分離圖案的上部表面在相同平面上。

2. 如請求項 1 所述的半導體裝置，其中所述單元接墊結構的垂直於所述第二方向的橫截面包含在其下部表面處的第一隅角及第二隅角，所述第一隅角鄰近於所述第二接墊分離圖案且具有圓形形狀，所述第二隅角具有方形形狀。

3. 如請求項 1 所述的半導體裝置，其中所述單元接墊結構的垂直於所述第二方向的橫截面具有四邊形形狀，其中所述橫截面的下部表面的兩個相對隅角是成角度的。

4. 如請求項 1 所述的半導體裝置，其中所述第一主動區中的各者的上部表面在比所述第二主動區的上部表面更低的垂直水平處。

5. 如請求項 1 所述的半導體裝置，其中

(2)

所述單元接墊結構的上部表面在比所述第二主動區的上部表面更高的垂直水平處，且所述單元接墊結構的下部表面在比所述第二主動區的所述上部表面更低的垂直水平處。

6. 如請求項 1 所述的半導體裝置，其中
所述單元接墊結構的上部表面在與所述第二主動區的上部表面相同的垂直水平處，且
所述單元接墊結構的下部表面在比所述第二主動區的所述上部表面更低的垂直水平處。
7. 如請求項 1 所述的半導體裝置，更包括：
封蓋絕緣膜，在所述字元線中的對應一者與所述第一接墊分離圖案中的對應一者之間，
其中所述第一接墊分離圖案中的所述對應一者在所述第二方向上的長度與所述封蓋絕緣膜在所述第二方向上的長度相同。
8. 如請求項 7 所述的半導體裝置，其中所述第一接墊分離圖案中的所述對應一者及所述封蓋絕緣膜分別為單一整體結構的部分。
9. 如請求項 1 所述的半導體裝置，其中所述單元接墊結構的上部表面在與所述第二接墊分離圖案的上部表面相同的垂直水平處，且所述單元接墊結構的下部表面在比所述第二接墊分離圖案的下部表面更高的垂直水平處。
10. 一種半導體裝置，包括：
基底，包含單元陣列區、邊界區以及周邊電路區，所述基底包含界定於所述單元陣列區中的多個第一主動區及界定於所述周邊電路區中的至少一個第二主動區；
字元線，在所述基底中且在第一方向上延伸；
位元線，在所述基底的所述單元陣列區中且在垂直於所述第一方向的第二方向上延伸；
多個第一接墊分離圖案，在所述字元線上，所述第一接墊分離圖案在所述第一方向上延伸；
單元接墊結構，在所述基底上且在所述第一接墊分離圖案的兩個鄰近者之間；
第二接墊分離圖案，在所述第一接墊分離圖案的兩個鄰近者之間，且所述第二接墊分離圖案鄰近於所述單元接墊結構；
第一絕緣層，在所述單元接墊結構上且延伸至所述邊界區；以及
第二絕緣層，在所述第一絕緣層上且延伸至所述邊界區，
其中所述單元接墊結構的垂直於所述第一方向的第一橫截面具有四邊形形狀，其中下部表面的兩個隅角為圓形的，且
其中所述第一絕緣層的上部表面及所述第二絕緣層的上部表面為平坦的，且
所述第一接墊分離圖案的上部表面、所述單元接墊結構的上部表面以及所述第二接墊分離圖案的上部表面在相同平面上。

圖式簡單說明

將自結合隨附圖式進行的以下詳細描述更清晰地理解本發明概念的實例實施例，在隨附圖式中：

圖 1 為示出根據本發明概念的實例實施例的半導體裝置的佈局圖。

圖 2 為圖 1 的部分 EX 的放大佈局圖。

圖 3A 為沿圖 2 的線 A-A' 截取的橫截面圖。

圖 3B 為沿圖 2 的線 B-B' 截取的橫截面圖。

圖 4A 為根據本發明概念的另一實例實施例的沿半導體裝置的圖 2 的線 A-A' 截取的橫截面圖。

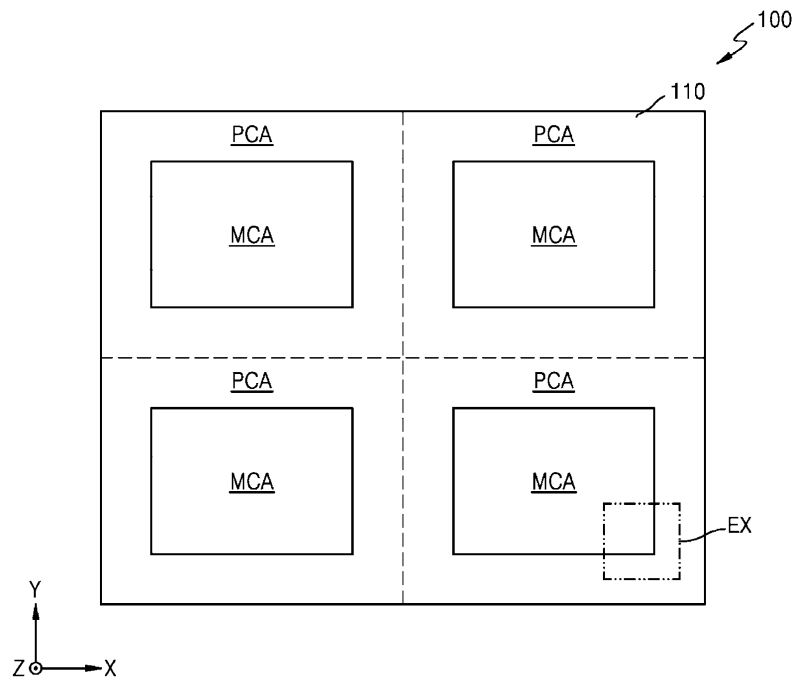
圖 4B 為根據本發明概念的另一實例實施例的沿半導體裝置的圖 2 的線 B-B' 截取的橫截面圖。

圖 5A 為圖 3B 的部分 PX2 的放大橫截面圖。

(3)

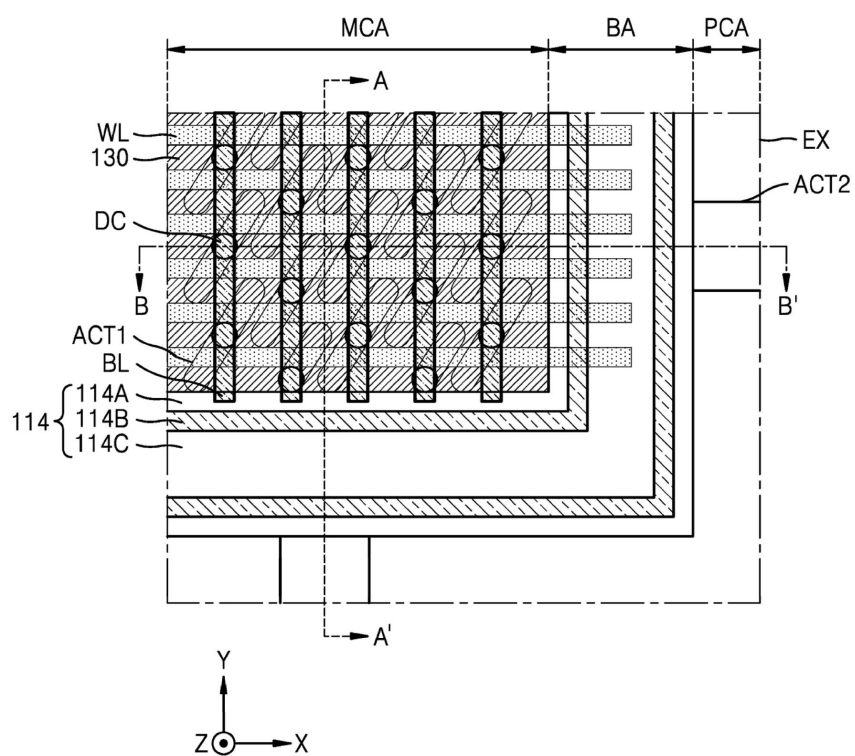
圖 5B 為根據本發明概念的另一實例實施例的對應於半導體裝置的圖 3B 的部分 PX2 的部分的放大橫截面圖。

圖 6A 至圖 6H 為示出根據本發明概念的實例實施例的製造半導體裝置的方法的橫截面圖。



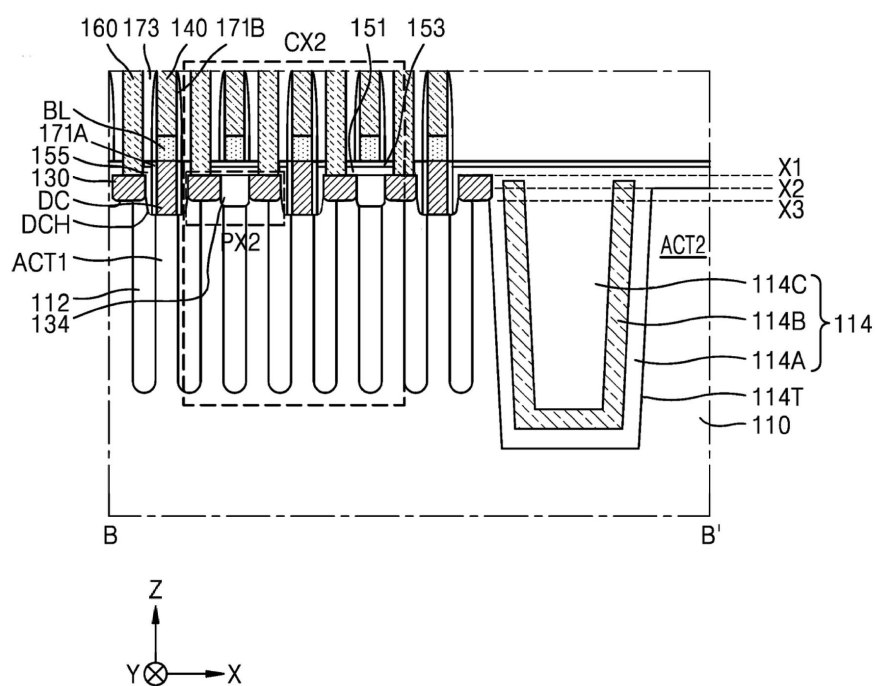
【圖1】

(4)



【圖2】

(6)



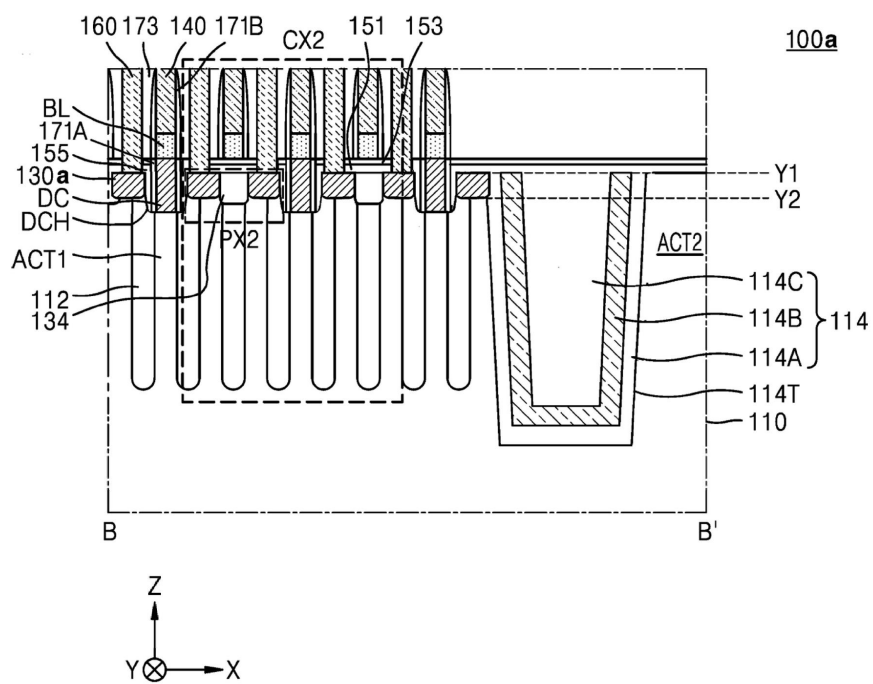
【圖3B】

(7)



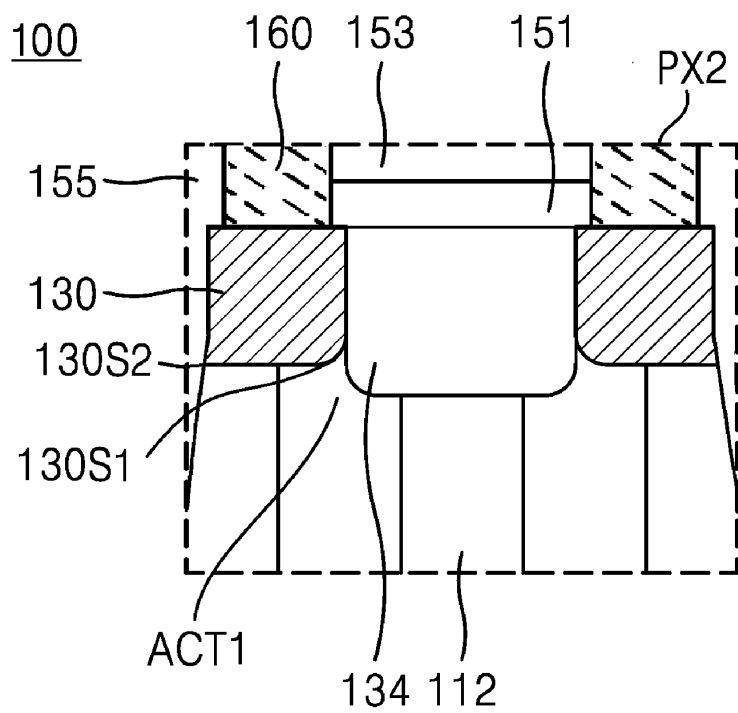
【圖4A】

(8)



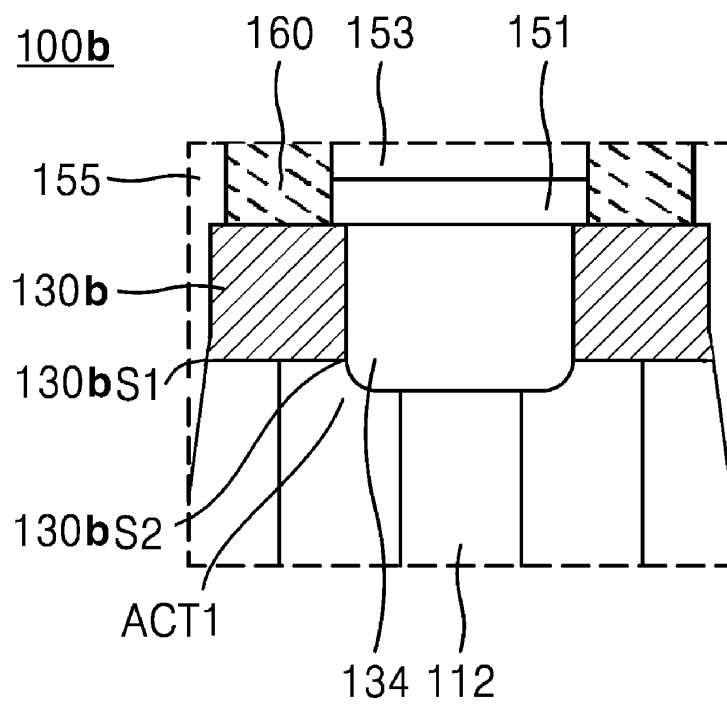
【圖4B】

(9)

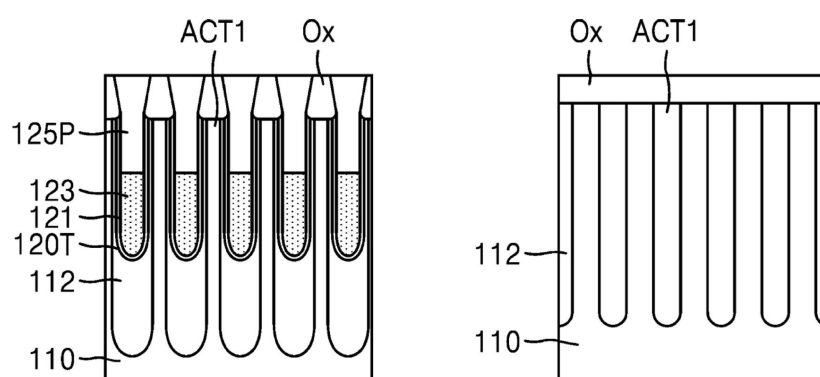


【圖5A】

(10)

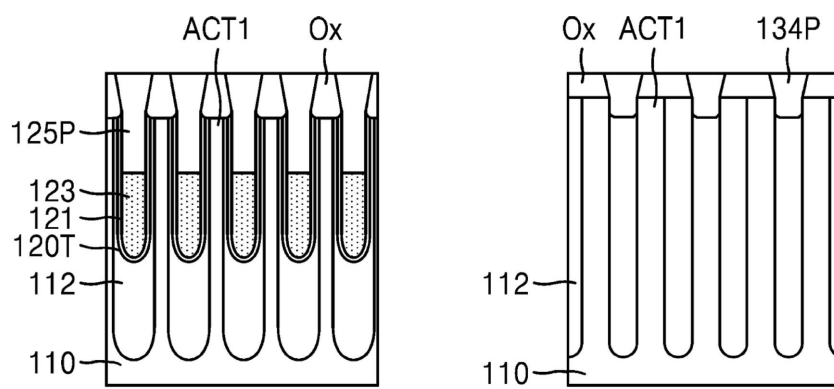


【圖5B】

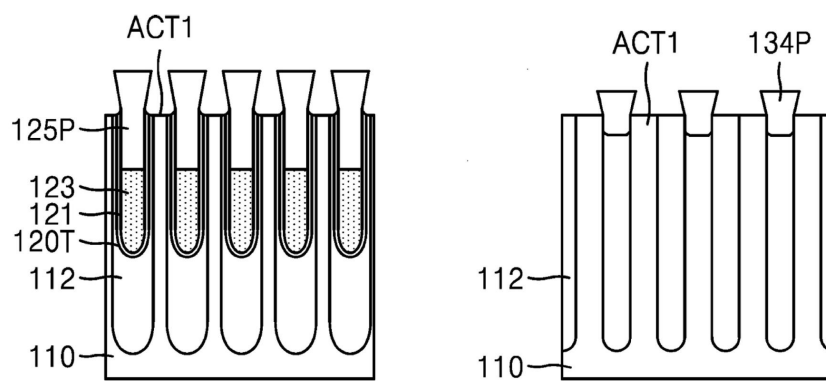


【圖6A】

(11)

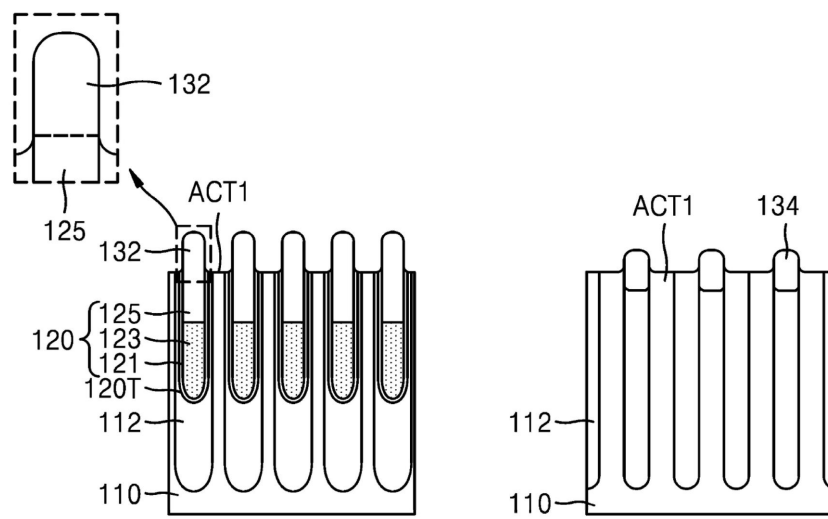


【圖6B】

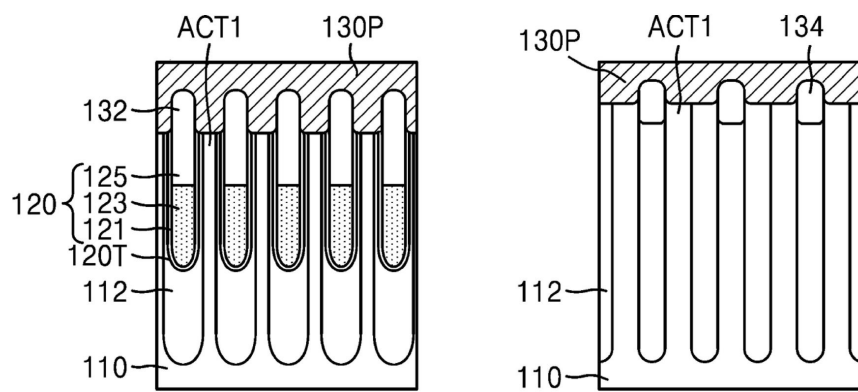


【圖6C】

(12)

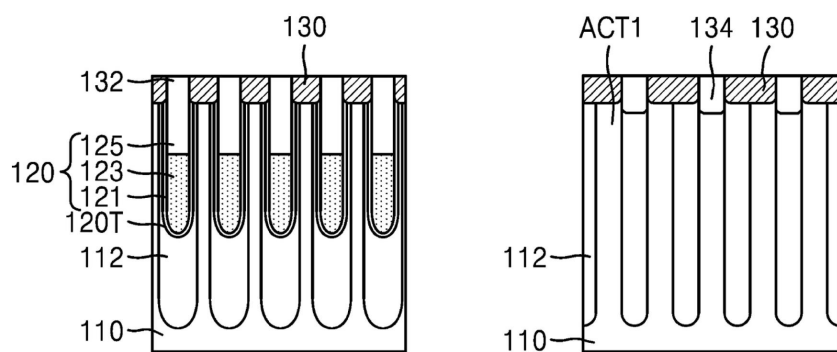


【圖6D】

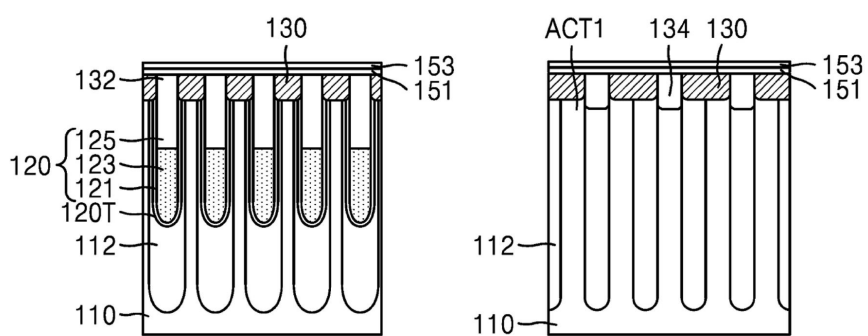


【圖6E】

(13)

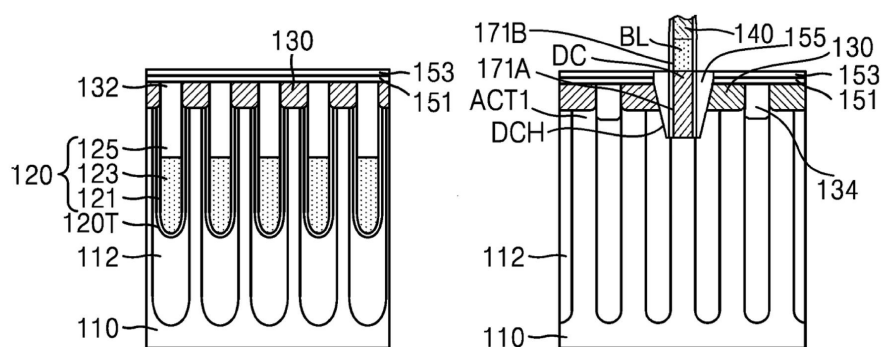


【圖6F】



【圖6G】

(14)



【圖6H】