

【11】證書號數：I938509

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B12/00 (2023.01)

發明

全 15 頁

【54】名稱：半導體裝置

【21】申請案號：112131579

【22】申請日：中華民國 112 (2023) 年 08 月 23 日

【11】公開編號：202428123

【43】公開日期：中華民國 113 (2024) 年 07 月 01 日

【30】優先權：2022/08/24

南韓

10-2022-0106351

【72】發明人：金泰赫 (KR) KIM, TAEHYUK；姜泰達 (KR) KANG, TAEGYU；申碩浩 (KR) SHIN, SEOKHO；李基碩 (KR) LEE, KISEOK；李相昊 (KR) LEE, SANGHO；金根楠 (KR) KIM, KEUNNAM；朴碩漢 (KR) PARK, SEOKHAN；愼重贊 (KR) SHIN, JOONGCHAN；鄭文泳 (KR) JEONG, MOONYOUNG；趙銀珠 (KR) CHO, EUNJU

【71】申請人：南韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧佩君；陳怡如

【56】參考文獻：

US 2010/0123170A1

US 2012/0276711A1

US 2013/0234242A1

US 2016/0141181A1

US 2018/0350611A1

審查人員：邱柏豪

【57】申請專利範圍

1. 一種半導體裝置，包括：

基板；

第一位元線，在所述基板上在第一方向上延伸；

第一主動圖案及第二主動圖案，位於所述第一位元線上；

背部閘極電極，位於所述第一主動圖案與所述第二主動圖案之間且在與所述第一方向垂直的第二方向上跨越所述第一位元線延伸；

第一字元線，在所述第二方向上延伸，其中所述第一主動圖案設置於所述第一字元線與所述背部閘極電極之間；

第二字元線，在所述第二方向上延伸，其中所述第二主動圖案設置於所述第二字元線與所述背部閘極電極之間；以及

接觸圖案，連接至所述第一主動圖案及所述第二主動圖案中的每一者，

其中所述接觸圖案包括在與所述基板的上表面垂直的垂直方向上堆疊於彼此上的磊晶生長層、經摻雜複晶矽層及矽化物層，且

其中所述磊晶生長層具有在所述垂直方向上逐漸變化的摻雜濃度。

2. 如請求項 1 所述的半導體裝置，

其中所述第一主動圖案及所述第二主動圖案中的每一者包含單晶半導體材料，

其中所述接觸圖案的所述磊晶生長層與所述第一主動圖案及所述第二主動圖案接觸。

3. 如請求項 2 所述的半導體裝置，

其中所述磊晶生長層的所述摻雜濃度隨著遠離所述經摻雜複晶矽層而逐漸減小。

4. 如請求項 3 所述的半導體裝置，

(2)

其中所述磊晶生長層的下部區與所述第一主動圖案及所述第二主動圖案中的每一者接觸，且

其中所述磊晶生長層的所述下部區是未經摻雜的區。

5. 如請求項 3 所述的半導體裝置，
其中所述磊晶生長層中的摻雜劑的類型相同於所述經摻雜複晶矽層中的摻雜劑的類型。
6. 如請求項 5 所述的半導體裝置，
其中所述磊晶生長層是矽 (Si) 磊晶生長層，且
其中所述磊晶生長層的所述摻雜劑是 n 型摻雜劑。
7. 如請求項 1 所述的半導體裝置，
其中所述第一主動圖案及所述第二主動圖案中的每一者包括：
源極/汲極區，相鄰於所述接觸圖案；以及
通道區，相鄰於所述第一字元線及所述第二字元線，且
其中所述源極/汲極區的摻雜濃度大於所述通道區的摻雜濃度。
8. 如請求項 1 所述的半導體裝置，更包括：
資料儲存圖案，連接至所述接觸圖案；以及
搭接墊，設置於所述接觸圖案與所述資料儲存圖案之間。
9. 如請求項 8 所述的半導體裝置，
其中所述搭接墊與所述接觸圖案的所述矽化物層接觸。
10. 如請求項 1 所述的半導體裝置，更包括：
第二位元線，相鄰於所述第一位元線；
間隙結構，設置於所述第一位元線與所述第二位元線之間的空間中；以及
絕緣圖案，位於所述間隙結構與所述第一位元線之間，
其中所述間隙結構包含導電材料。

圖式簡單說明

藉由結合附圖閱讀以下詳細說明，將更清楚地理解本發明概念的實施例，在附圖中：

圖 1 是示出根據實施例的半導體裝置的一部分的透視圖。

圖 2 是示出根據實施例的半導體裝置的佈局。

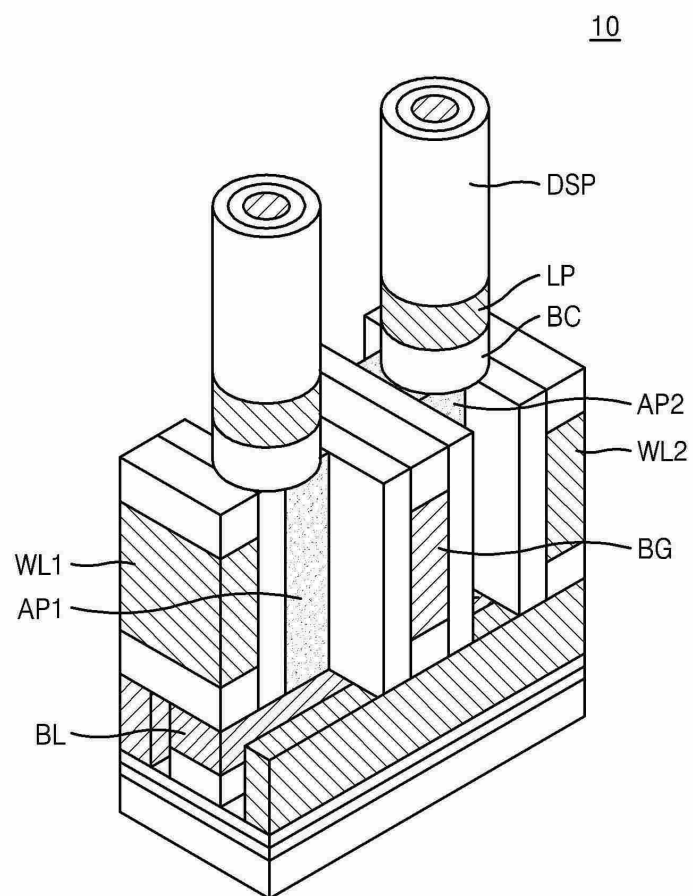
圖 3 示出圖 2 所示半導體裝置的沿著線 A-A'及 B-B'截取的剖視圖。

圖 4 是圖 3 所示半導體裝置的部分 IV 的放大剖視圖。

圖 5 及圖 6 是示出根據其他實施例的半導體裝置的剖視圖。

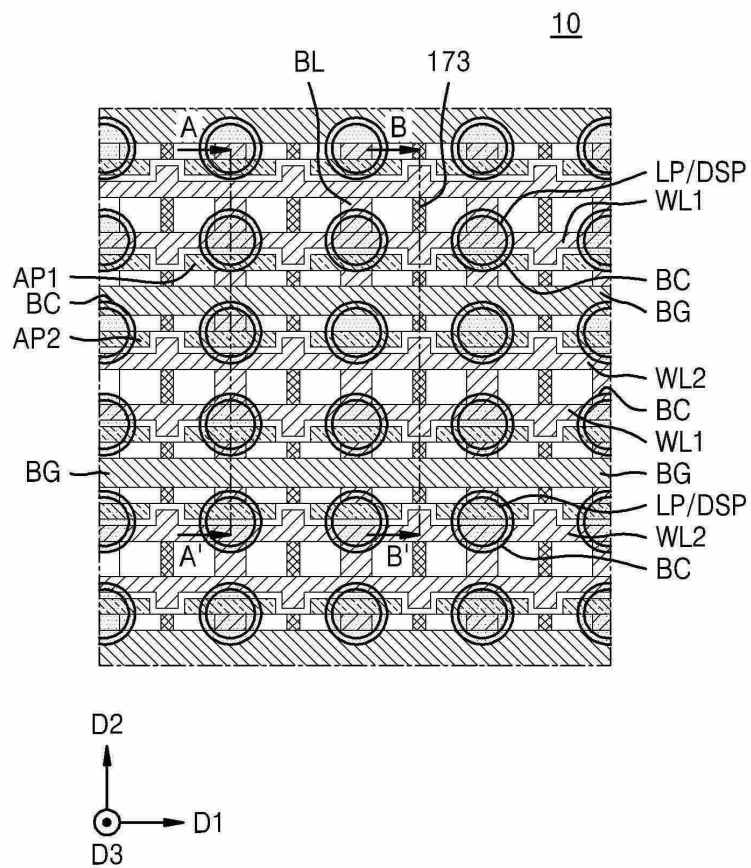
圖 7 至圖 30 是按照製程次序示出根據實施例的製造半導體裝置的方法的剖視圖。

(3)

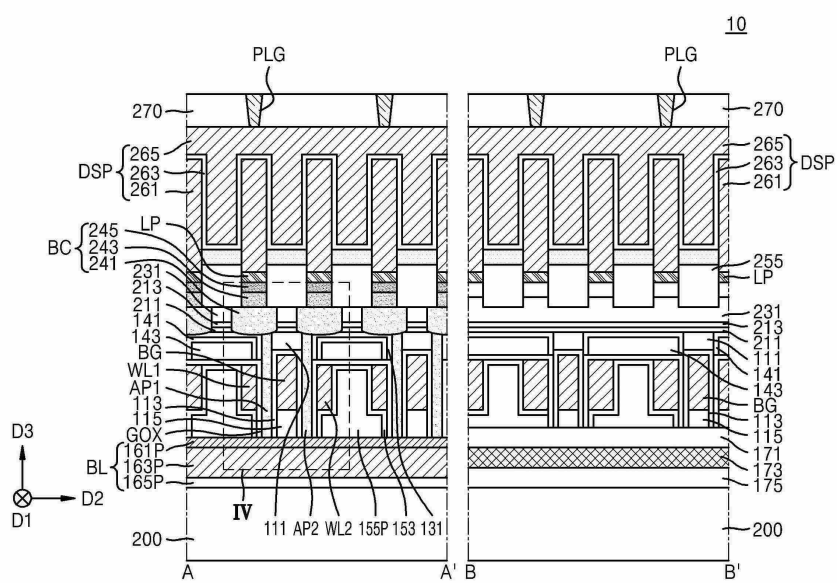


【圖1】

(4)



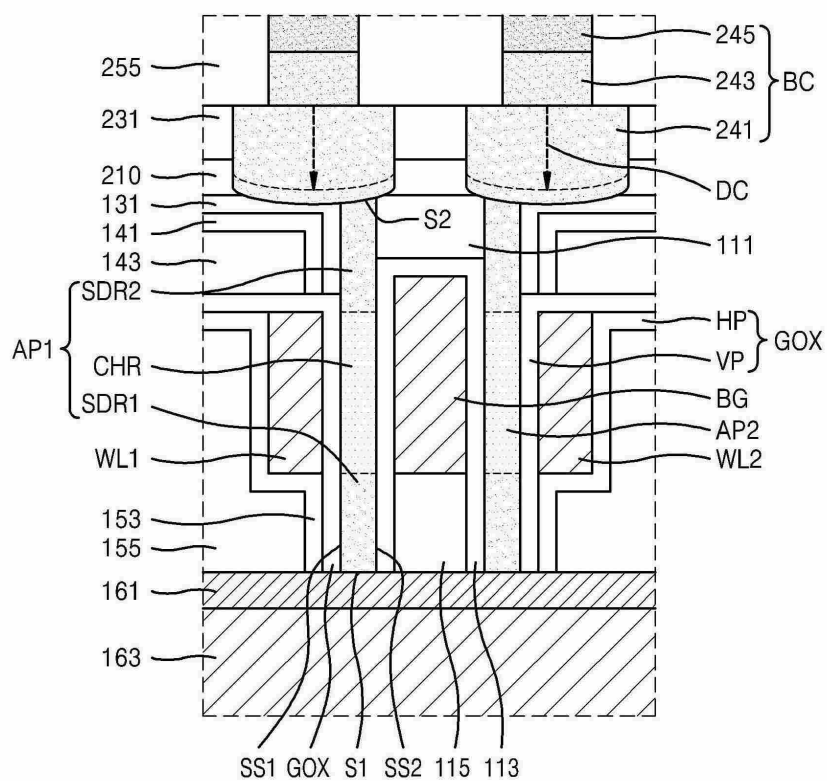
【圖2】



【圖3】

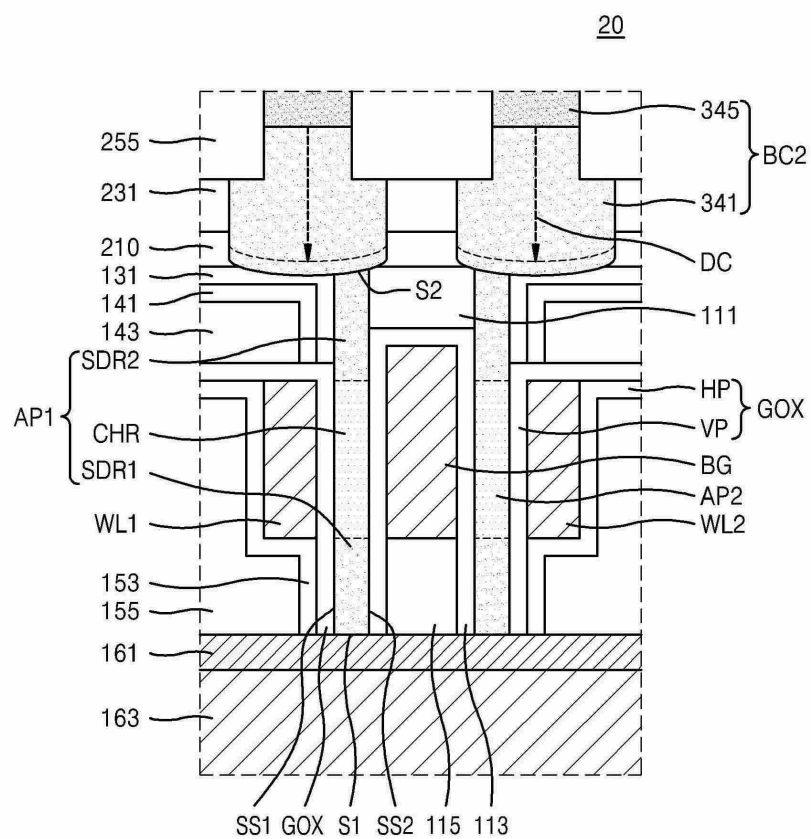
(5)

10



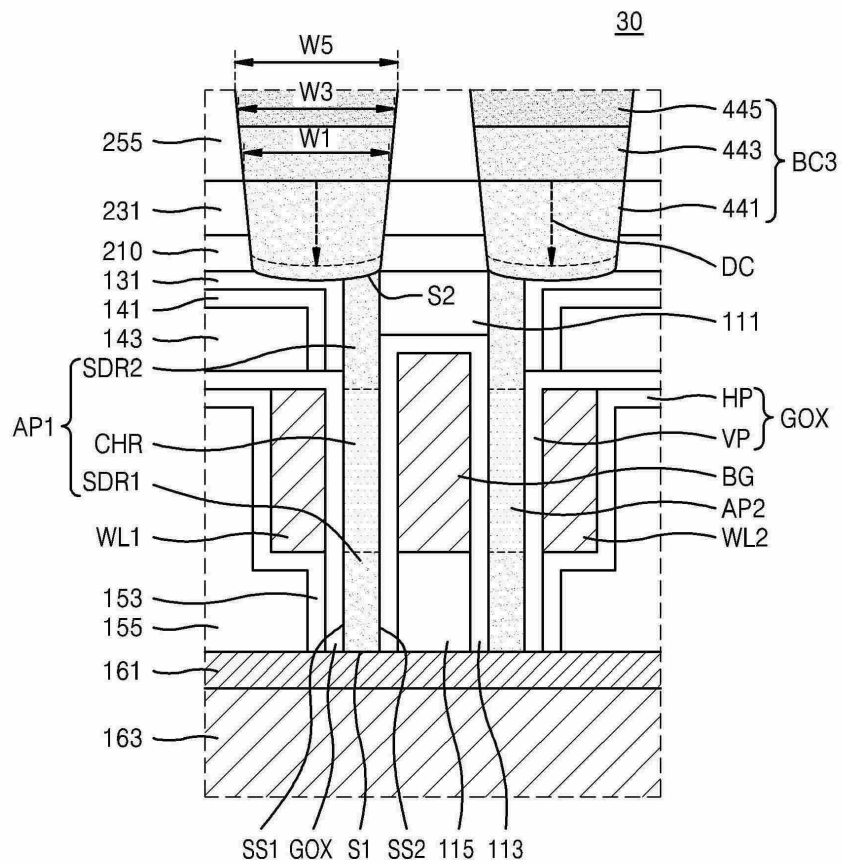
【圖4】

(6)

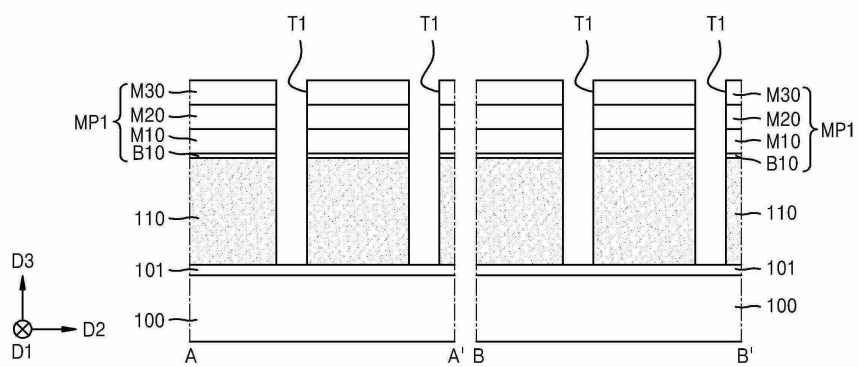


【圖5】

(7)

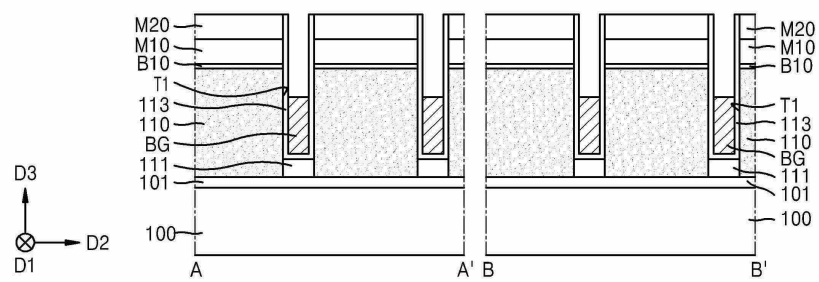


【圖6】

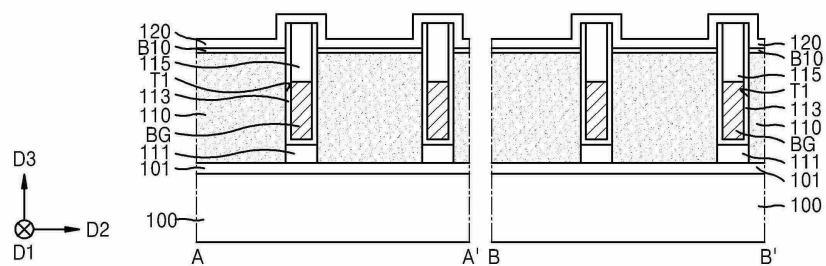


【圖7】

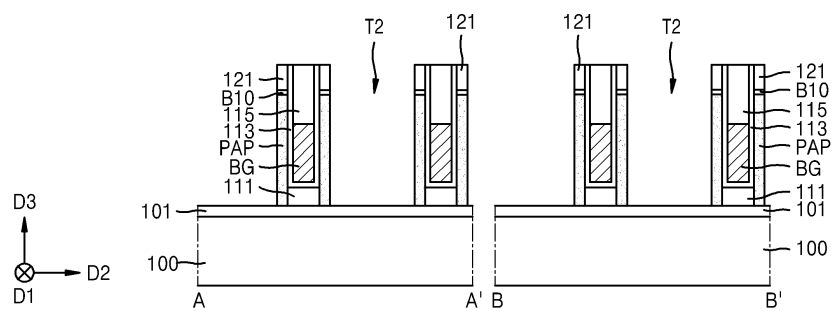
(8)



【圖8】

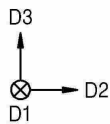


【圖9】

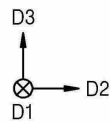


【圖10】

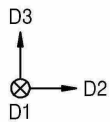
(9)



【圖11】

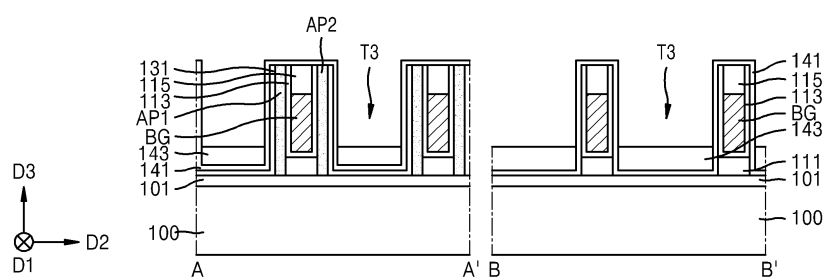


【圖12】

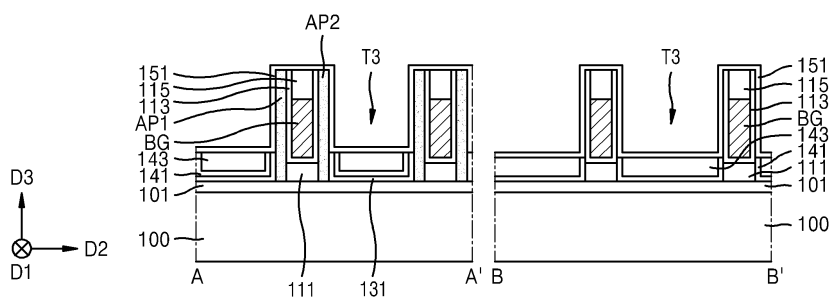


【圖13】

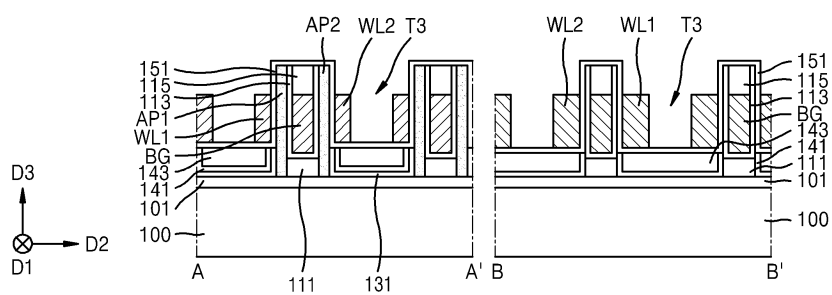
(10)



【圖14】

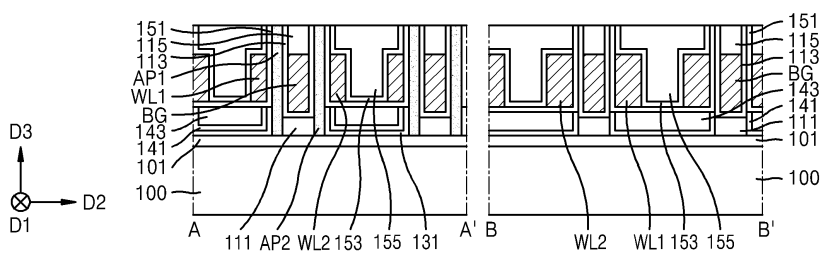


【圖15】

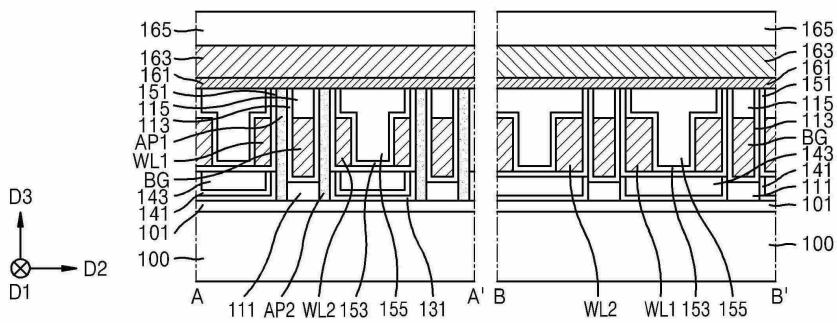


【圖16】

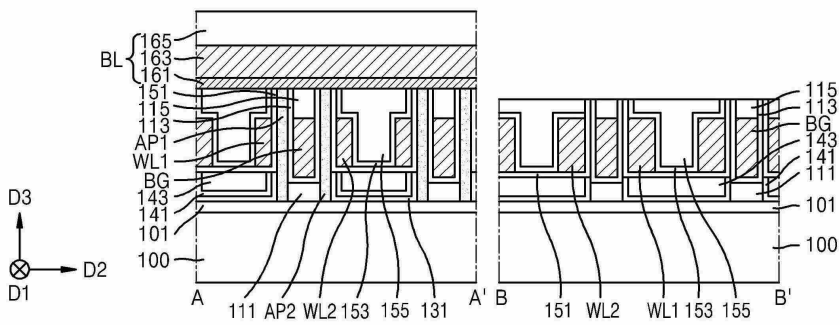
(11)



【圖17】

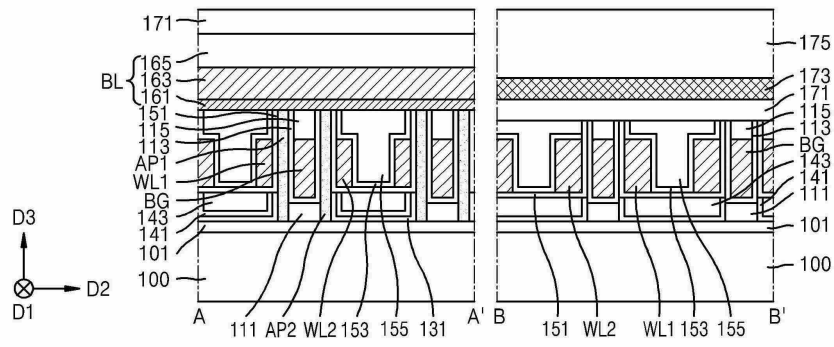


【圖18】

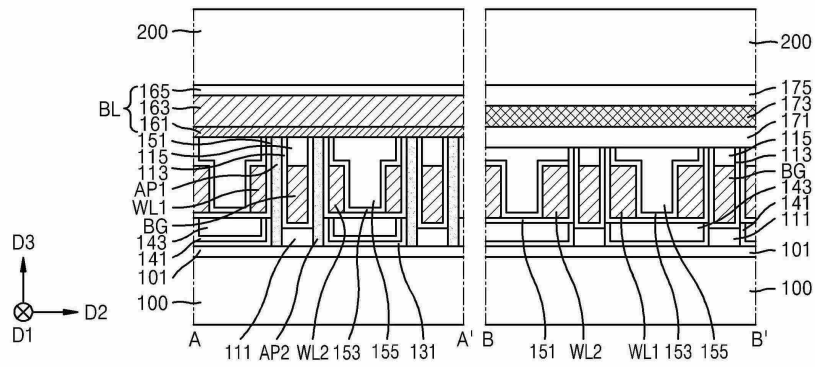


【圖19】

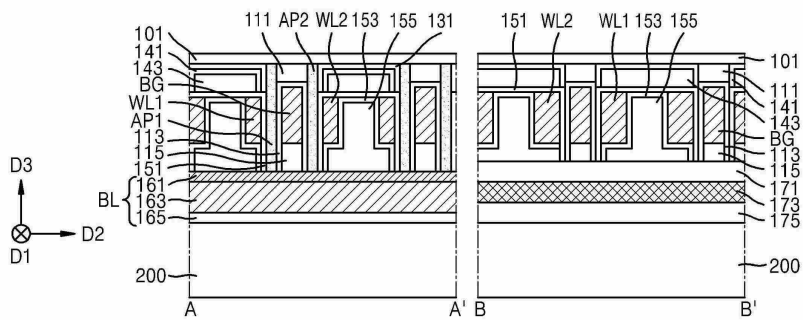
(12)



【圖20】

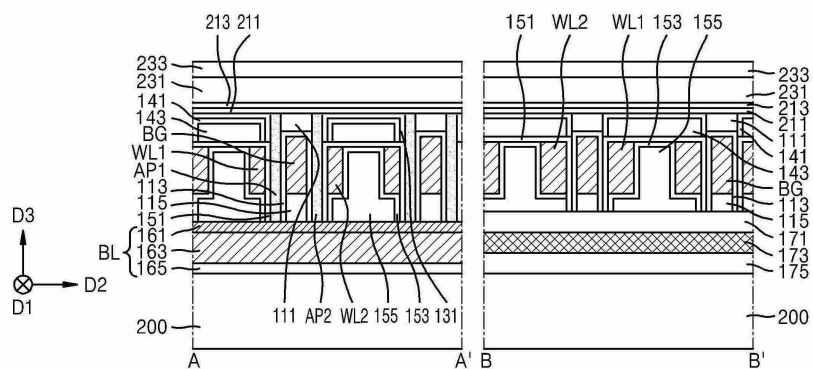


【圖21】

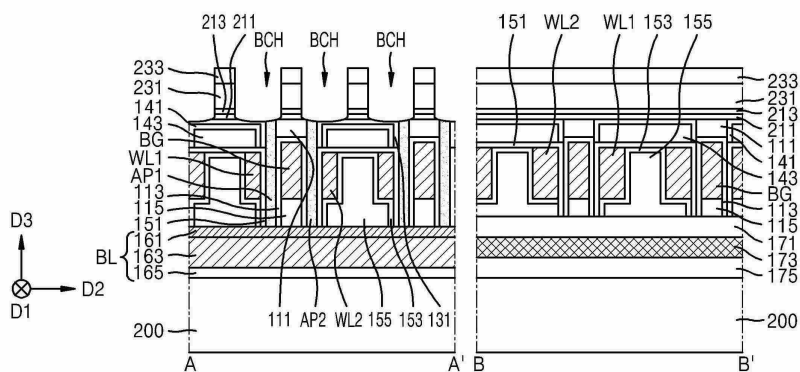


【圖22】

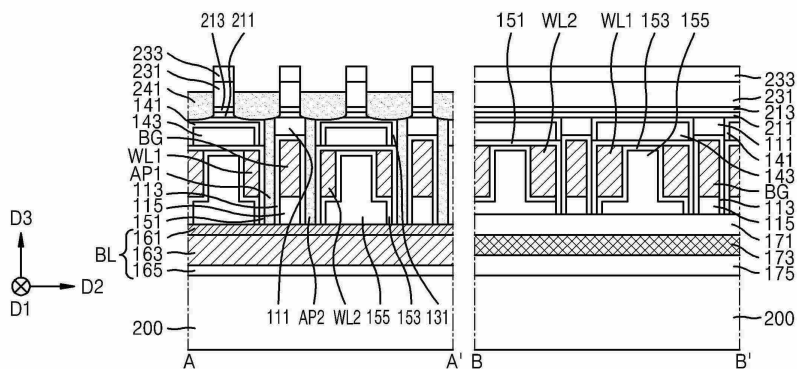
(13)



【圖23】

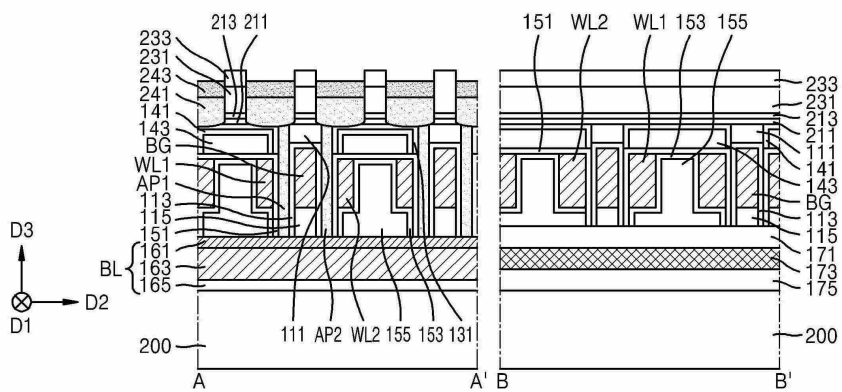


【圖24】

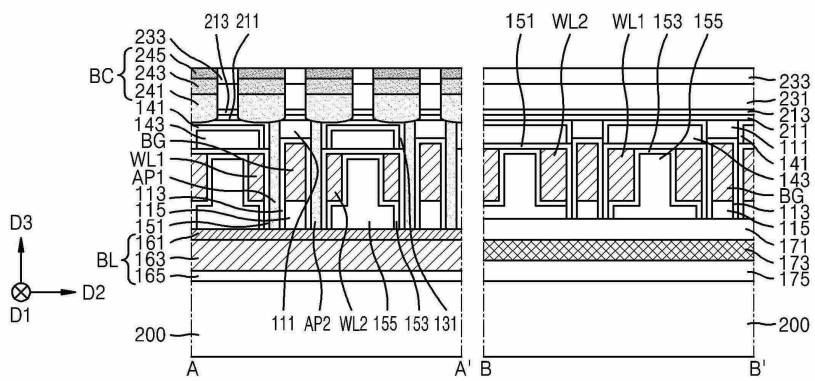


【圖25】

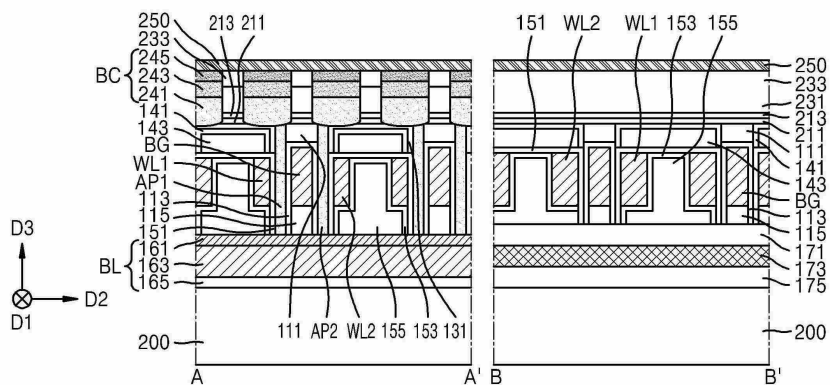
(14)



【圖26】

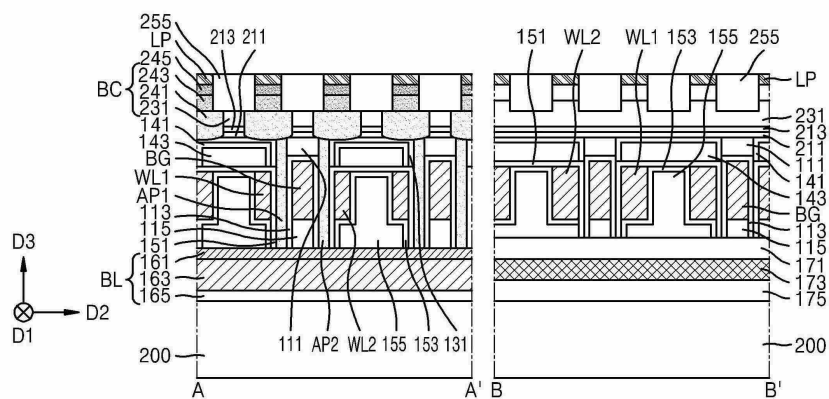


【圖27】

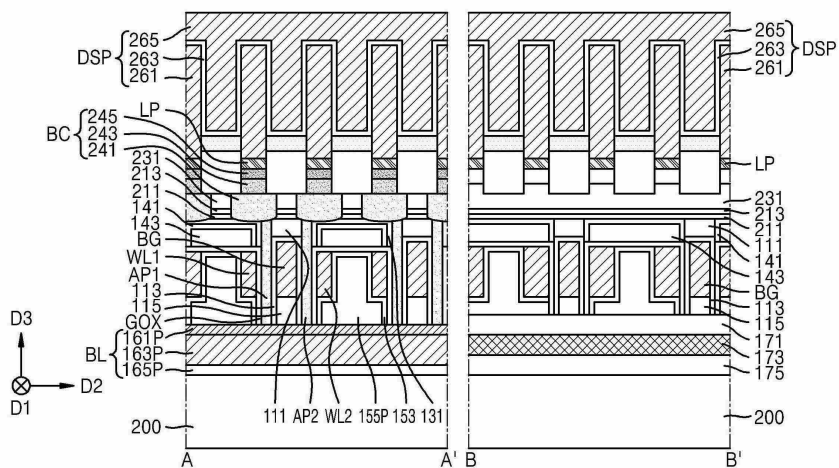


【圖28】

(15)



【圖29】



【圖30】