

【11】證書號數：I938519

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B12/00 (2023.01) H10N97/00 (2023.01)

發明

全 20 頁

【54】名稱：半導體裝置

【21】申請案號：112136466

【22】申請日：中華民國 112 (2023) 年 09 月 23 日

【11】公開編號：202434039

【43】公開日期：中華民國 113 (2024) 年 08 月 16 日

【30】優先權：2022/11/07

南韓

10-2022-0147381

【72】發明人：趙炳焄 (KR) CHO, BYUNGHOON；康 婷 (KR) KANG, NAMJUNG

【71】申請人：南韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧佩君；陳怡如

【56】參考文獻：

TW 202205601A

US 2021/0272959A1

審查人員：陳憶緣

【57】申請專利範圍

1. 一種半導體裝置，包括：

基底，包括第一區域及平面地圍繞所述第一區域的第二區域；

主動區域，安置於所述基底的所述第一區域中；

下部電極，安置於所述基底的所述第一區域上且在豎直方向上延伸，所述下部電極電連接至所述主動區域；

支撐件，圍繞所述下部電極的側壁且支撐所述下部電極；

第一上部電極，覆蓋所述下部電極，位於所述下部電極上，所述第一上部電極包括安置於所述第一區域內的第一部分及安置於所述第二區域內的第二部分；

介電層，配置於所述下部電極與所述第一上部電極之間；以及

第二上部電極，安置於所述第一上部電極的所述第一部分上，

其中所述第二上部電極未安置於所述第一上部電極的所述第二部分上。

2. 如請求項 1 所述的半導體裝置，其中所述第一上部電極包括由矽鍺 (SiGe) 及矽 (Si) 中選出的一或多者，以及

所述第二上部電極包括由鎢 (W)、氮化鈦 (TiN) 以及其組合中選出的一或多者。

3. 如請求項 1 所述的半導體裝置，其中所述第一上部電極的所述第二部分包括與所述第二上部電極的材料實質上不同的材料。

4. 如請求項 1 所述的半導體裝置，更包括所述第二上部電極上的保護層，所述保護層包括絕緣材料。

5. 如請求項 4 所述的半導體裝置，其中所述保護層未安置於所述第一上部電極的所述第二部分上。

6. 如請求項 1 所述的半導體裝置，其中所述第一上部電極的所述第二部分具有 L 形橫截面。

7. 如請求項 1 所述的半導體裝置，其中所述第一上部電極的所述第二部分包括在與所述豎直方向交叉的水平方向突出的一或多個突出部分，以及
所述突出部分的至少部分在所述水平方向上與所述支撐件重疊。

8. 一種半導體裝置，包括：
 - 基底，包括胞元區域及連接區域，所述胞元區域包括第一區域及第二區域，所述第二區域配置於所述第一區域與所述連接區域之間；
 - 多個主動區域，安置於所述基底的所述胞元區域中；
 - 多個導電圖案，安置於所述基底的所述胞元區域上，所述多個導電圖案安置於所述多個主動區域上；
 - 多個下部電極，各自在豎直方向上延伸且經由所述多個導電圖案電連接至所述多個主動區域；
 - 多個支撐件，圍繞所述多個下部電極的多個側壁中的各者且支撐所述多個下部電極；
 - 介電層，安置於所述多個下部電極及所述多個支撐件上且不安置於所述連接區域內；
 - 第一上部電極，安置於所述介電層上，所述第一上部電極包括安置於所述第一區域內的第一部分及安置於所述第二區域內的第二部分；以及
 - 第二上部電極，安置於所述第一區域內且不安置於所述第二區域及所述連接區域內。
9. 如請求項 8 所述的半導體裝置，其中所述第一上部電極包括由矽鍺（SiGe）及矽（Si）中選出的一或多者，以及
 - 所述第二上部電極包括由鎢（W）、氮化鈦（TiN）以及其組合中選出的一或多者。
10. 如請求項 8 所述的半導體裝置，其中所述第一上部電極的所述第二部分的上部表面的豎直層級包括豎直層級不同於所述第一上部電極的所述第一部分的上部表面的豎直層級的部分。

圖式簡單說明

將自結合隨附圖式進行的以下詳細描述更清楚地理解實施例，在隨附圖式中：

圖 1 為根據本發明概念的實施例的半導體裝置的示意性佈局圖。

圖 2 為根據本發明概念的實施例的半導體裝置的示意性佈局圖。

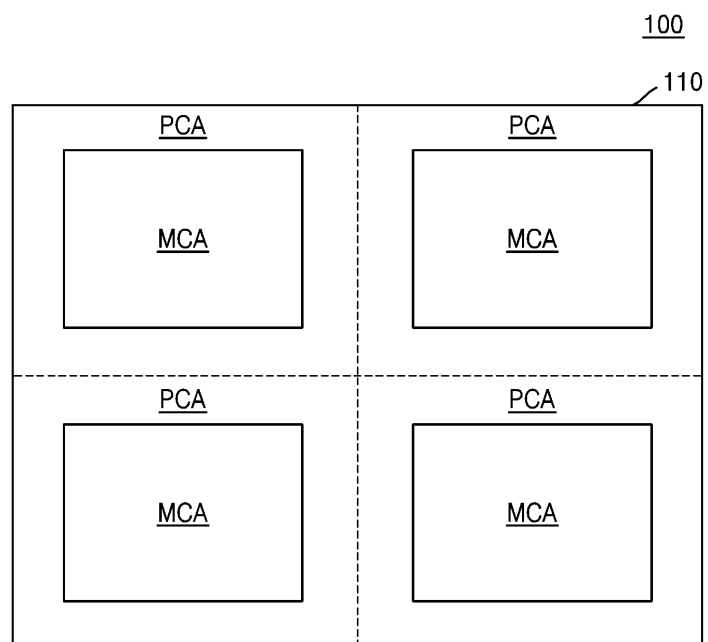
圖 3 為示意性地示出根據本發明概念的實施例的半導體裝置的部分組態的平面圖。

圖 4 至圖 8 為示意性地示出根據本發明概念的實施例的半導體裝置的部分組態的橫截面圖。

圖 9 為示出根據本發明概念的實施例的半導體裝置的部分組態的橫截面圖。

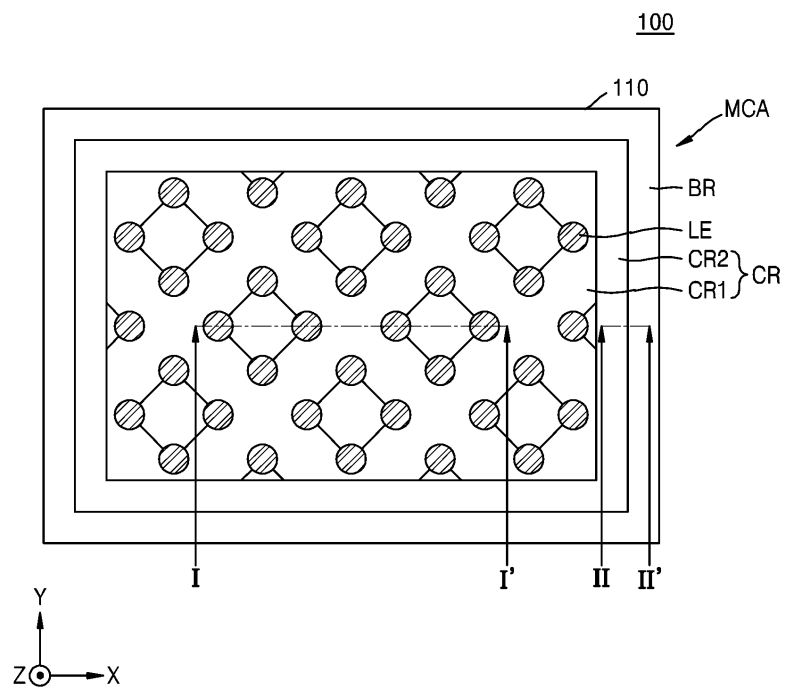
圖 10A 至圖 10K 為根據本發明概念的實施例的用於描述半導體裝置的製造方法的橫截面圖。

(3)



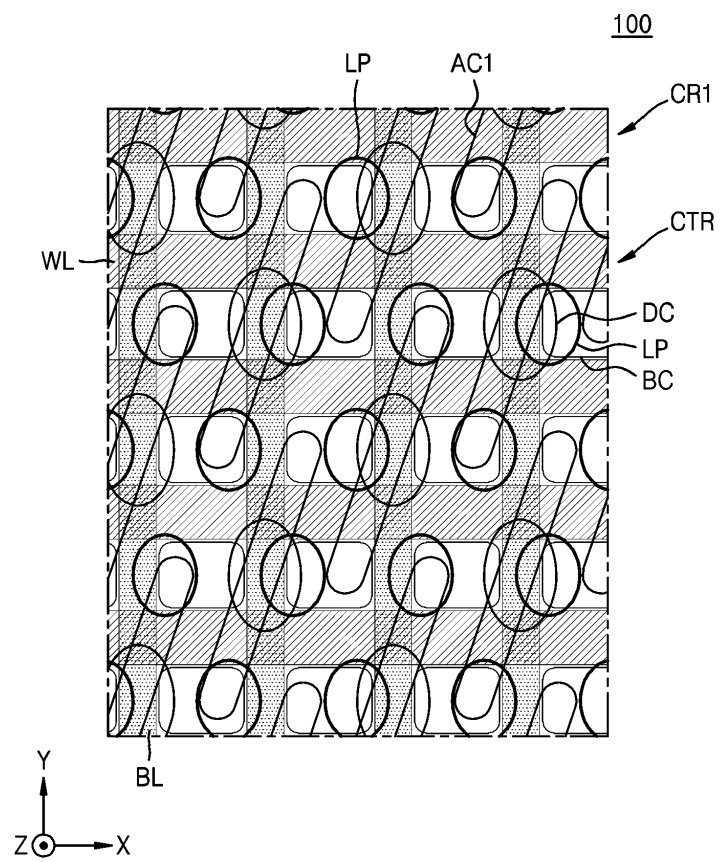
【圖1】

(4)



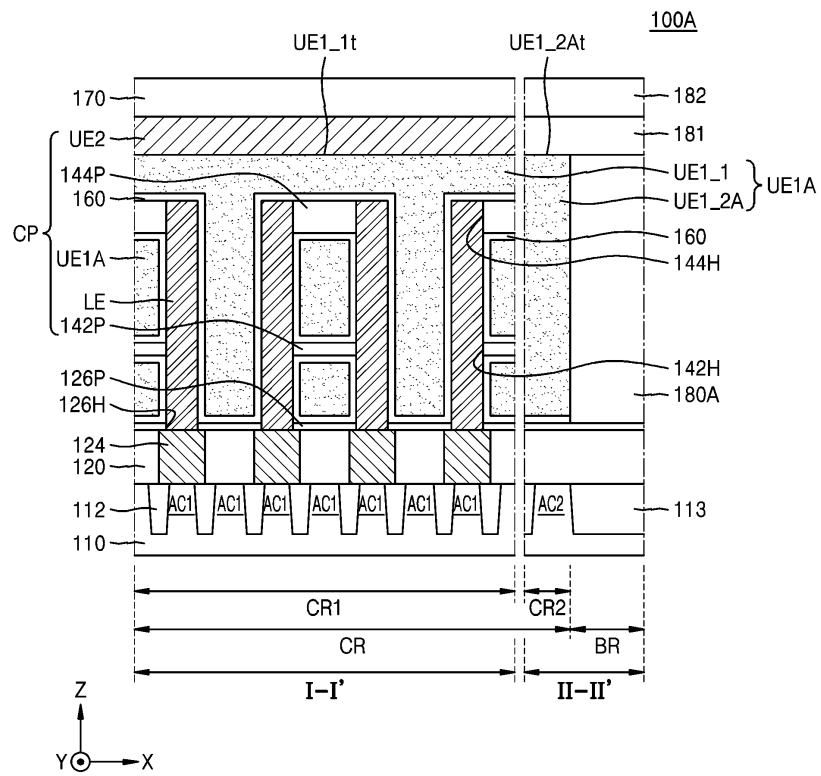
【圖2】

(5)



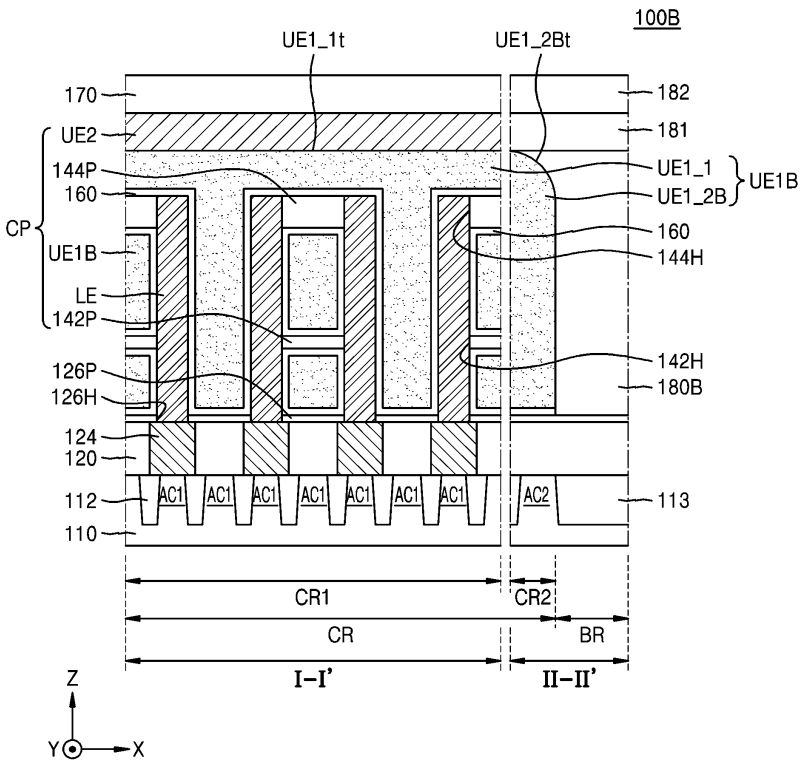
【圖3】

(6)



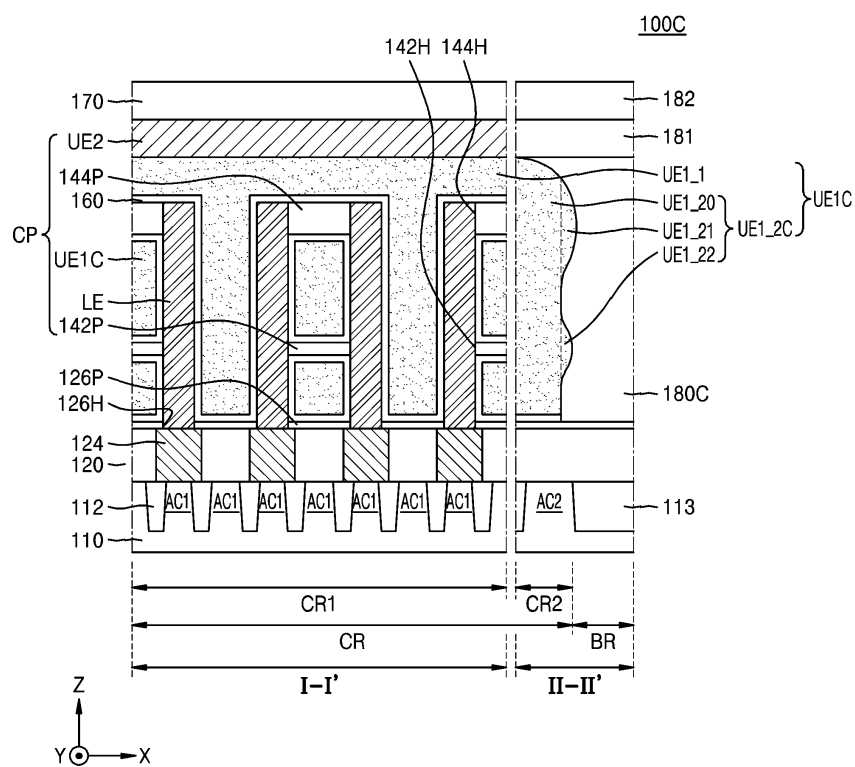
【圖4】

(7)



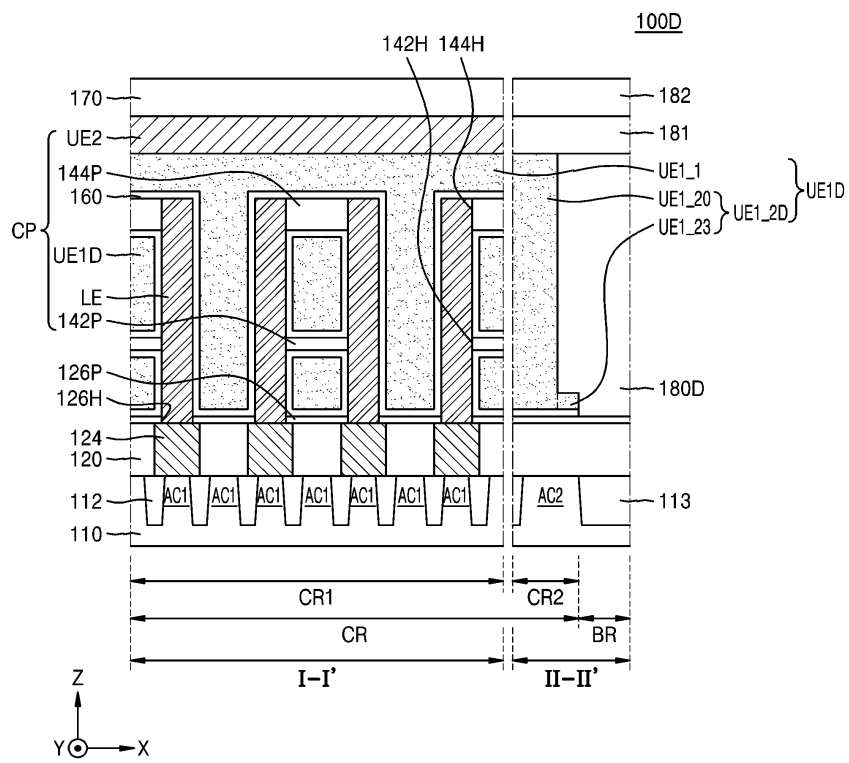
【圖5】

(8)



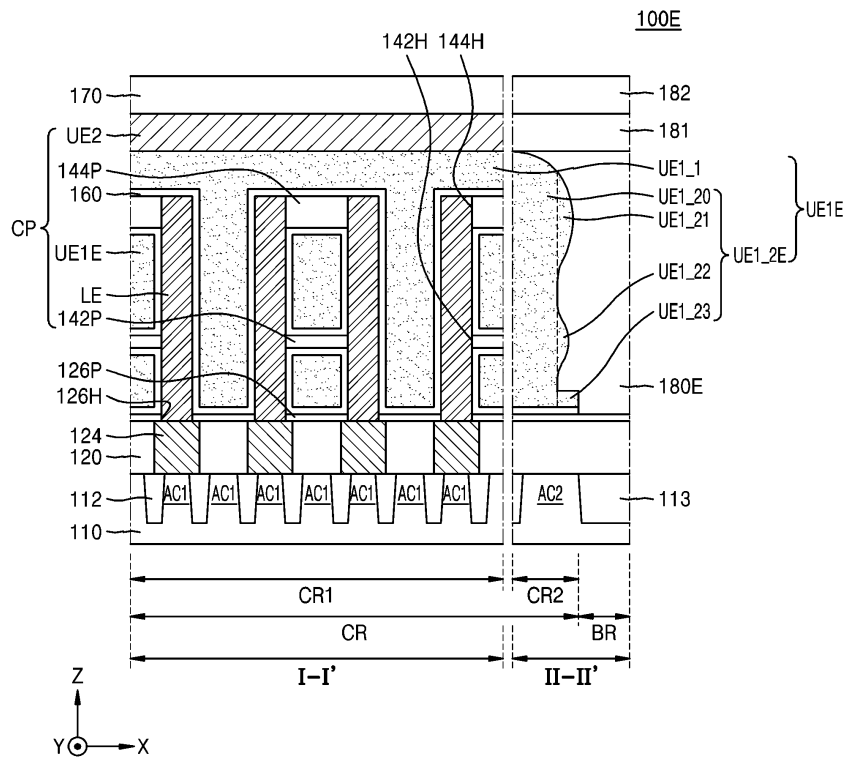
【圖6】

(9)

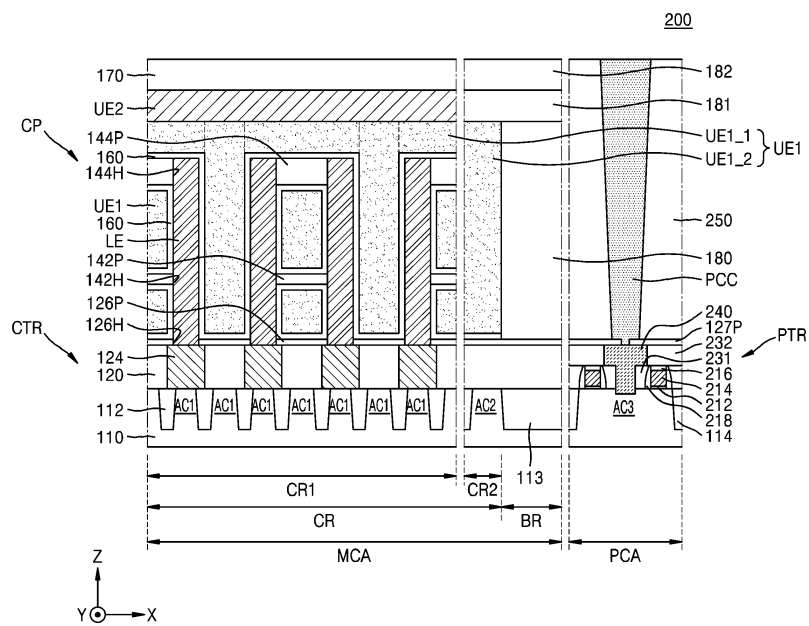


【圖7】

(10)



【圖8】



【圖9】

126
124
120
112
110

AC1 AC1 AC1 AC1 AC1 AC1 AC1

AC2 113

CR1 CR2 BR

Z
Y X

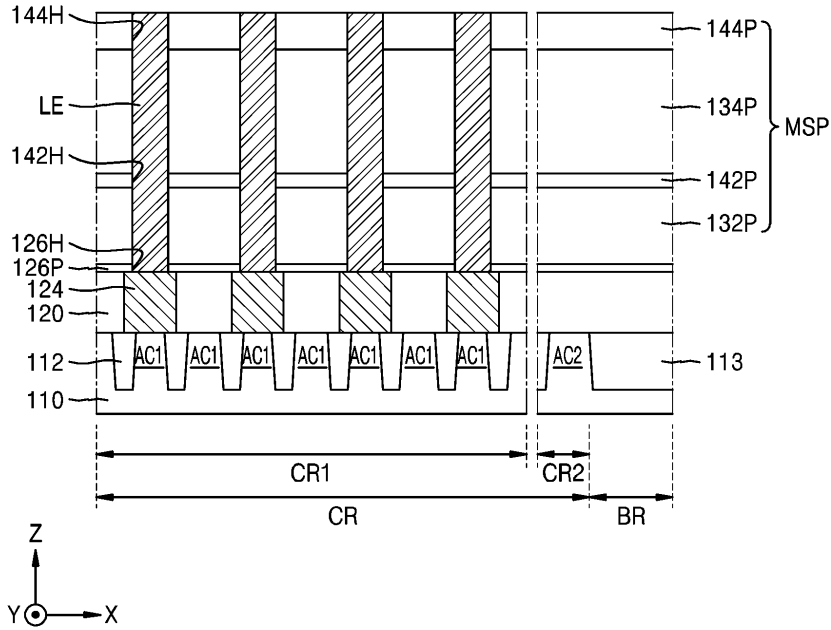
A cross-sectional view of a semiconductor device. The device consists of a substrate 110 with a series of AC1 regions 112 and AC2 regions 113. The AC1 regions 112 are filled with a hatched pattern, while the AC2 regions 113 are empty. Above the substrate, there is a layer 120 with a series of 124 regions and 126 regions. The 124 regions are filled with a hatched pattern, while the 126 regions are empty. The top layer 120 is divided into CR1 and CR2 regions, with a total length CR and a width BR. A coordinate system (X, Y, Z) is shown at the bottom left.

- 3489 -

[illegible]

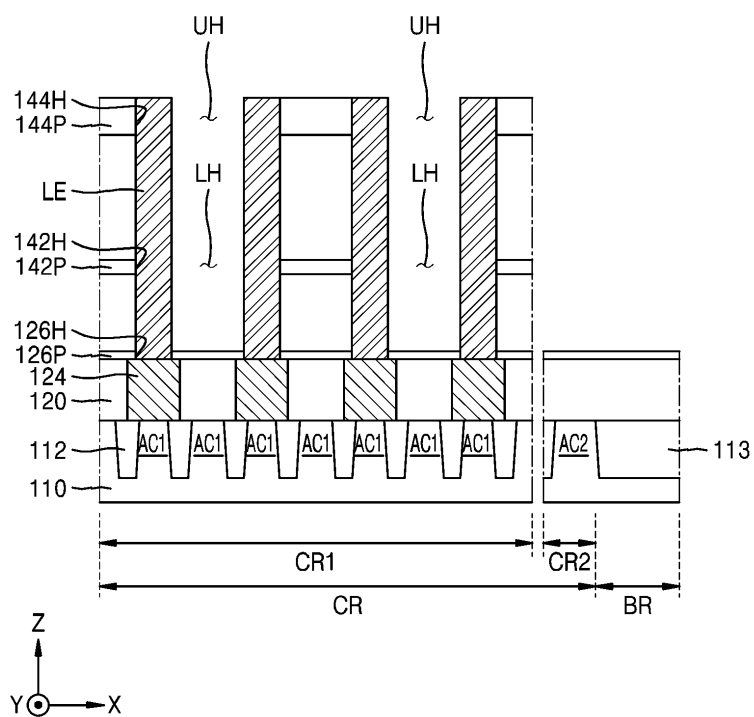
【圖10C】

(13)



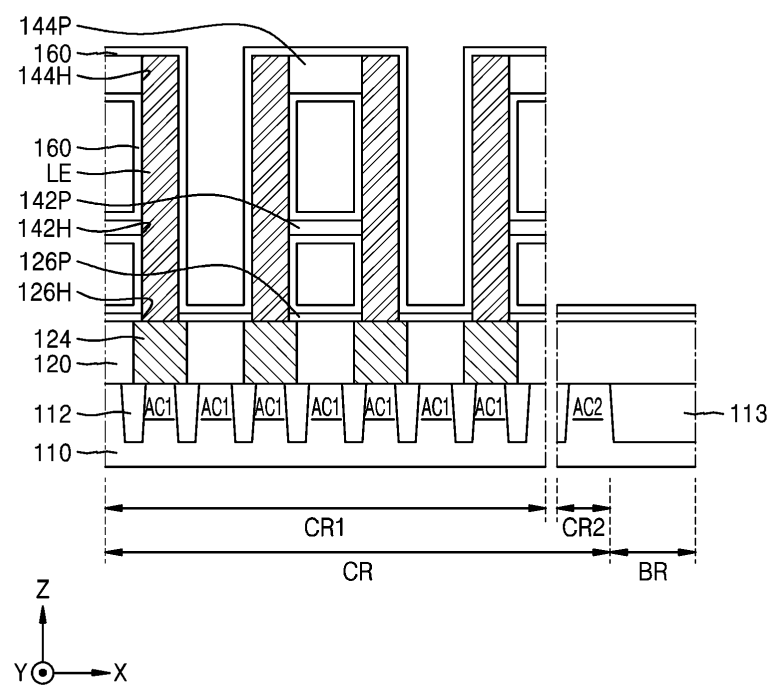
【圖10D】

(14)



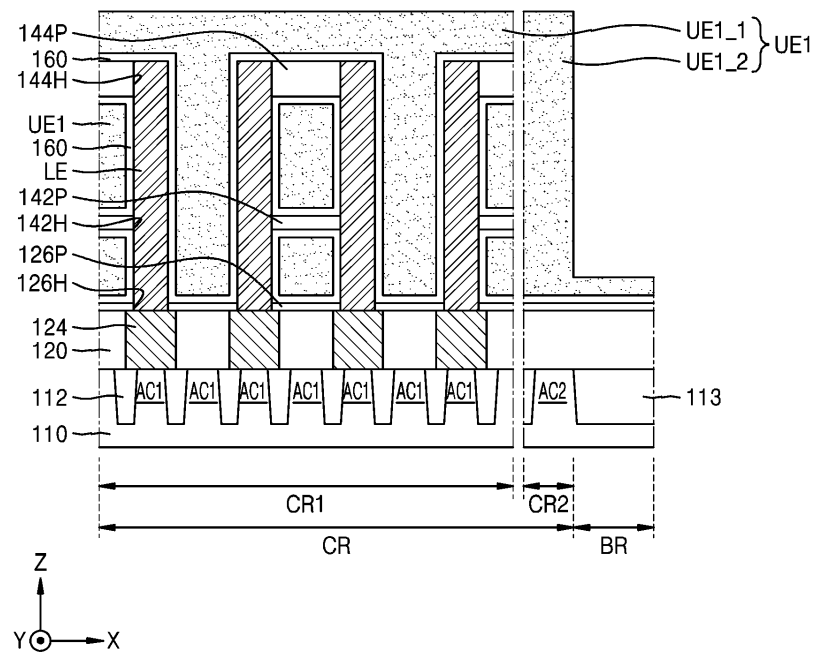
【圖10E】

(15)



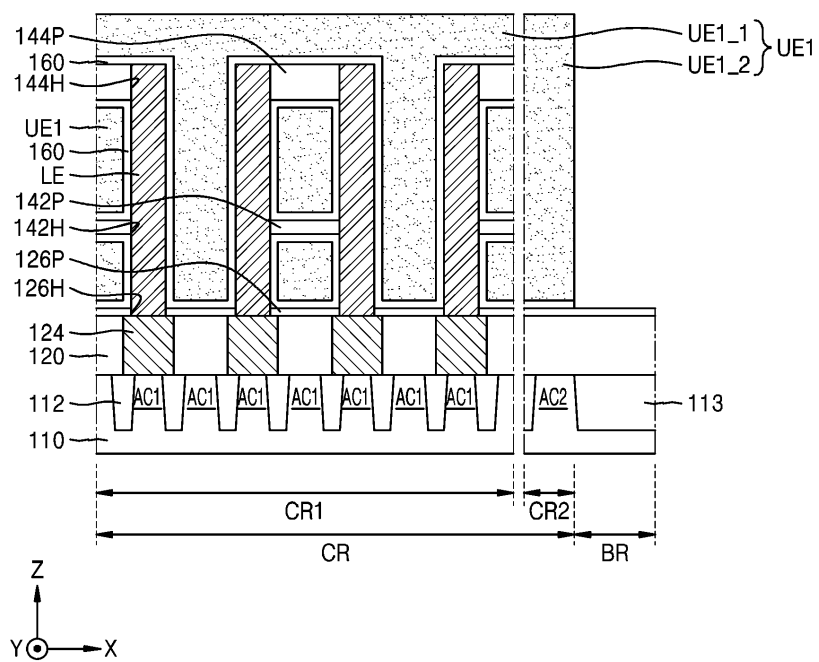
【圖10F】

(16)



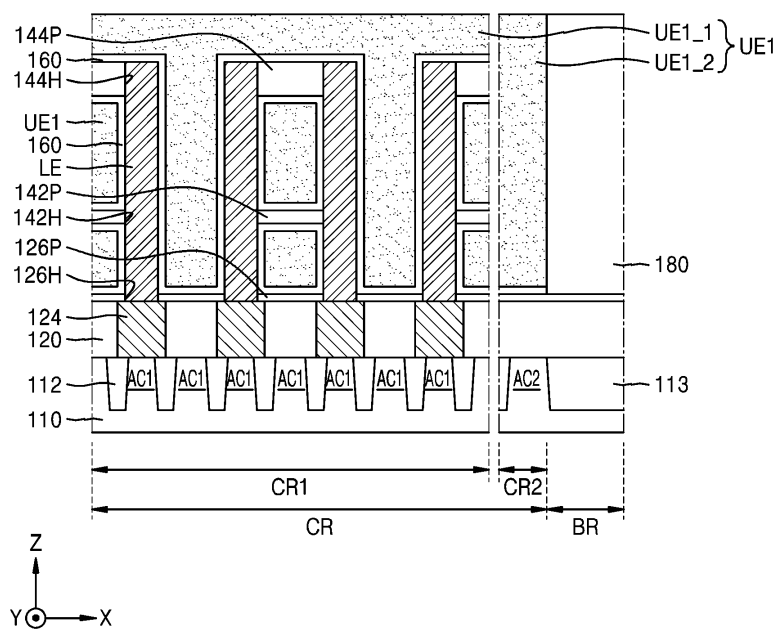
【圖10G】

(17)



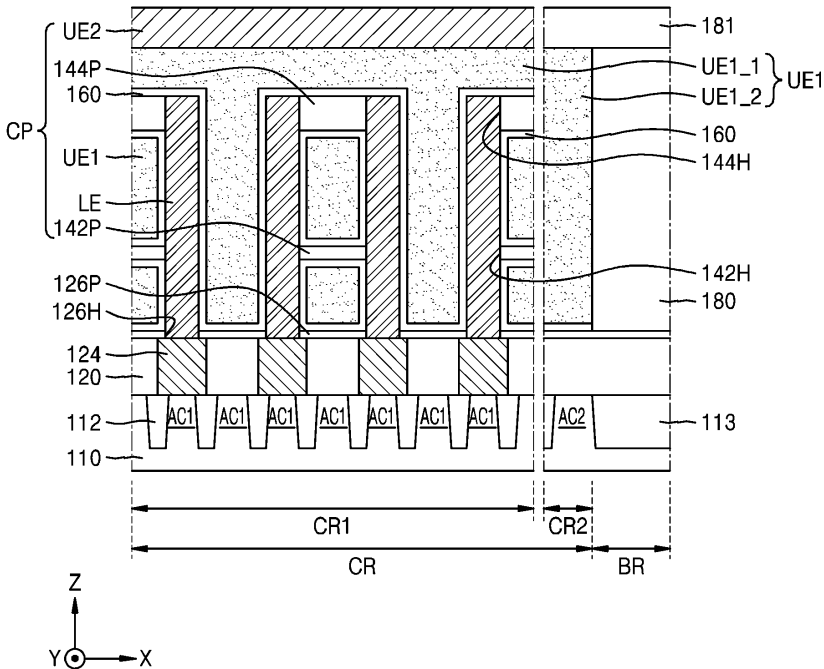
【圖10H】

(18)



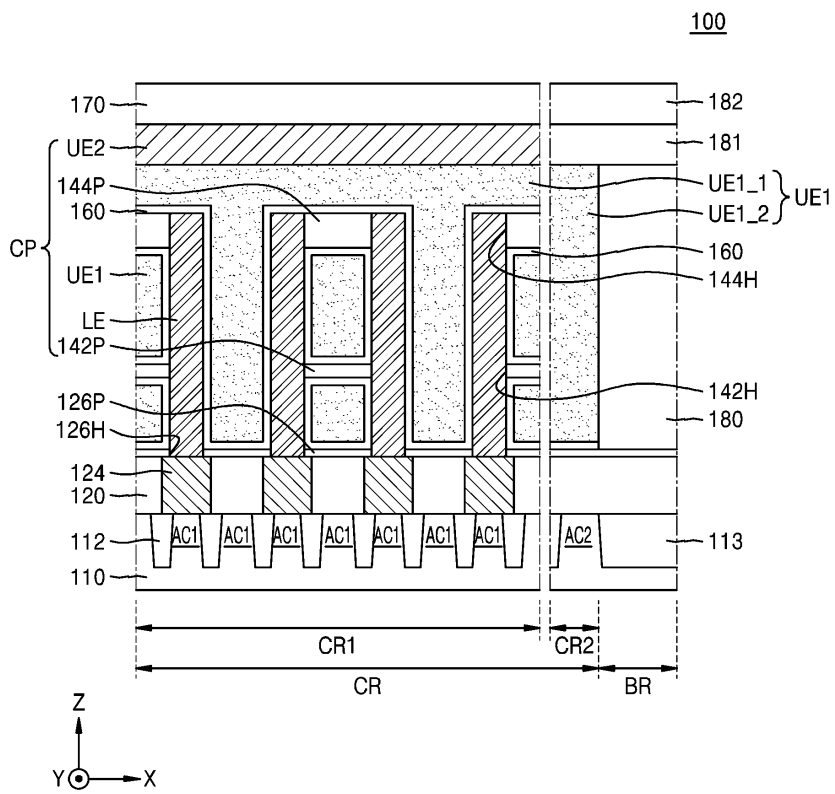
【圖10I】

(19)



【圖 10J】

(20)



【圖10K】