

【19】中華民國

【12】專利公報 (B)

【11】證書號數：I938527

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10B43/27 (2023.01) H10B43/35 (2023.01)
H10B43/40 (2023.01) H10B43/50 (2023.01)

發明 全 16 頁

【54】名稱：半導體記憶體裝置

【21】申請案號：112141110 【22】申請日：中華民國 112 (2023) 年 10 月 26 日

【11】公開編號：202434063 【43】公開日期：中華民國 113 (2024) 年 08 月 16 日

【30】優先權：2022/10/28 南韓 10-2022-0141766

【72】發明人：李昇珉 (KR) LEE, SEUNGMIN

【71】申請人：南韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧佩君；陳怡如

【56】參考文獻：

TW	201535679A	TW	202025463A
TW	202201742A	TW	202228211A
TW	202232738A	US	2008/0093664A1
US	2014/0227840A1	US	2021/0175253A1
US	2022/0254798A1		

審查人員：郭德豐

【57】申請專利範圍

- 一種半導體記憶體裝置，包括：
半導體基板；
背部閘極結構，具有圓柱形狀且在垂直方向上在所述半導體基板上延伸，並且包括背部閘極電極層及環繞所述背部閘極電極層的背部閘極絕緣層；
多個半導體圖案，各自具有環繞所述背部閘極結構的環形水平區段，且在所述垂直方向上彼此間隔開；
第一導電線、第二導電線及第三導電線，環繞所述多個半導體圖案中的一者且在所述垂直方向上彼此間隔開；
前部閘極絕緣層，被設置成連續地環繞於所述半導體圖案與所述第二導電線之間、在所述第二導電線的上表面上以及在所述第二導電線的下表面上；以及
通道隔離絕緣層，設置於所述多個半導體圖案之中的相鄰半導體圖案之間，
其中所述半導體圖案的面向所述第一導電線及所述第三導電線的區摻雜有第一導電性類型的雜質，
其中所述半導體圖案的面向所述第二導電線的區摻雜有與所述第一導電性類型的雜質相反類型的第二導電性類型的雜質。
- 如請求項 1 所述的半導體記憶體裝置，其中所述半導體圖案各自由在所述垂直方向上依序排列的源極區、通道區及汲極區構成，
其中所述源極區面向所述第一導電線且摻雜有 N 型雜質，
其中所述通道區面向所述第二導電線且摻雜有 P 型雜質，
其中所述汲極區面向所述第三導電線且摻雜有 N 型雜質。

(2)

3. 如請求項 2 所述的半導體記憶體裝置，其中所述源極區、所述通道區及所述汲極區中的每一者沿著所述垂直方向的長度大於對應的所述第一導電線、所述第二導電線及所述第三導電線中的每一者的厚度。
4. 如請求項 1 所述的半導體記憶體裝置，其中所述通道隔離絕緣層包括具有第一厚度的水平部分及具有第二厚度的邊緣部分，所述第二厚度大於所述第一厚度，其中所述多個半導體圖案藉由所述通道隔離絕緣層的所述邊緣部分彼此電性分離。
5. 如請求項 4 所述的半導體記憶體裝置，其中所述通道隔離絕緣層的所述邊緣部分的上表面及下表面具有圓的形狀。
6. 如請求項 1 所述的半導體記憶體裝置，更包括：多個線絕緣層，設置於所述第一導電線、所述第二導電線及所述第三導電線之間、所述第一導電線下方以及所述第三導電線上方。
7. 如請求項 6 所述的半導體記憶體裝置，其中所述第一導電線及所述第三導電線中的每一者的側壁接觸所述半導體圖案，其中所述第二導電線的側壁接觸所述前部閘極絕緣層。
8. 如請求項 1 所述的半導體記憶體裝置，其中多條所述第二導電線被設置成面向一個背部閘極結構，其中所述半導體記憶體裝置被配置成使得電洞累積於所述背部閘極絕緣層的面向所述第二導電線的區中達預設時間。
9. 如請求項 1 所述的半導體記憶體裝置，其中所述背部閘極結構上設置有線形的第一互連線，其中在所述背部閘極結構與所述第一互連線交疊的點處設置有第一通孔。
10. 如請求項 9 所述的半導體記憶體裝置，其中所述第一通孔的上表面接觸所述第一互連線，其中所述第一通孔的下表面接觸所述背部閘極電極層。

圖式簡單說明

結合附圖閱讀以下詳細說明，將更清楚地理解本發明概念的實施例，在附圖中：

圖 1 是說明根據實施例的半導體記憶體裝置的立體圖。

圖 2 是說明圖 1 的胞元區的立體圖。

圖 3 是說明圖 1 的胞元區的平面圖。

圖 4 是圖 2 的區 IV 的放大立體圖。

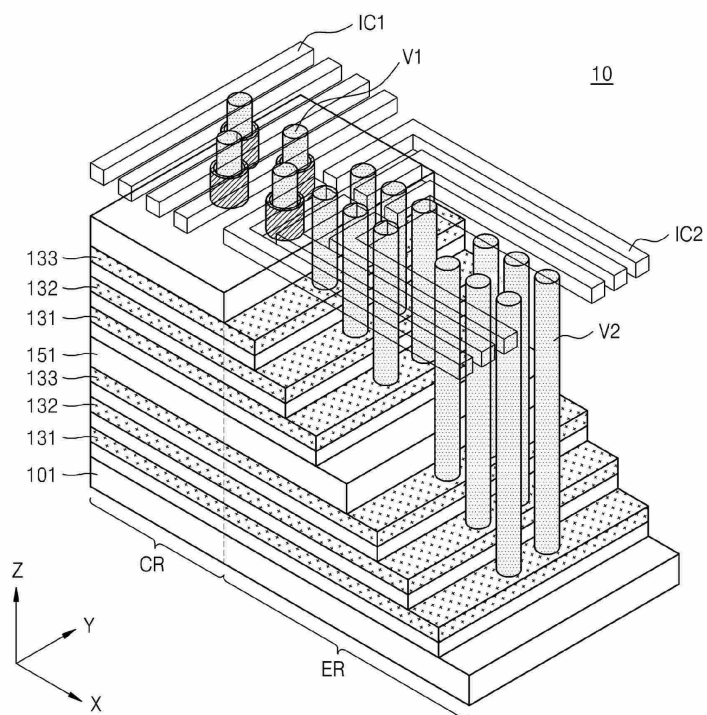
圖 5 是說明根據實施例的製造半導體記憶體裝置的方法的流程圖。

圖 6 至圖 14 是說明根據本發明概念的實施例的依序製造半導體記憶體裝置的方法的剖視圖。

圖 15 是說明包括根據實施例的半導體記憶體裝置的半導體晶粒的概念圖。

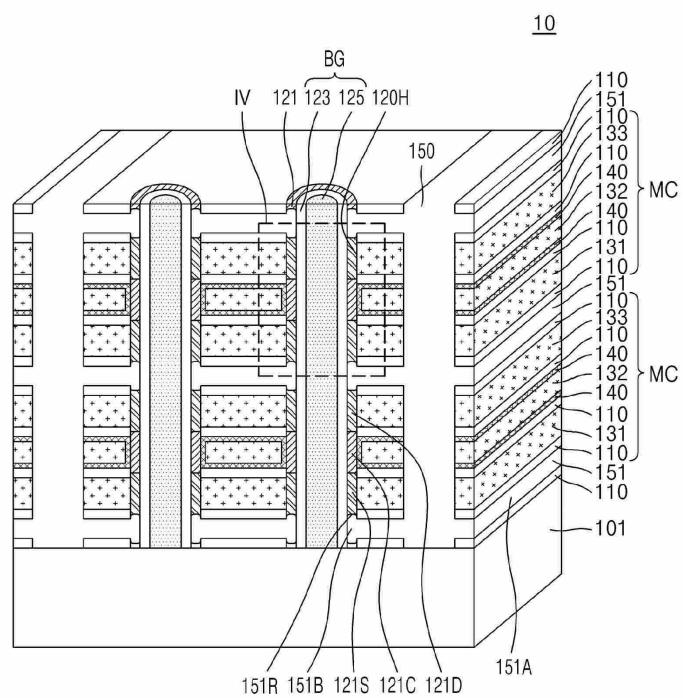
圖 16 是說明包括根據實施例的半導體記憶體裝置的系統的配置圖。

(3)



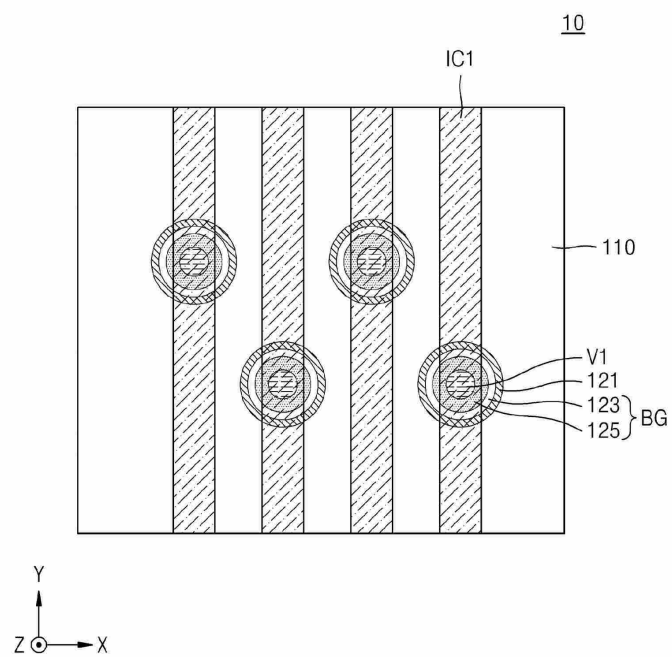
【圖1】

(4)



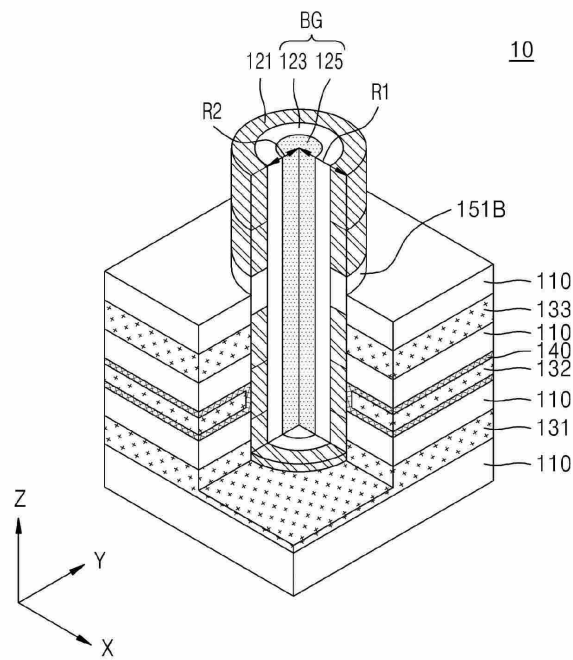
【圖2】

(5)

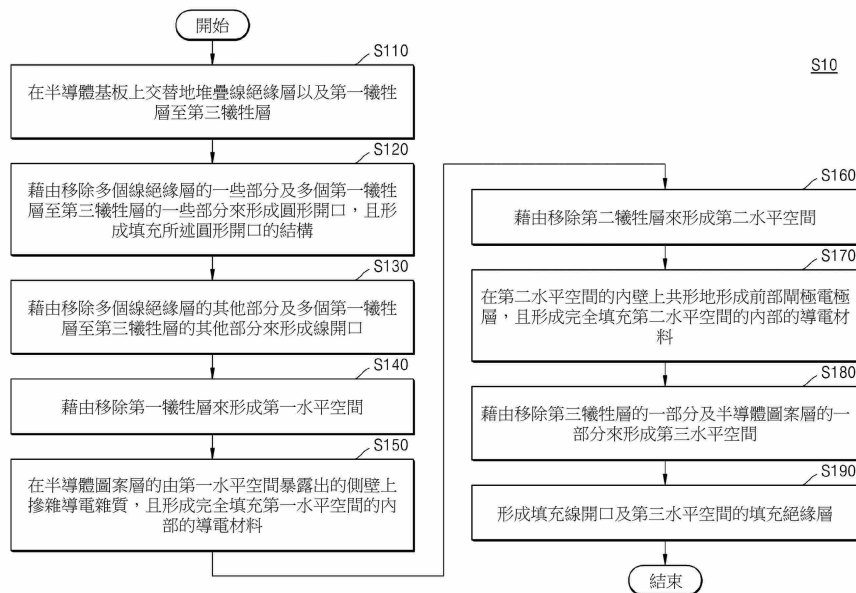


【圖3】

(6)

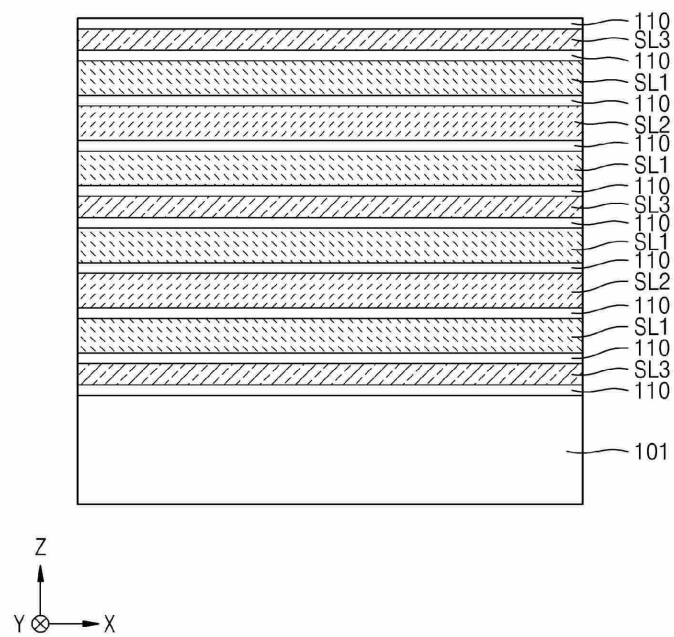


【圖4】



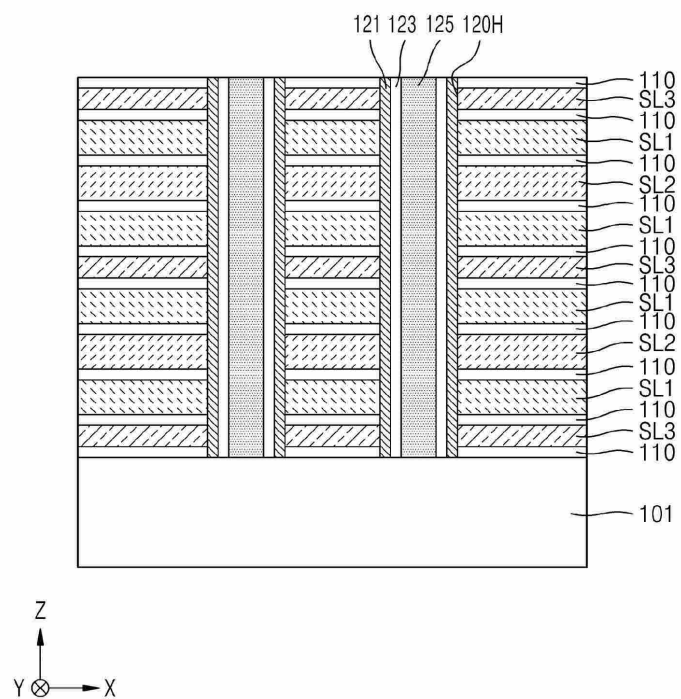
【圖5】

(7)



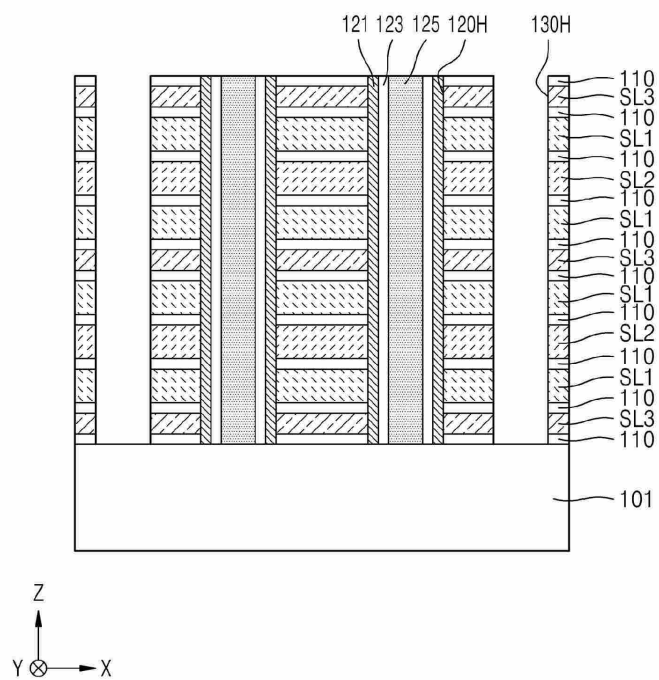
【圖6】

(8)



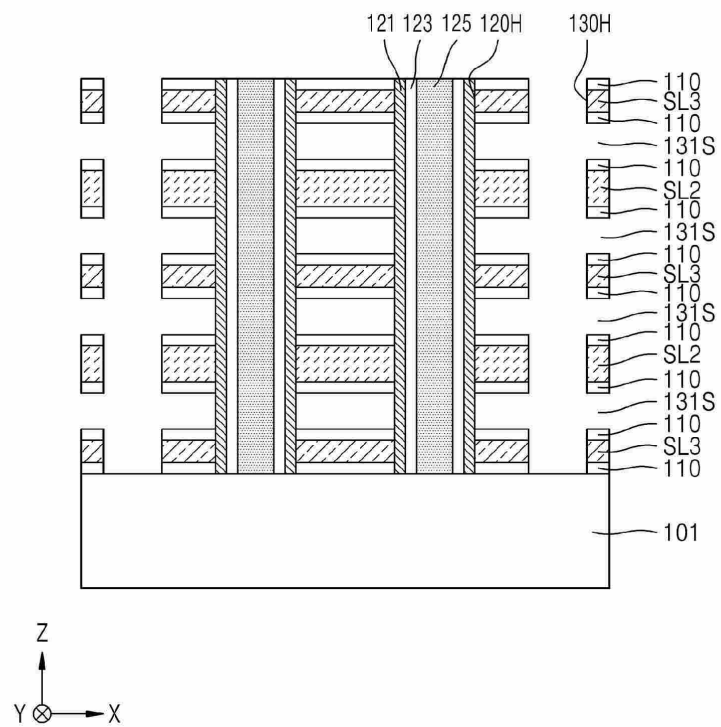
【圖7】

(9)



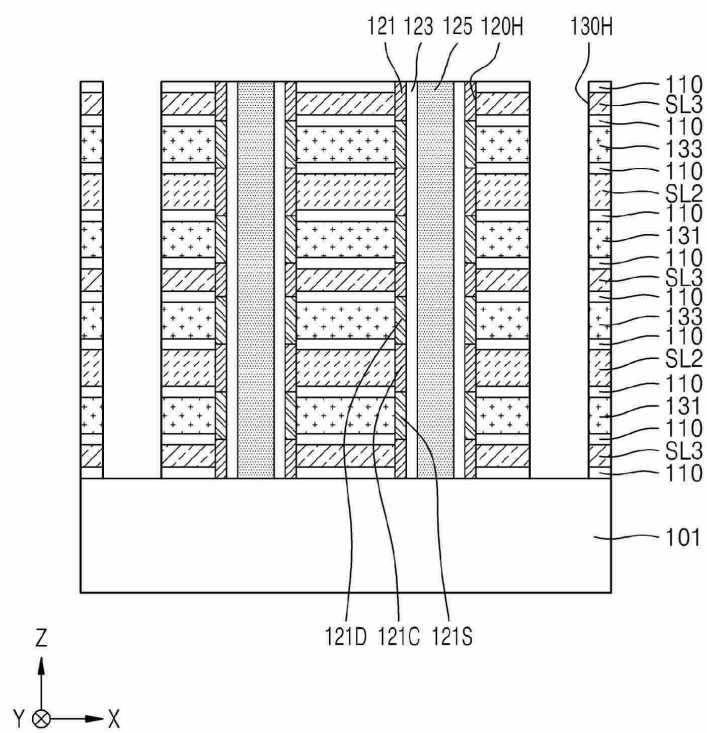
【圖8】

(10)



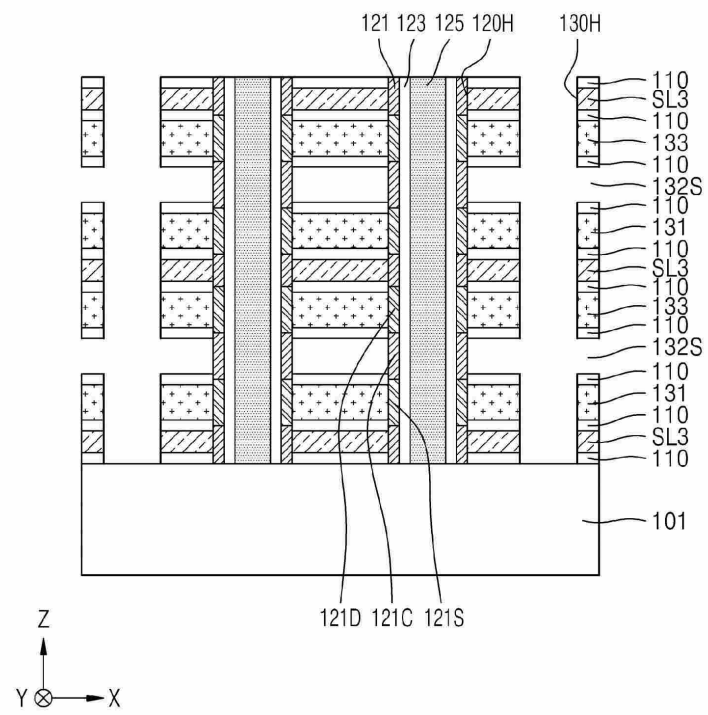
【圖9】

(11)



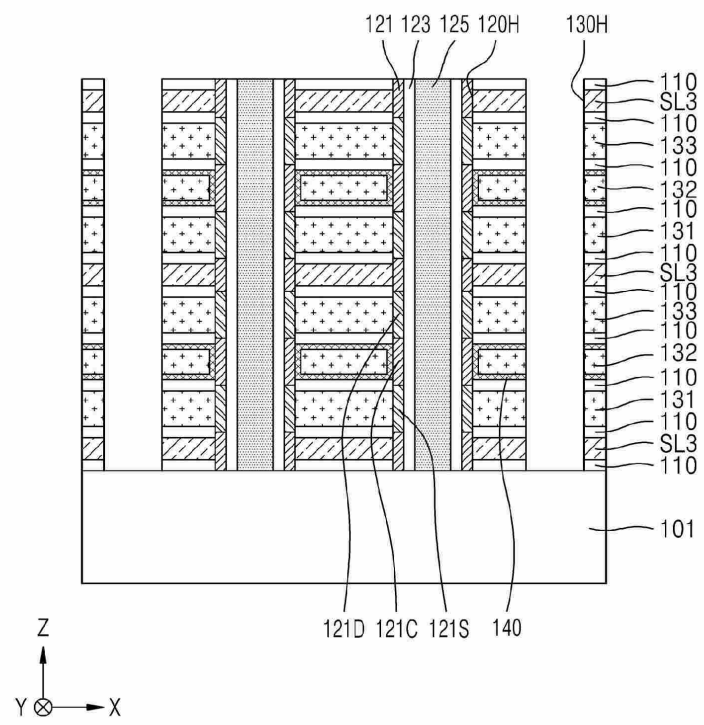
【圖10】

(12)



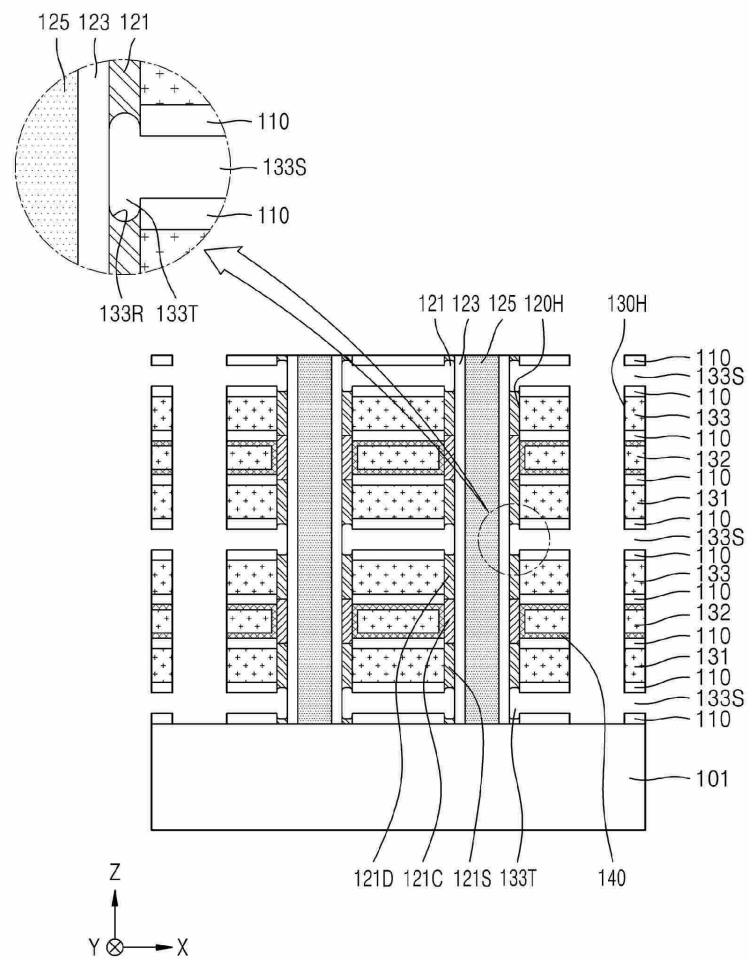
【圖11】

(13)



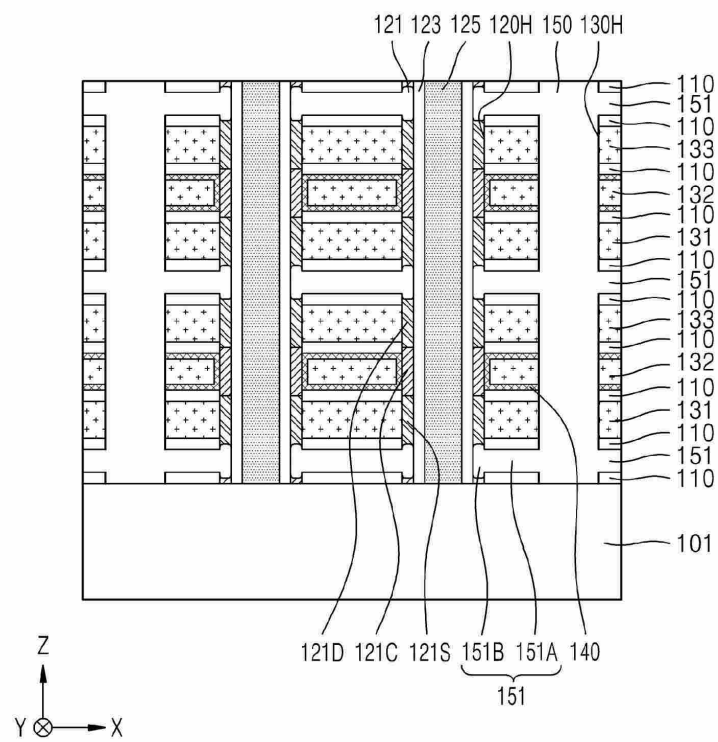
【圖12】

(14)

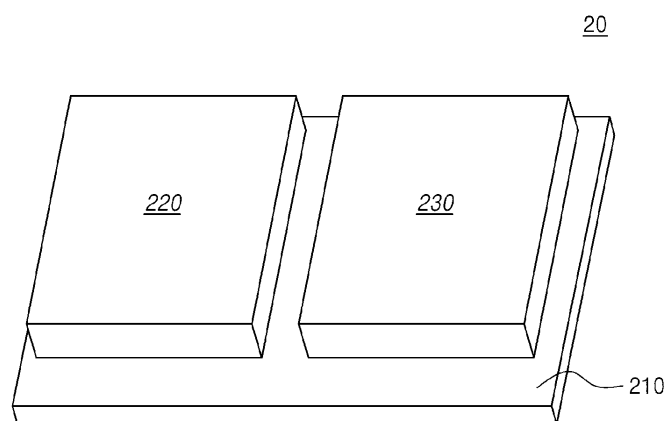


【圖13】

(15)

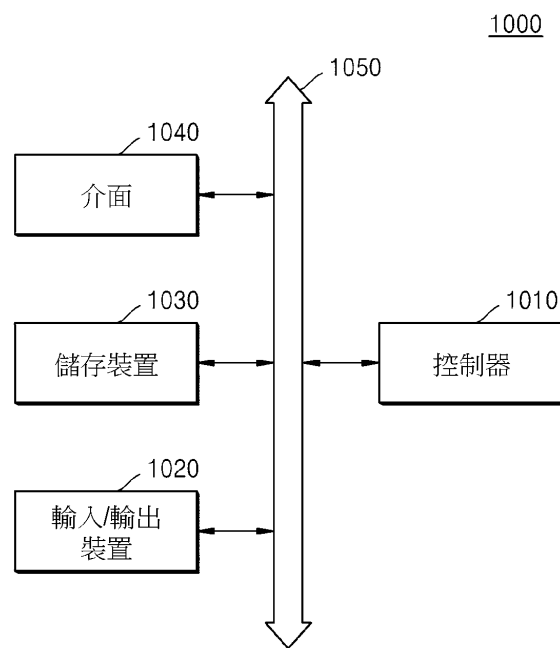


【圖14】



【圖15】

(16)



【圖16】