

【11】證書號數：I938560

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D84/00 (2025.01) H10D30/60 (2025.01)
H10D84/03 (2025.01)

發明

全 72 頁

【54】名稱：電晶體以及半導體結構及其製造方法

【21】申請案號：113107377

【22】申請日：中華民國 113 (2024) 年 03 月 01 日

【11】公開編號：202515362

【43】公開日期：中華民國 114 (2025) 年 04 月 01 日

【30】優先權：2023/09/15

美國

63/583,105

2023/12/14

美國

63/610,280

2024/01/04

美國

18/404,226

【72】發明人：張榮宏 (TW) CHANG, JUNG-HUNG；陳仕承 (TW) CHEN, SHIH-CHENG；
莊宗翰 (TW) CHUANG, TSUNG-HAN；藍文廷 (TW) LAN, WEN-TING；蔡
佳澄 (TW) TSAI, CHIA-CHENG；江國誠 (TW) CHIANG, KUO-CHENG；王
志豪 (TW) WANG, CHIH-HAO

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：洪澄文

【56】參考文獻：

US 2023/0113269A1

審查人員：謝介銘

【57】申請專利範圍

1. 一種半導體結構，包括：

—第一電晶體，包括：

—第一閘極結構，包圍設置在一基板上的複數個第一奈米結構；

—第一源極/汲極部件，電性耦合到該些第一奈米結構的一最頂層奈米結構，並藉由一第一介電層與該些第一奈米結構的一最底層奈米結構隔開；以及

—第一半導體層，設置在該基板與該第一源極/汲極部件之間，其中該第一源極/汲極部件與該第一半導體層的一頂表面直接接觸，其中該第一源極/汲極部件沿著一第一方向鄰近該些第一奈米結構設置，且該些第一奈米結構沿著該第一方向具有不同寬度。

2. 如請求項 1 之半導體結構，其中該第一介電層沿著該第一半導體層的一側壁表面延伸。

3. 如請求項 1 或 2 之半導體結構，其中該第一電晶體更包括：

複數個內間隔物部件，設置在該些第一奈米結構的兩相鄰奈米結構之間，其中該第一介電層沿著該些內間隔物部件的一最底層內間隔物部件的一側壁表面延伸。

4. 如請求項 3 之半導體結構，其中該第一介電層的一部份設置在該些內間隔物部件的該最底層內間隔物部件的一頂表面上方，且與該頂表面直接接觸。

5. 如請求項 4 之半導體結構，其中該第一半導體層的一側壁表面與該第一介電層以及該些內間隔物部件的該最底層內間隔物部件直接接觸。

6. 如請求項 1 之半導體結構，其中該些第一奈米結構的該最底層奈米結構具有沿著該第一方向的一寬度，該寬度大於該些第一奈米結構的其他奈米結構的寬度。

7. 如請求項 1 之半導體結構，其中該第一介電層的一頂表面在該第一半導體層的該頂表面之上。
8. 如請求項 1 之半導體結構，更包括：
 - 一第二電晶體，包括：
 - 一第二閘極結構，包繞設置在該基板上方的複數個第二奈米結構；
 - 一第二源極/汲極部件，電性耦合到該些第二奈米結構的一最頂層奈米結構，並藉由一第二介電層與該些第二奈米結構的一最底層奈米結構隔開；以及
 - 一第二半導體層，鄰近該第二介電層，並藉由一第三介電層與該第二源極/汲極部件隔開。
9. 如請求項 8 之半導體結構，其中該第三介電層與該第二源極/汲極部件、該第二介電層、以及該第二半導體層直接接觸。
10. 一種電晶體，包括：
 - 一閘極結構，包繞設置在一基板上方的複數個奈米結構；
 - 一未摻雜半導體層，在該基板中以及該基板上，其中該未摻雜半導體層的一頂表面與該些奈米結構的一最底層奈米結構的一頂表面齊平或在該頂表面之上；
 - 一介電層，設置在該未摻雜半導體層與該些奈米結構的該最底層奈米結構之間；以及
 - 一源極/汲極部件，鄰近該些奈米結構，其中該源極/汲極部件的一底表面與該未摻雜半導體層的該頂表面直接接觸，其中該源極/汲極部件沿著一第一方向鄰近該些奈米結構設置，且該些奈米結構沿著該第一方向具有不同寬度。
11. 如請求項 10 之電晶體，
 - 其中該未摻雜半導體層包括嵌入該基板的一第一部分以及在該基板上的一第二部分，其中該未摻雜半導體層的該第二部分的整個側壁表面被該介電層覆蓋。
12. 一種半導體結構的製造方法，包括：
 - 形成一第一鰭片狀主動區，該第一鰭片狀主動區從一基板延伸且包括由複數個犧牲層交錯的複數個通道層；
 - 在該第一鰭片狀主動區的一第一通道區上方形成一第一閘極堆疊；
 - 凹蝕該第一鰭片狀主動區的一第一源極/汲極區以形成一第一源極/汲極開口；
 - 在該第一源極/汲極開口的一底部中形成一第一半導體層；
 - 形成一第一介電層在該第一半導體層上且沿著該第一源極/汲極開口的一中間部分的一側壁表面延伸，其中該些通道層的一最底層通道層的整個側壁表面被該第一介電層覆蓋；
 - 在該第一半導體層上形成一第二半導體層，其中該第二半導體層的一側壁表面與該第一介電層直接接觸；
 - 在該第二半導體層上形成一第一源極/汲極部件；以及
 - 用一閘極結構置換該第一閘極堆疊以及該些犧牲層，其中該閘極結構包繞該些通道層，該第一源極/汲極部件沿著一第一方向鄰近該些通道層，且該些通道層沿著該第一方向具有不同寬度。
13. 如請求項 12 之半導體結構的製造方法，其中該第一源極/汲極部件為一 p 型源極/汲極部件且與該第二半導體層及該第一介電層直接接觸。
14. 如請求項 12 之半導體結構的製造方法，其中形成該第一介電層包括：
 - 在該基板上順應性地沉積一絕緣層，該絕緣層包括一垂直部以及一水平部，該垂直部沿著該第一源極/汲極開口的一側壁表面延伸，該水平部沿著該第一半導體層的一頂表面延伸；
 - 執行一第一蝕刻製程以去除該絕緣層的該水平部；以及

在形成該第二半導體層之後，執行一第二蝕刻製程以去除未被該第二半導體層覆蓋的該絕緣層的該垂直部的多個部分。

圖式簡單說明

以下將配合所附圖式詳述本揭露的各種態樣。應注意的是，依據在業界的標準做法，各種部件並未按照比例繪製且僅用以說明例示。事實上，可任意地放大或縮小元件的尺寸，以清楚地表現出本發明實施例的部件。

第 1 圖是根據本揭露的一或多個態樣，繪示出形成半導體結構之方法流程圖。

第 2 圖是根據本揭露的各種態樣，繪示出在第 1 圖的方法中於各製造階段的例示性半導體結構之局部俯視圖。

第 3A 圖、第 4A 圖、第 5A 圖、第 6A 圖、第 7A 圖、第 8A 圖、第 9A 圖、第 10A 圖、第 11A 圖、第 12A 圖、第 13A 圖、第 14A 圖、第 15A 圖、以及第 16A 圖（第 3A 圖至第 16A 圖）是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A' 截取之局部剖面圖。

第 3B 圖、第 4B 圖、第 5B 圖、第 6B 圖、第 7B 圖、第 8B 圖、第 9B 圖、第 10B 圖、第 11B 圖、第 12B 圖、第 13B 圖、第 14B 圖、第 15B 圖、以及第 16B 圖（第 3B 圖至第 16B 圖）是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 B-B' 截取之局部剖面圖。

第 3C 圖、第 4C 圖、第 5C 圖、第 6C 圖、第 7C 圖、第 8C 圖、第 9C 圖、第 10C 圖、第 11C 圖、第 12C 圖、第 13C 圖、第 14C 圖、第 15C 圖、以及第 16C 圖（第 3C 圖至第 16C 圖）是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 C-C' 截取之局部剖面圖。

第 3D 圖、第 4D 圖、第 5D 圖、第 6D 圖、第 7D 圖、第 8D 圖、第 9D 圖、第 10D 圖、第 11D 圖、第 12D 圖、第 13D 圖、第 14D 圖、第 15D 圖、以及第 16D 圖（第 3D 圖至第 16D 圖）是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 D-D' 截取之局部剖面圖。

第 3E 圖、第 4E 圖、第 11E 圖、第 14E 圖、以及第 16E 圖是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 E-E' 截取之局部剖面圖。

第 3F 圖、第 4F 圖、第 11F 圖、第 14F 圖、以及第 16F 圖是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 F-F' 截取之局部剖面圖。

第 3G 圖、第 4G 圖、第 11G 圖、第 14G 圖、以及第 16G 圖是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 G-G' 截取之局部剖面圖。

第 3H 圖、第 4H 圖、第 11H 圖、第 14H 圖、以及第 16H 圖是根據本揭露的一或多個態樣，繪示出在第 1 圖的方法中於各製造階段的半導體結構沿第 2 圖中的線 H-H' 截取之局部剖面圖。

第 17 圖是根據本揭露的一或多個態樣，繪示出形成半導體結構之第一替代方法流程圖。

第 18A 圖、第 19A 圖、第 20A 圖、第 21A 圖、以及第 22A 圖（第 18A 圖至第 22A 圖）是根據本揭露的一或多個態樣，繪示出在第 17 圖的第一替代方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A' 截取之局部剖面圖。

第 18B 圖、第 19B 圖、第 20B 圖、第 21B 圖、以及第 22B 圖（第 18B 圖至第 22B 圖）是根據本揭露的一或多個態樣，繪示出在第 17 圖的第一替代方法中於各製造階段的半導體結構沿第 2 圖中的線 B-B' 截取之局部剖面圖。

(4)

第 18C 圖、第 19C 圖、第 20C 圖、第 21C 圖、以及第 22C 圖（第 18C 圖至第 22C 圖）是根據本揭露的一或多個態樣，繪示出在第 17 圖的第一替代方法中於各製造階段的半導體結構沿第 2 圖中的線 C-C' 截取之局部剖面圖。

第 18D 圖、第 19D 圖、第 20D 圖、第 21D 圖、以及第 22D 圖（第 18D 圖至第 22D 圖）是根據本揭露的一或多個態樣，繪示出在第 17 圖的第一替代方法中於各製造階段的半導體結構沿第 2 圖中的線 D-D' 截取之局部剖面圖。

第 23A 圖、第 23B 圖、第 23C 圖、以及第 23D 圖分別是根據本揭露的一或多個態樣，繪示出在第 17 圖的第一替代方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A'、B-B'、C-C'、以及 D-D' 截取之替代局部剖面圖。

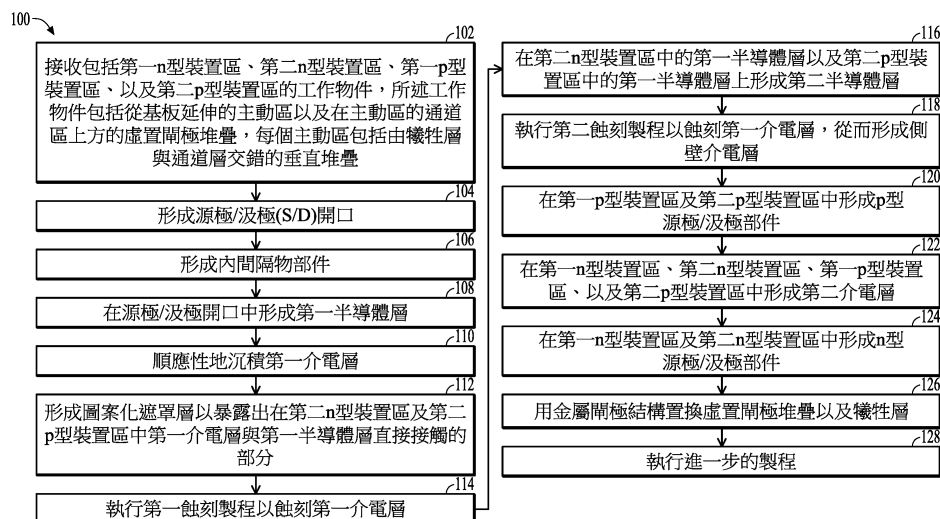
第 24A 圖、第 24B 圖、第 24C 圖、第 24D 圖、第 24E 圖、第 24F 圖、第 24G 圖、以及第 24H 圖分別是根據本揭露的一或多個態樣，繪示出在第 17 圖的第一替代方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A'、B-B'、C-C'、D-D'、E-E'、F-F'、G-G'、以及 H-H' 截取之替代局部剖面圖。

第 25 圖是根據本揭露的一或多個態樣，繪示出形成半導體結構之第二替代方法流程圖。

第 26A 圖及第 27A 圖、第 26B 圖及第 27B 圖、第 26C 圖及第 27C 圖、以及第 26D 圖及第 27D 圖分別是根據本揭露的一或多個態樣，繪示出在第 25 圖的第二替代方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A'、B-B'、C-C'、以及 D-D' 截取之替代局部剖面圖。

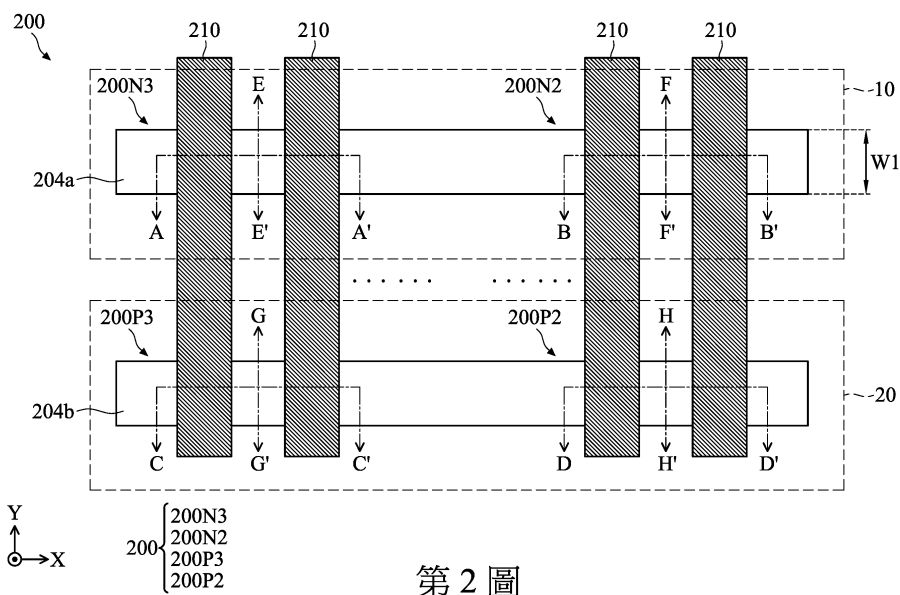
第 28A 圖、第 28B 圖、第 28C 圖、以及第 28D 圖分別是根據本揭露的一或多個態樣，繪示出在第 25 圖的第二替代方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A'、B-B'、C-C'、以及 D-D' 截取之替代局部剖面圖。

第 29A 圖、第 29B 圖、第 29C 圖、第 29D 圖、第 29E 圖、第 29F 圖、第 29G 圖、以及第 29H 圖分別是根據本揭露的一或多個態樣，繪示出在第 25 圖的第二替代方法中於各製造階段的半導體結構沿第 2 圖中的線 A-A'、B-B'、C-C'、D-D'、E-E'、F-F'、G-G'、以及 H-H' 截取之替代局部剖面圖。

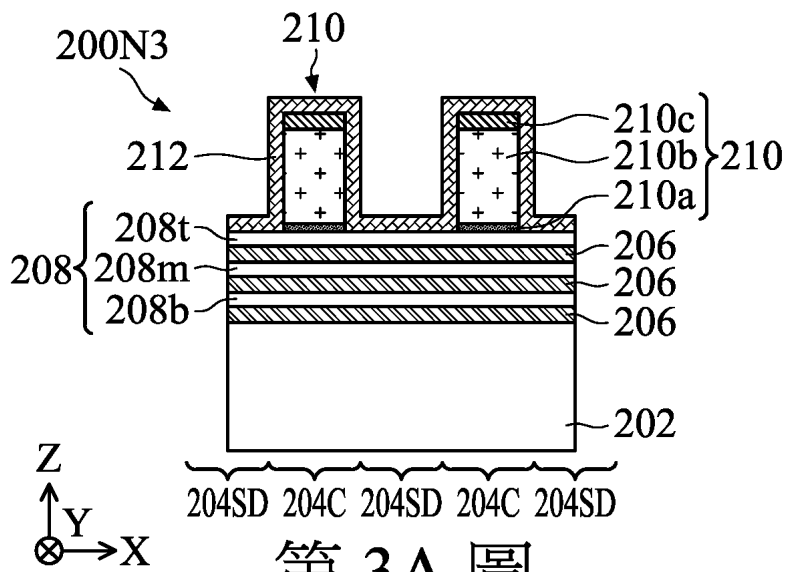


第 1 圖

(5)

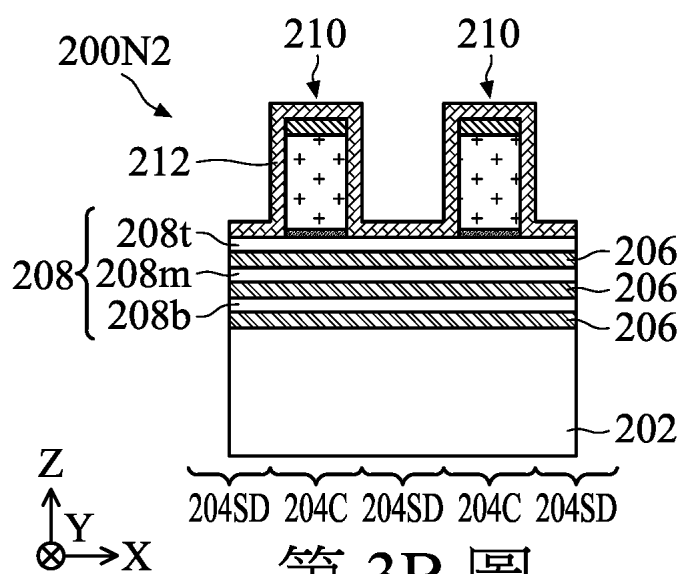


第 2 圖

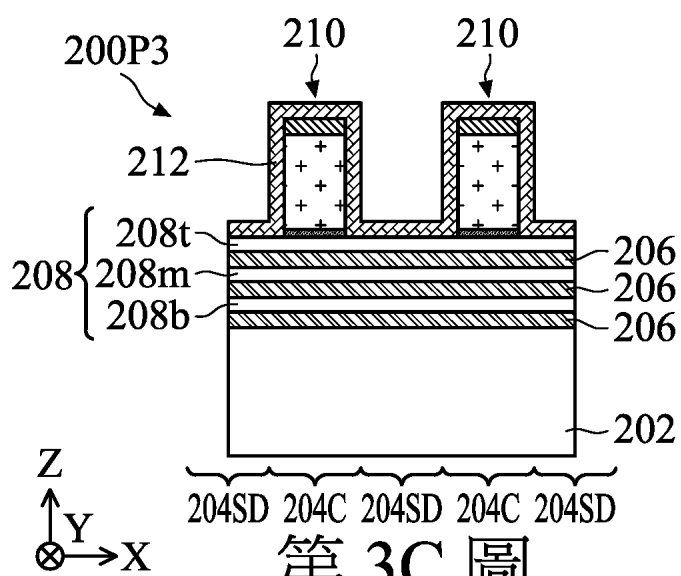


第 3A 圖

(6)

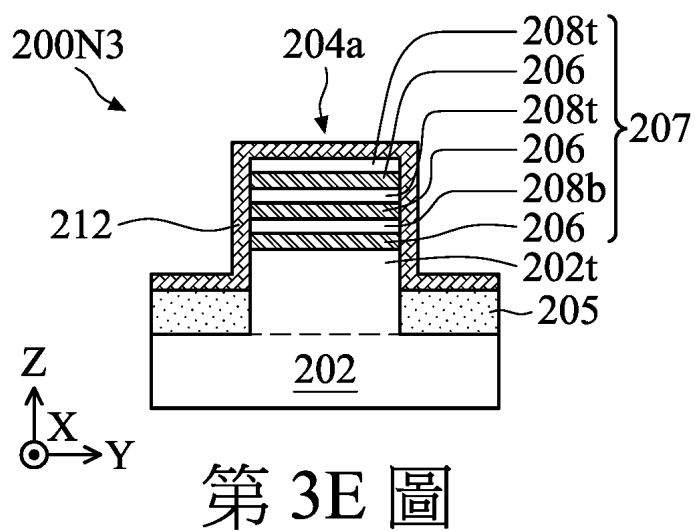
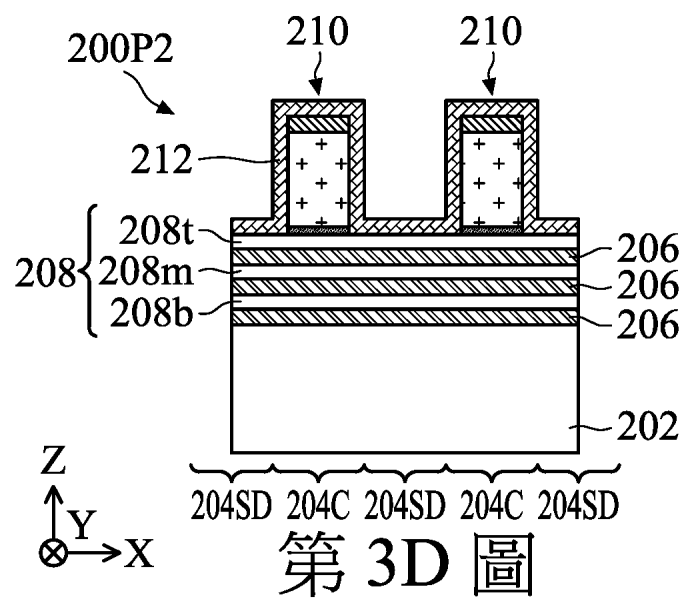


第 3B 圖

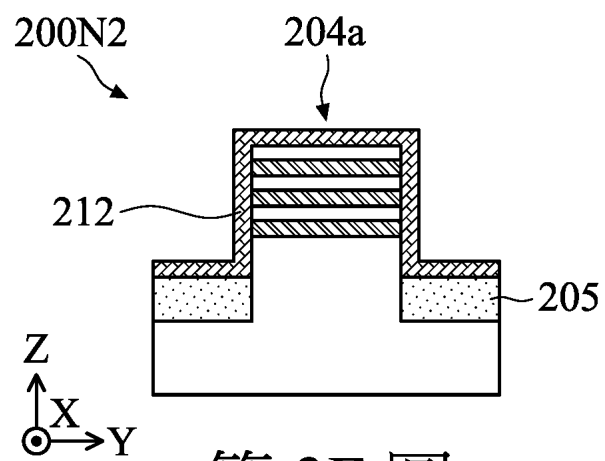


第 3C 圖

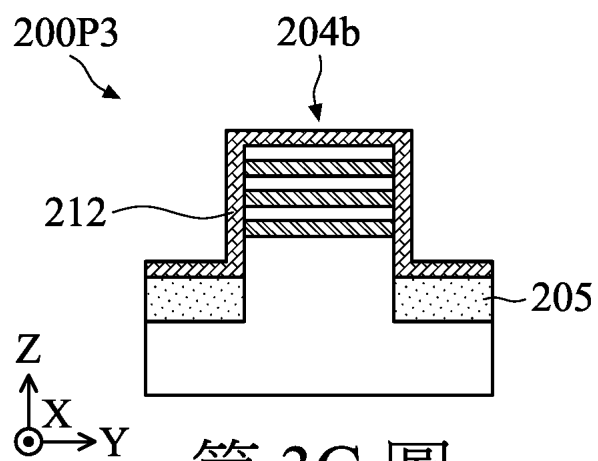
(7)



(8)

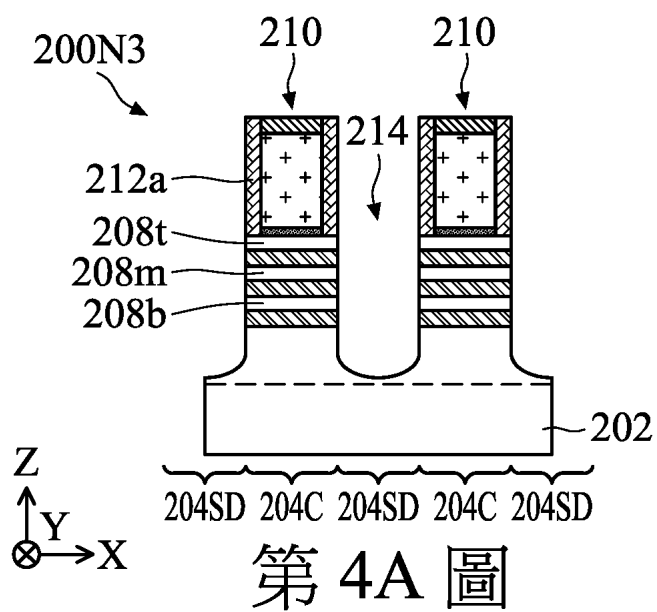
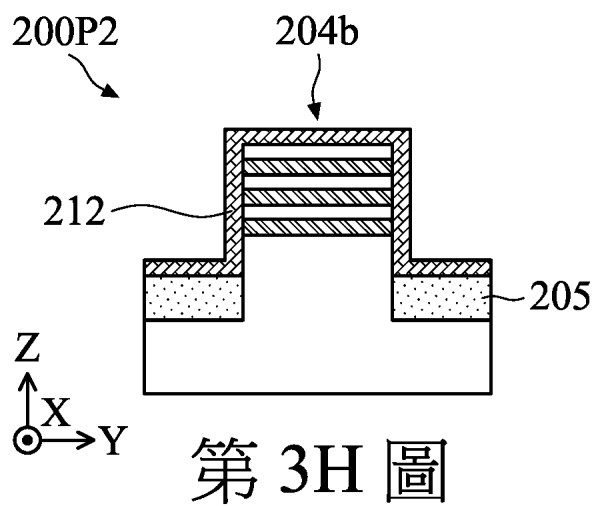


第 3F 圖

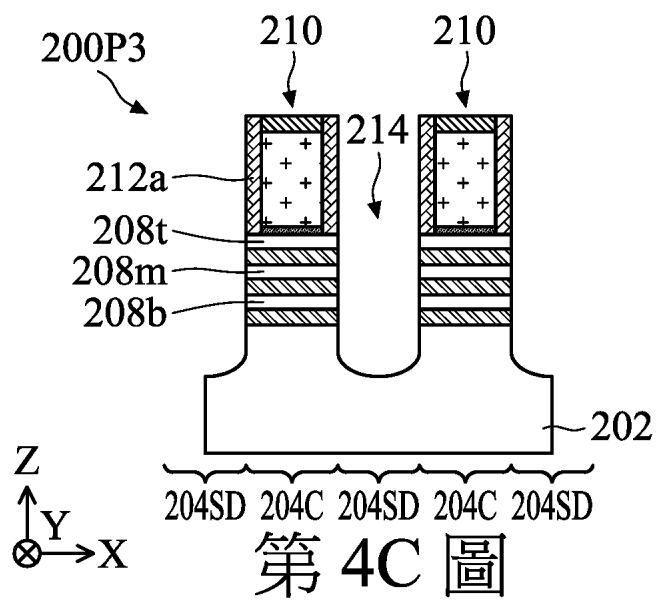
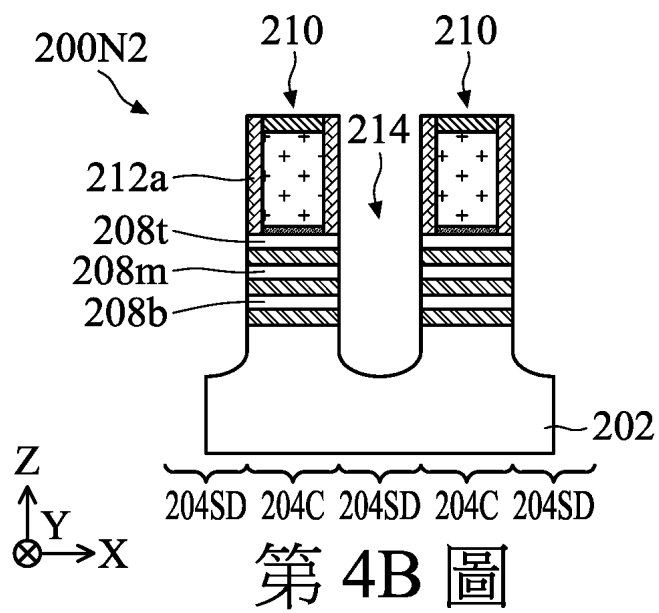


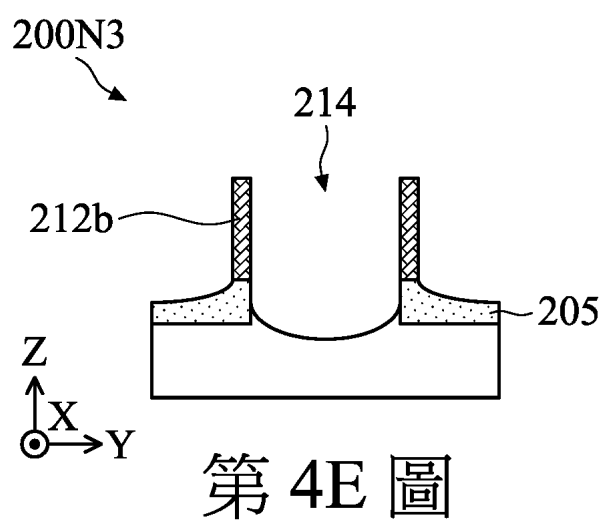
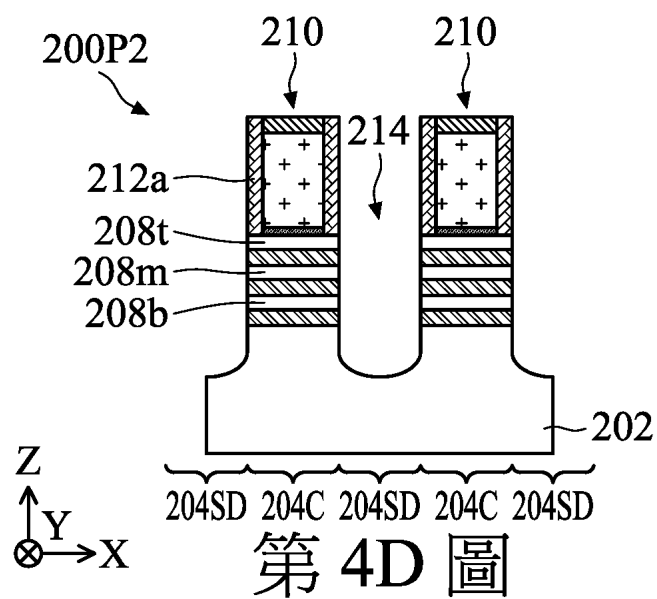
第 3G 圖

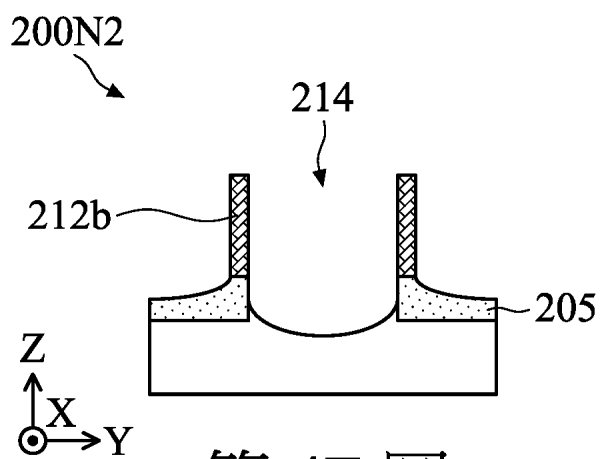
(9)



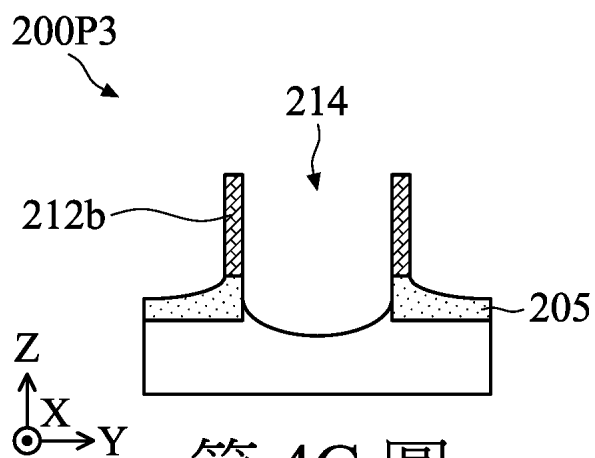
(10)



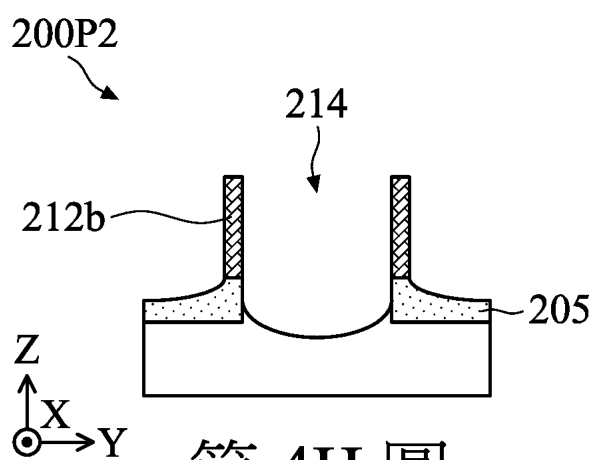




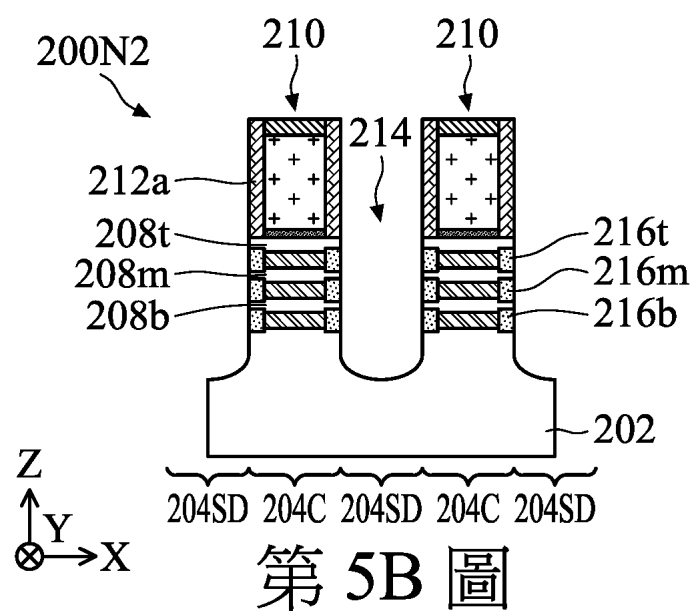
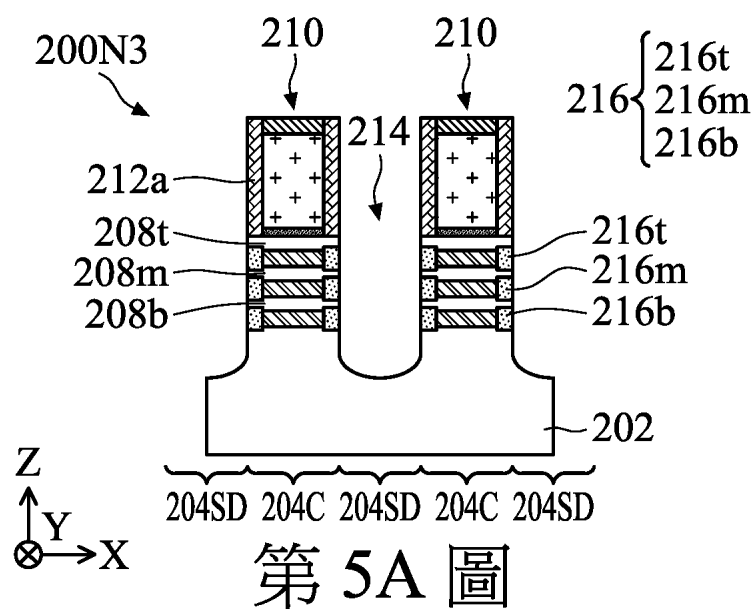
第 4F 圖

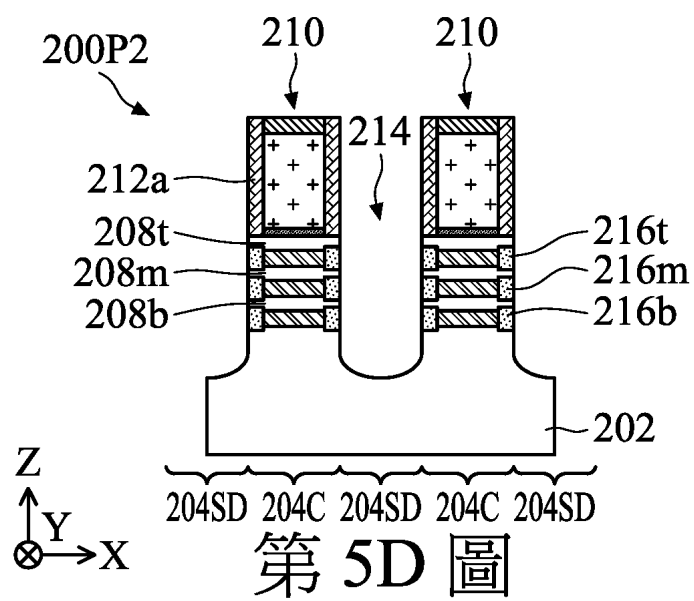
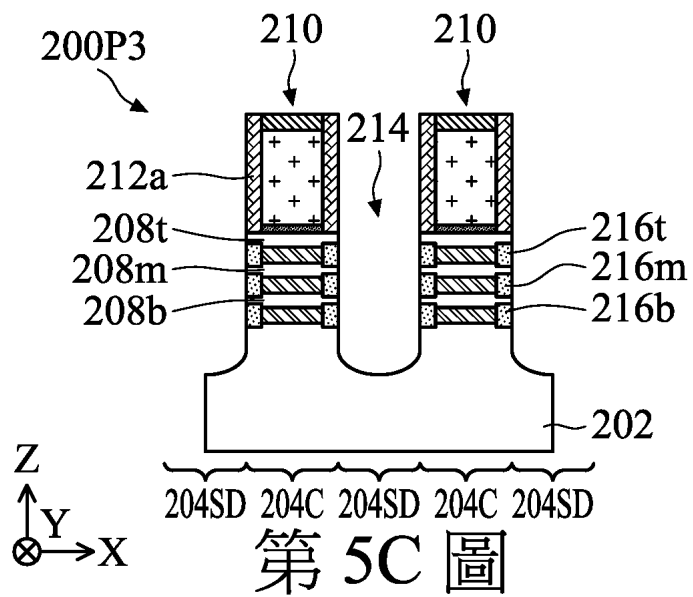


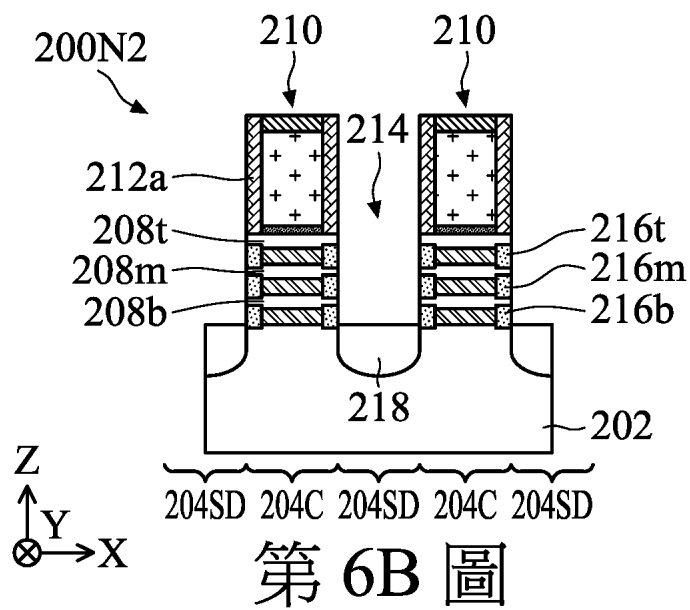
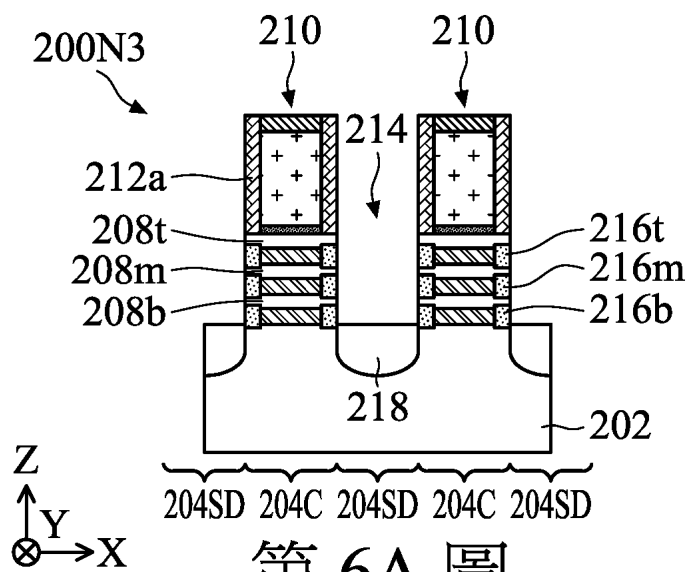
第 4G 圖



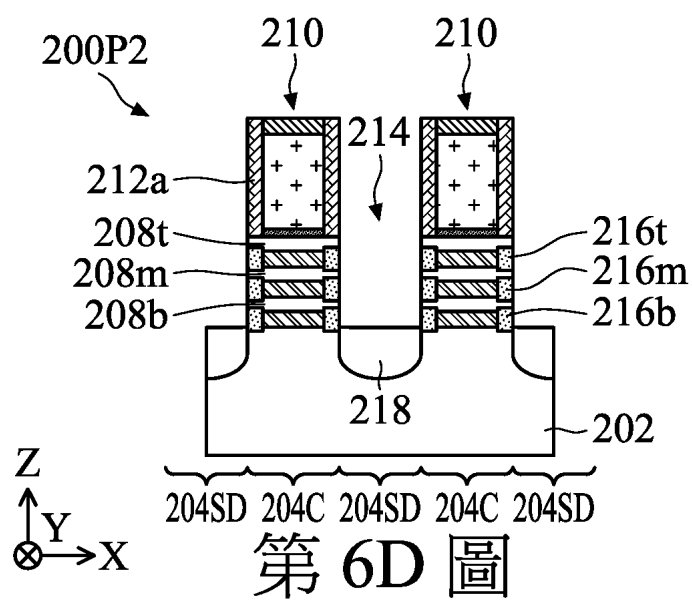
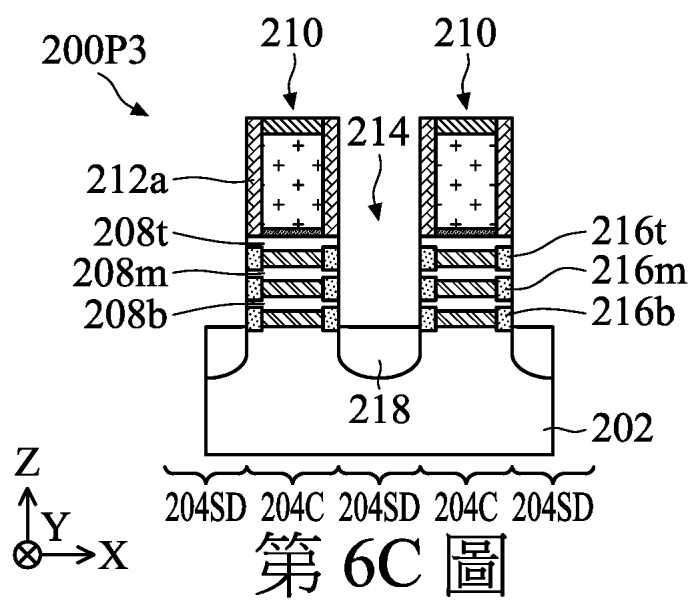
第 4H 圖

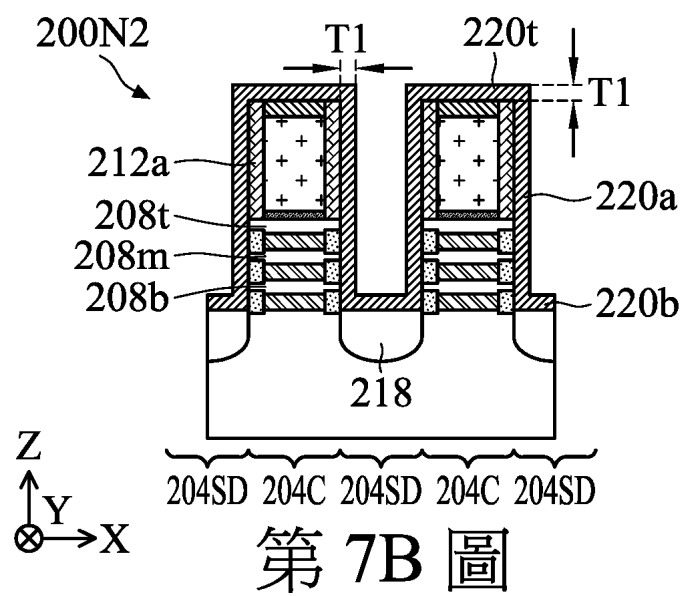
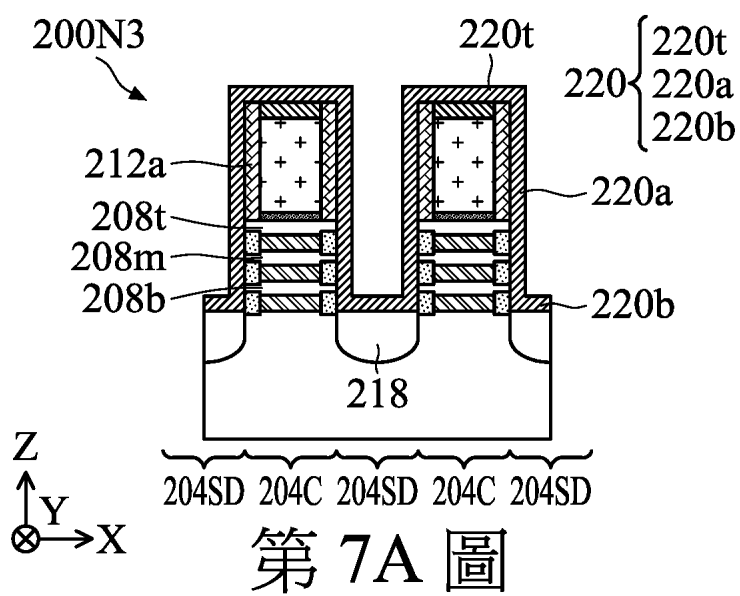


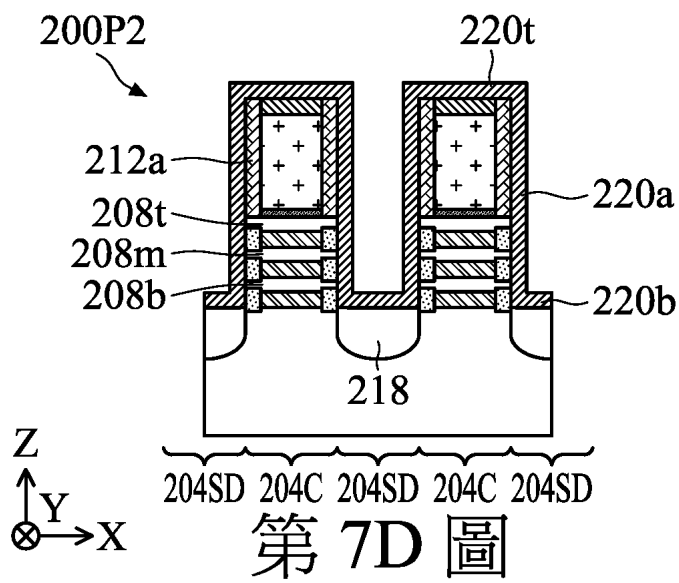
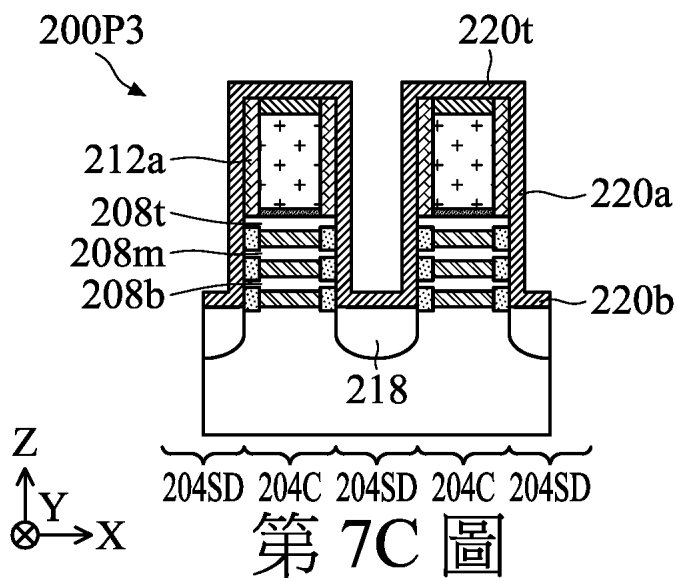


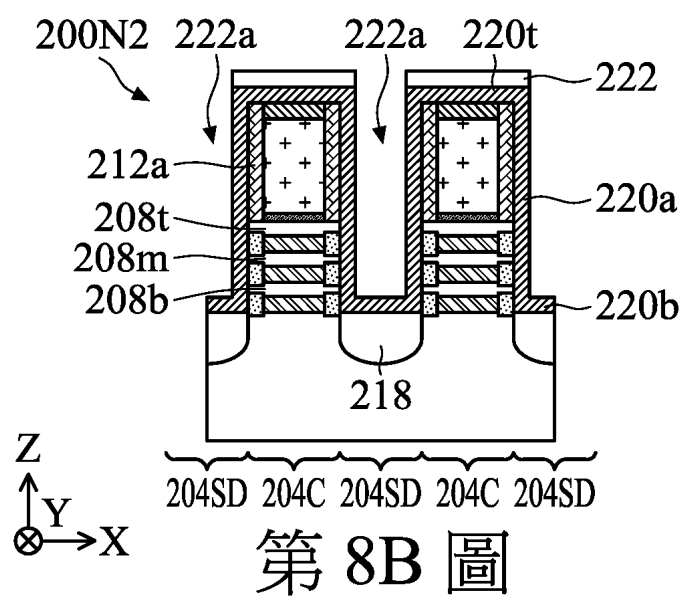
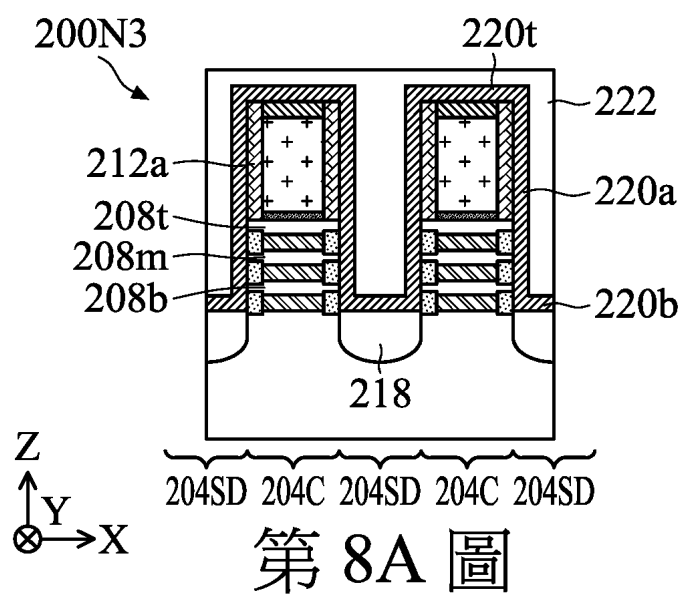


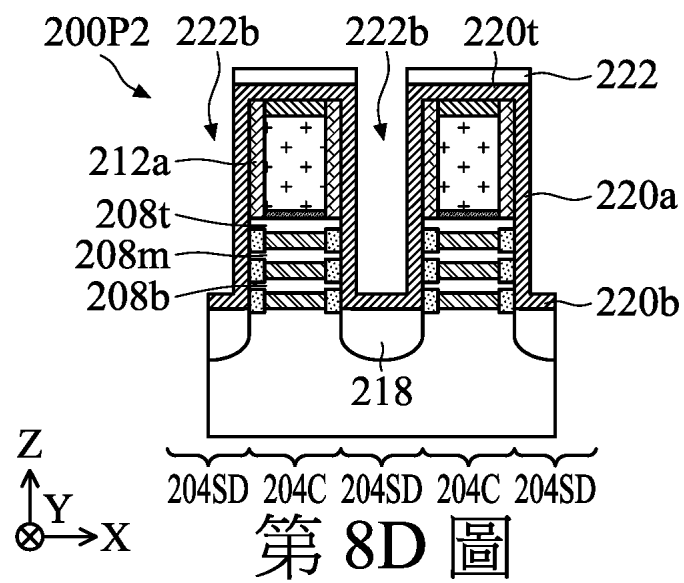
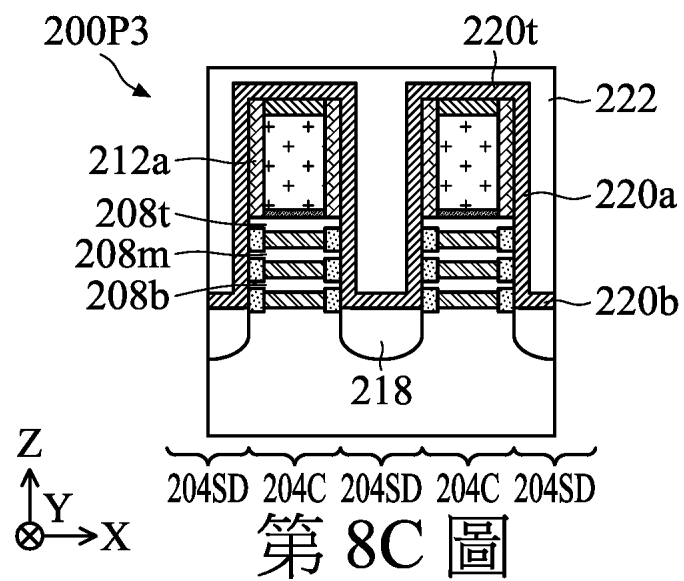
(16)

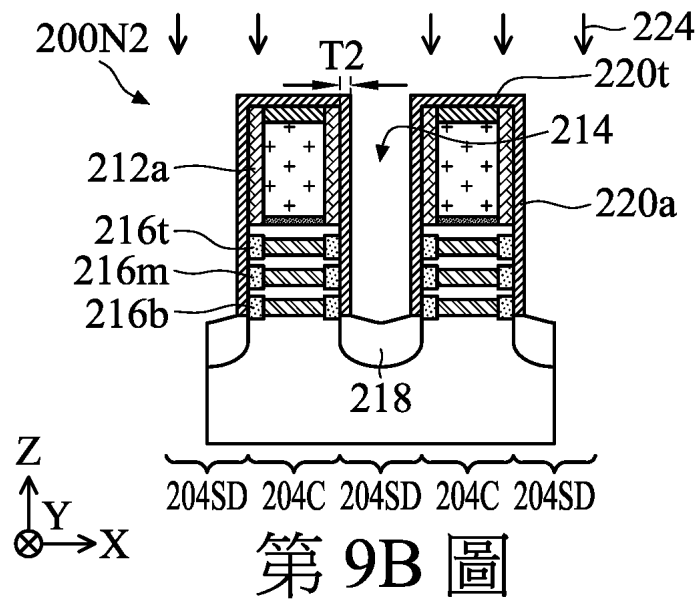
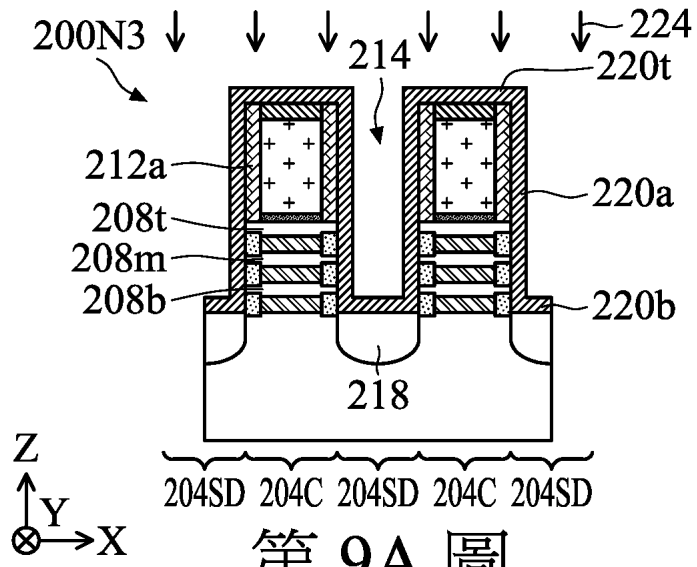




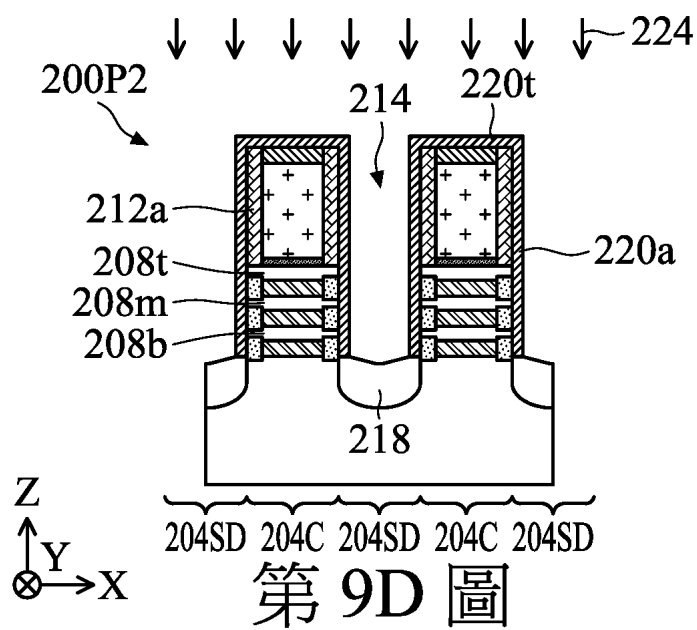
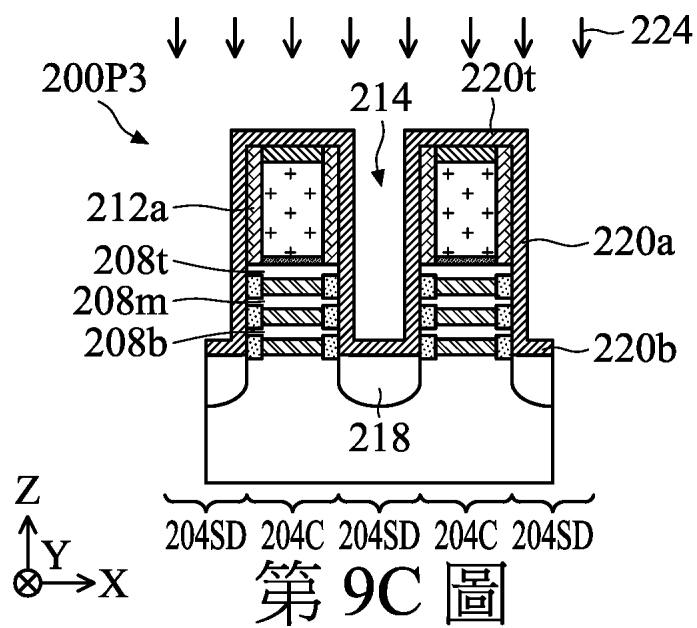


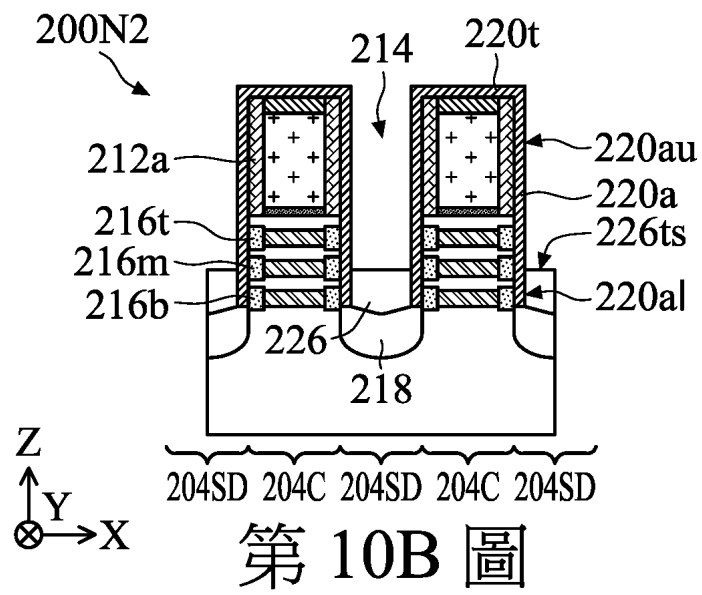
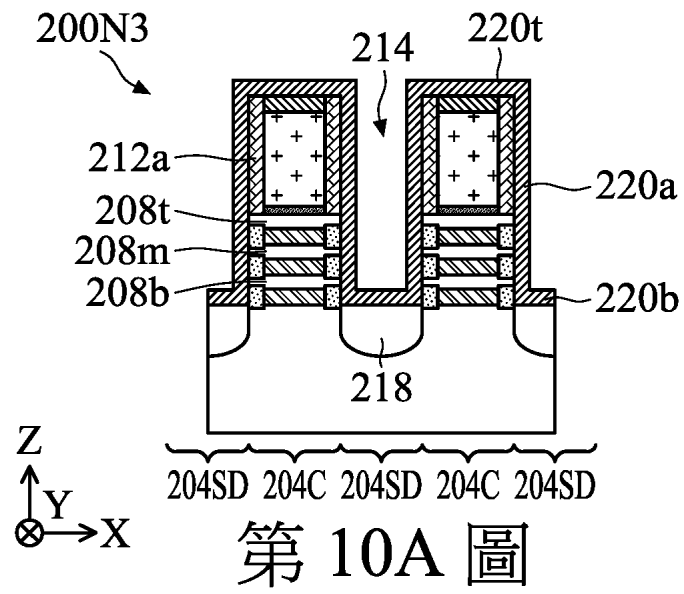


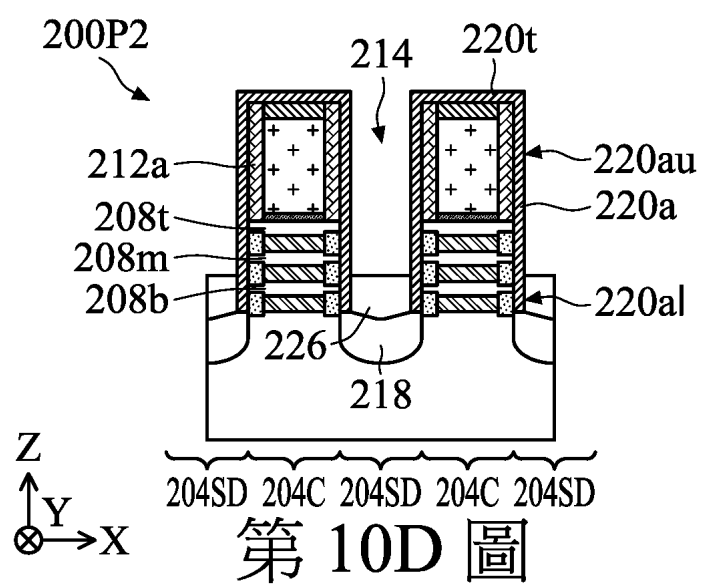
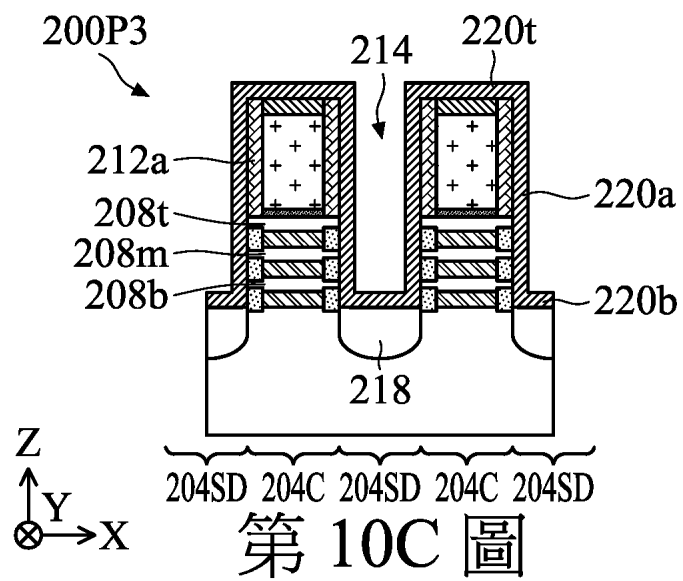


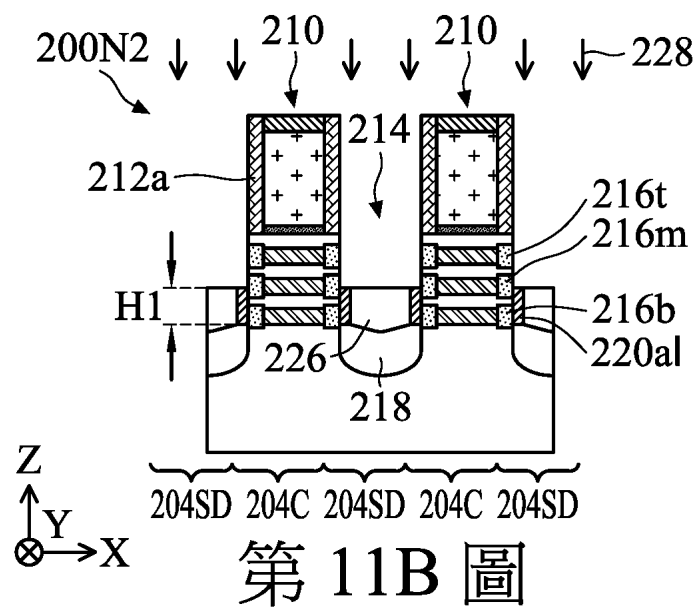
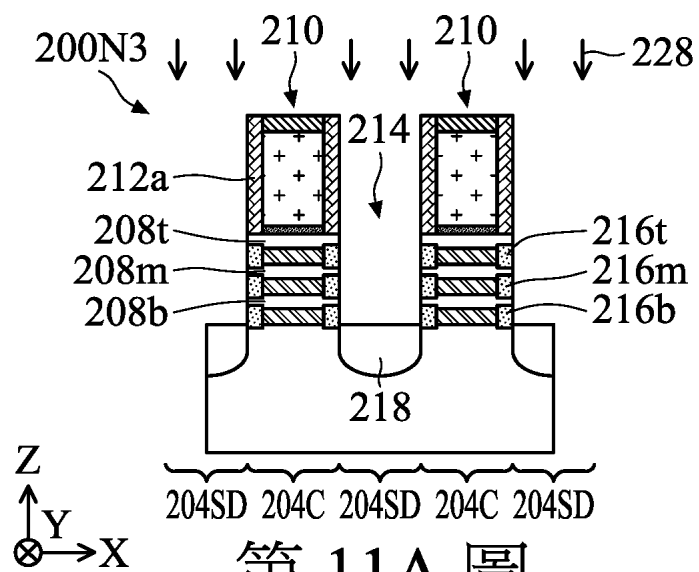


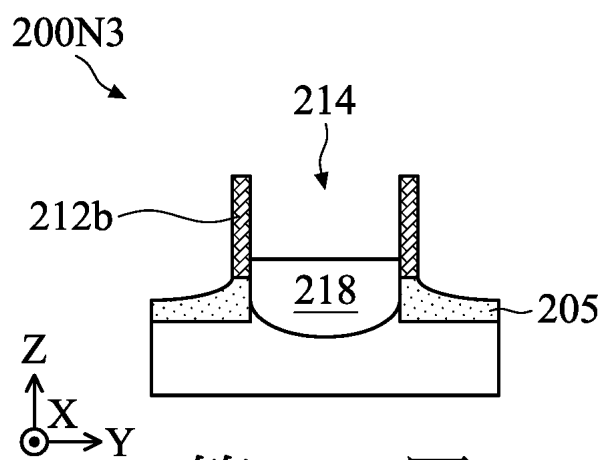
(22)



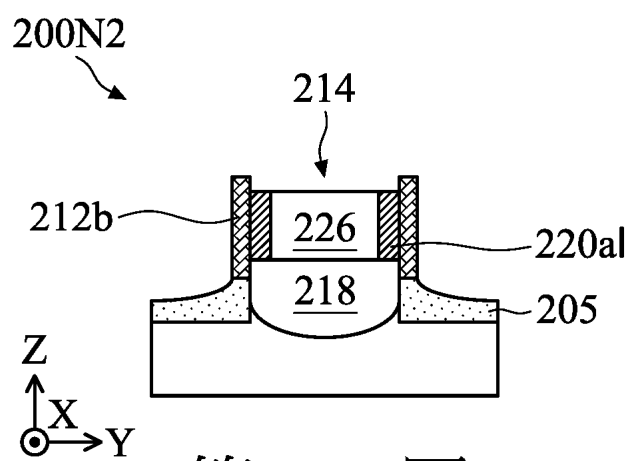




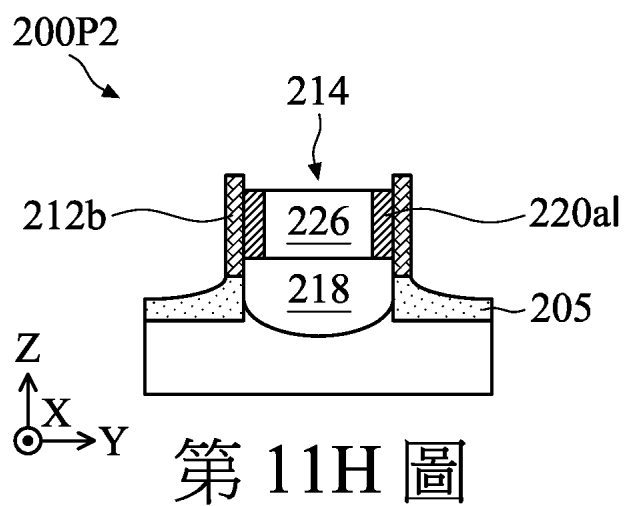
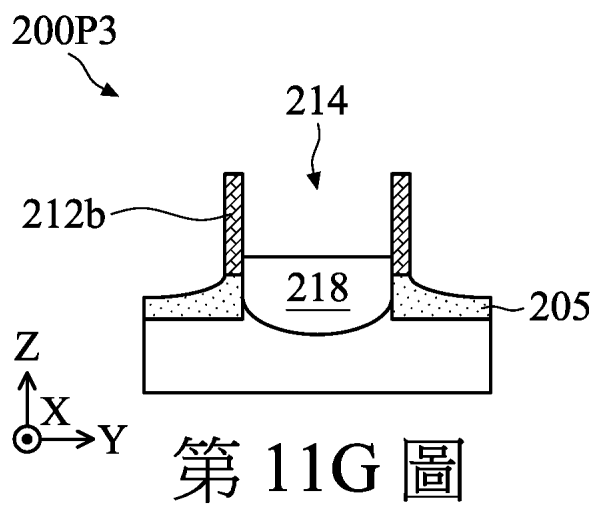


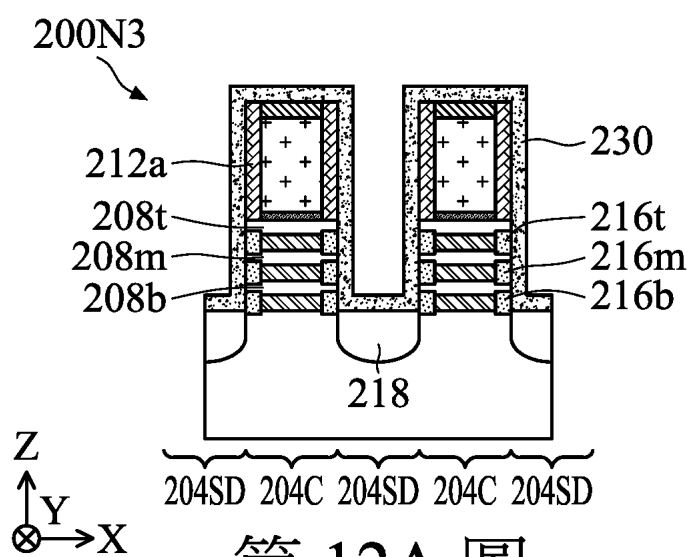


第 11E 圖

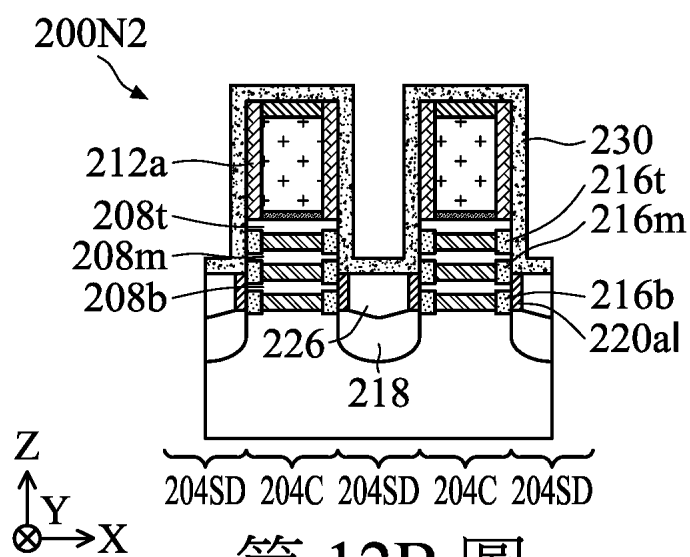


第 11F 圖

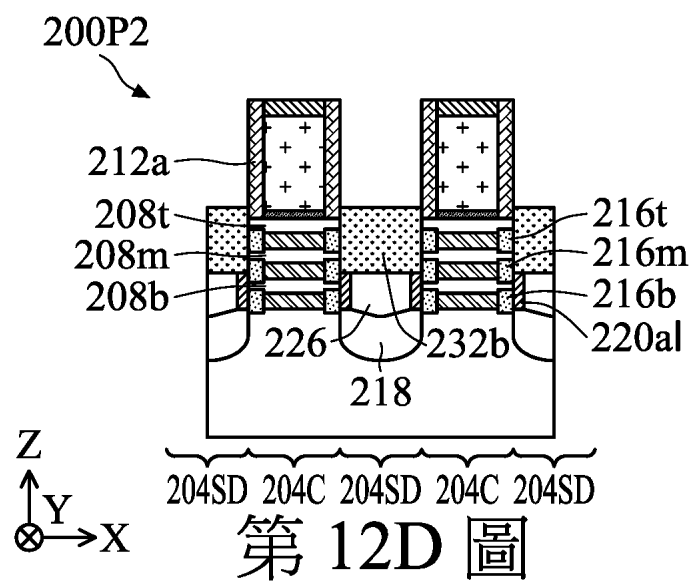
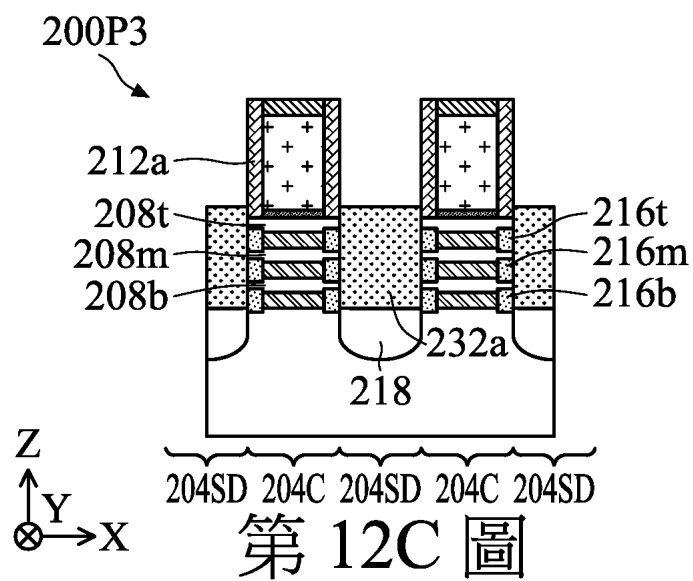




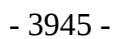
第 12A 圖

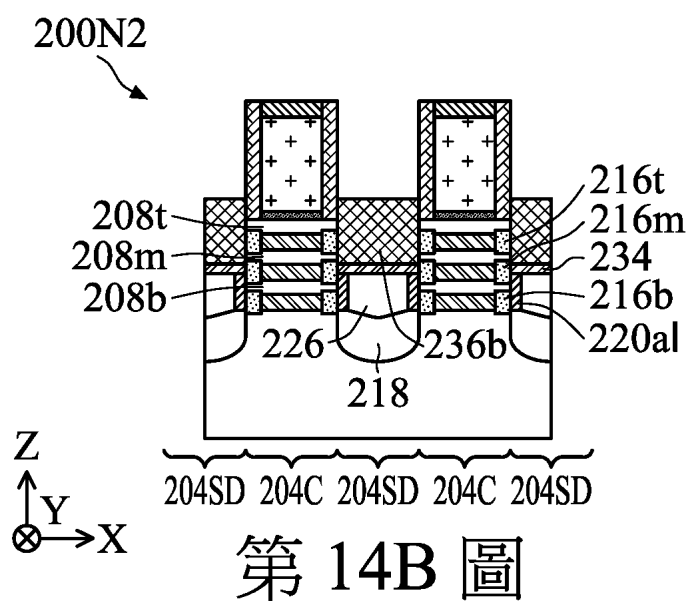
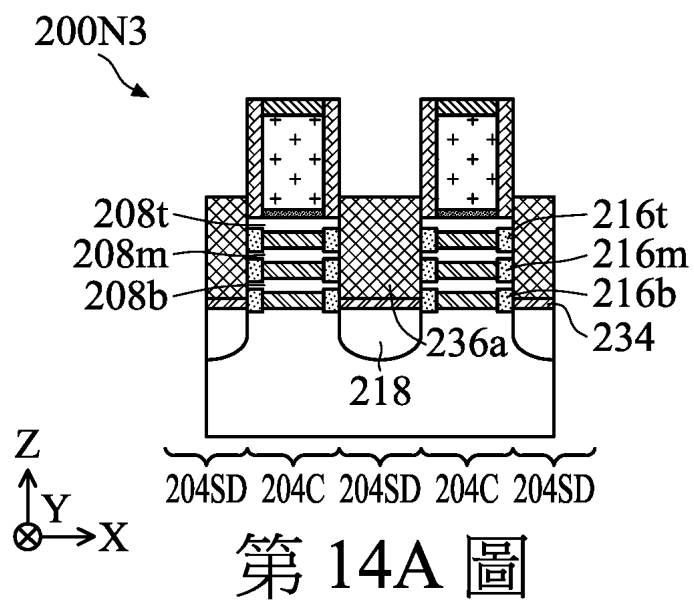


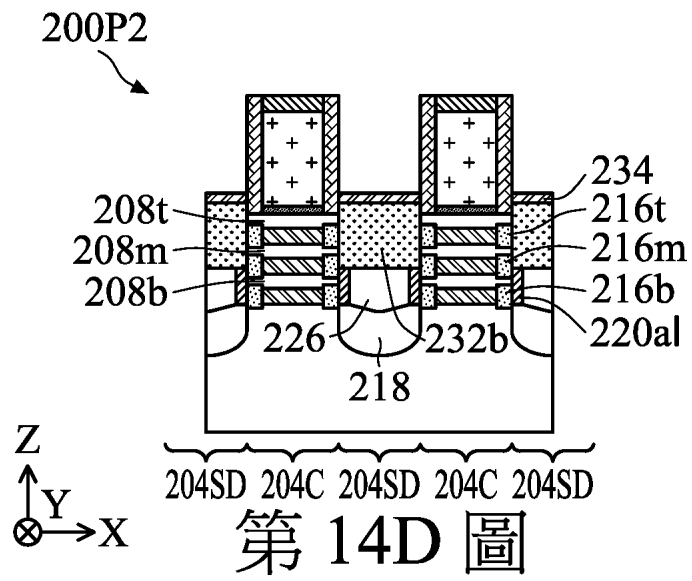
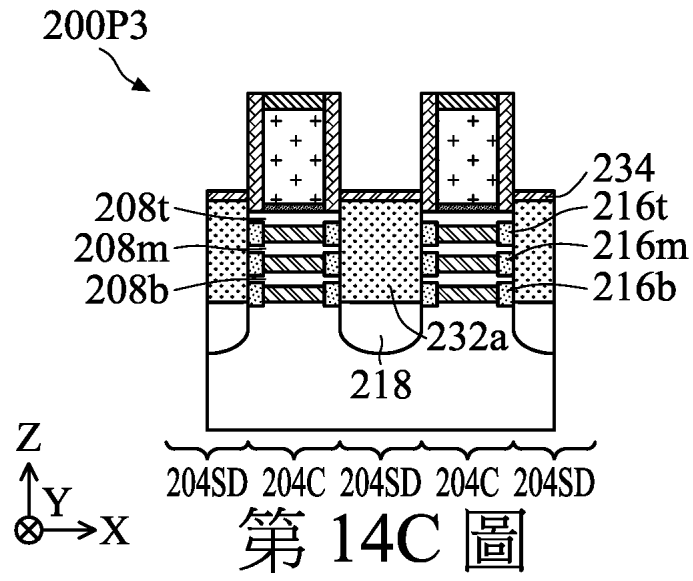
第 12B 圖

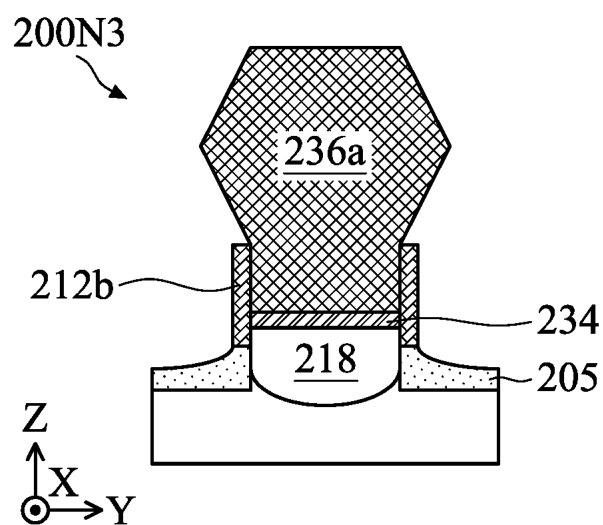


第 13B 圖

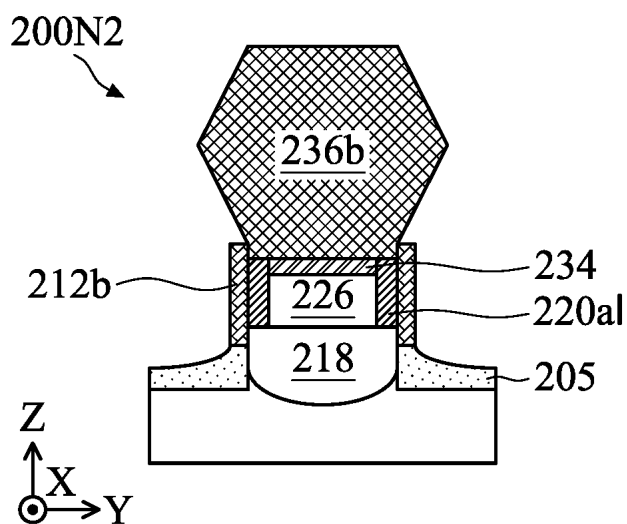






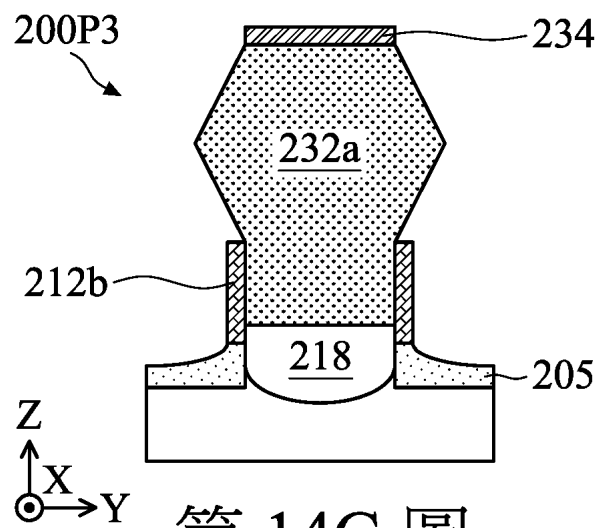


第 14E 圖

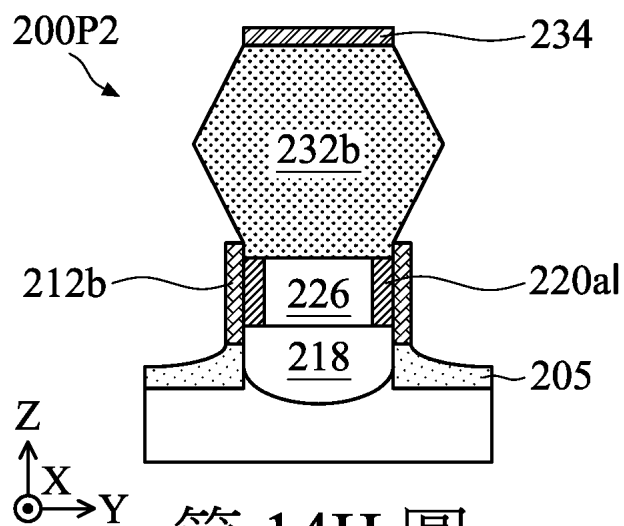


第 14F 圖

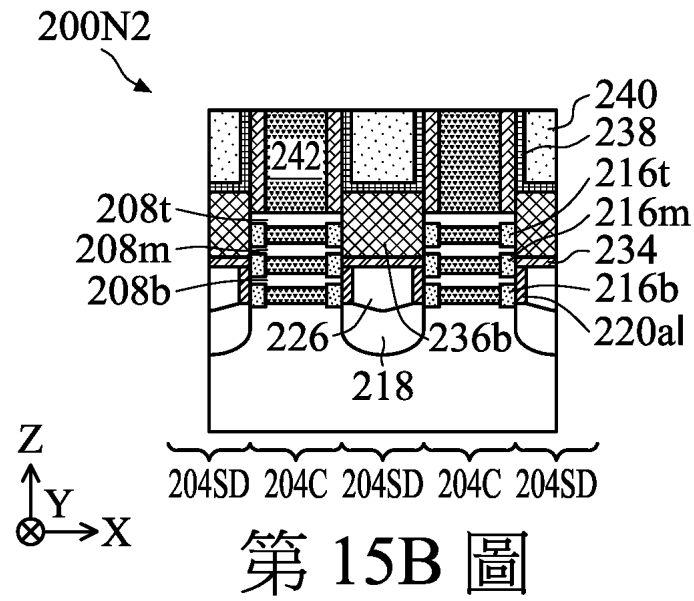
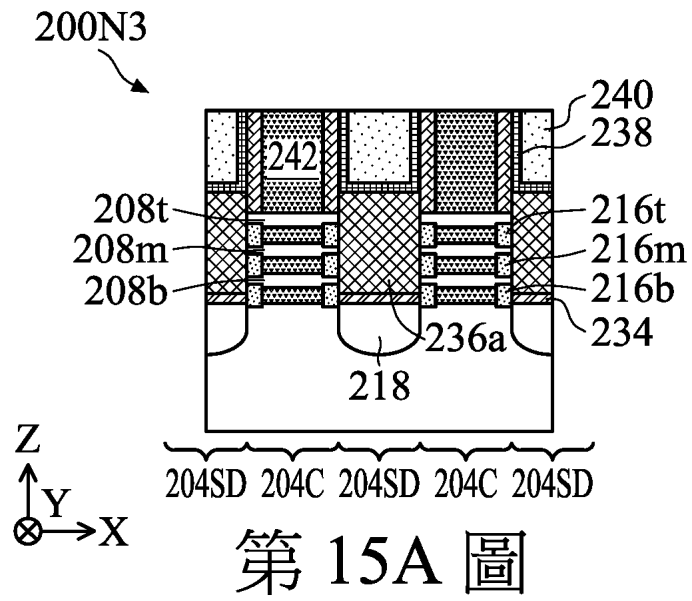
(36)

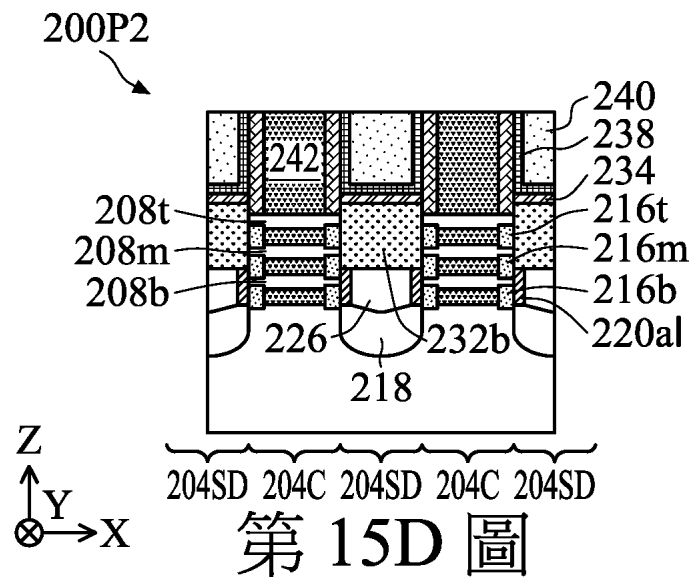
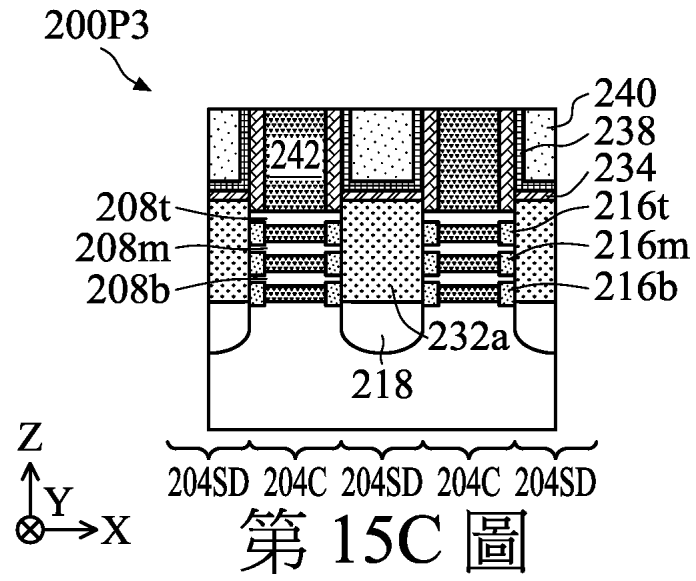


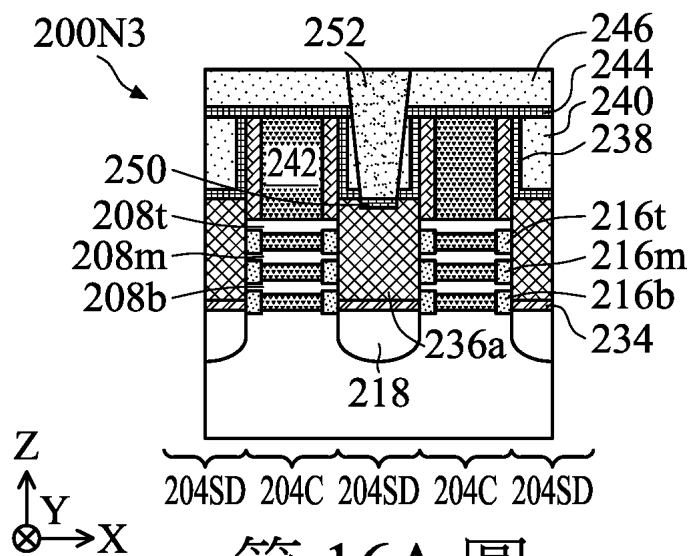
第 14G 圖



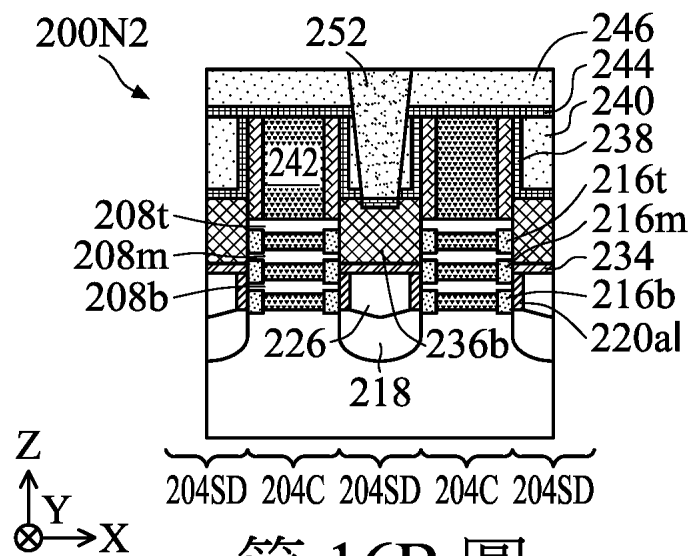
第 14H 圖



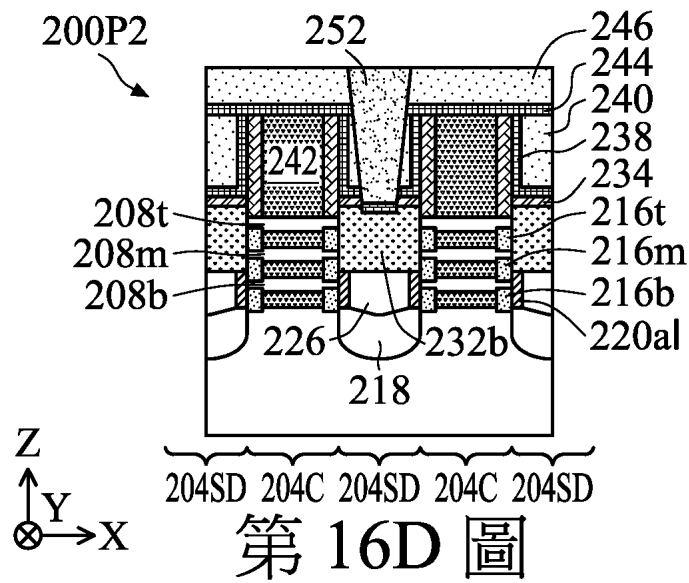
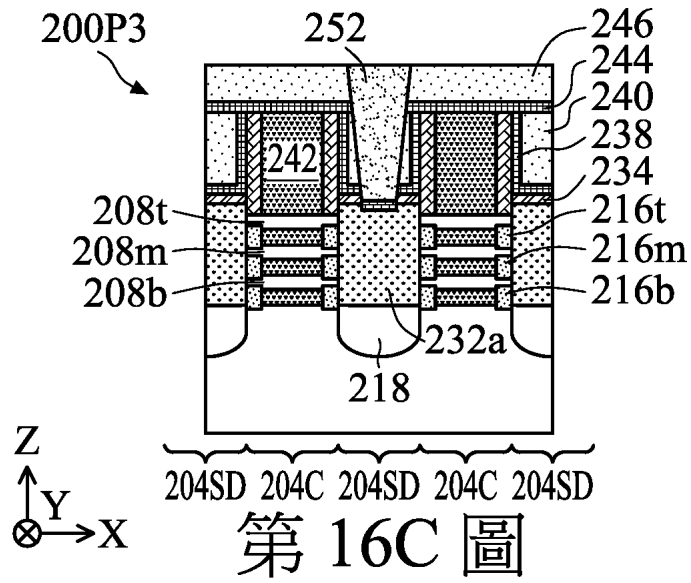




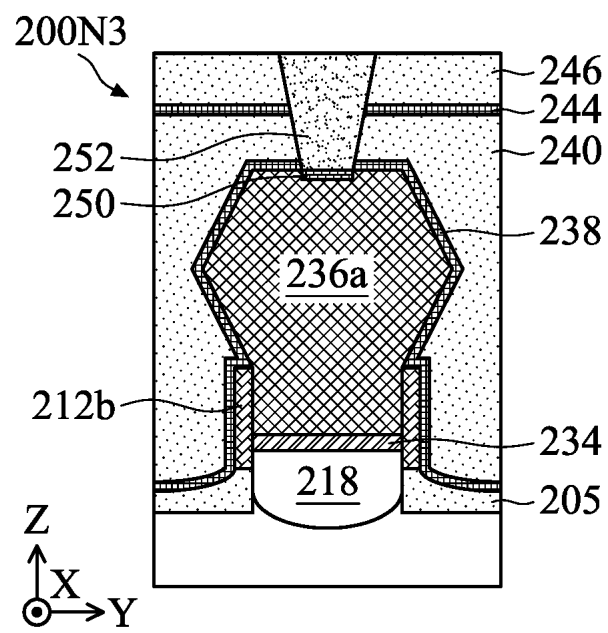
第 16A 圖



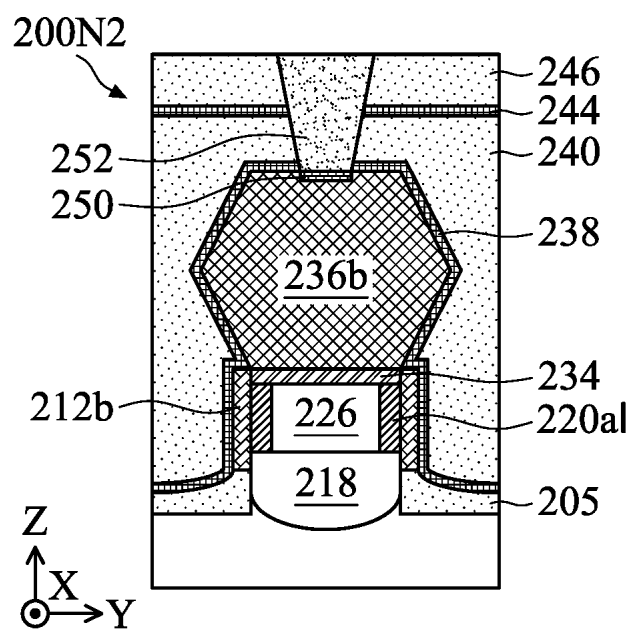
第 16B 圖



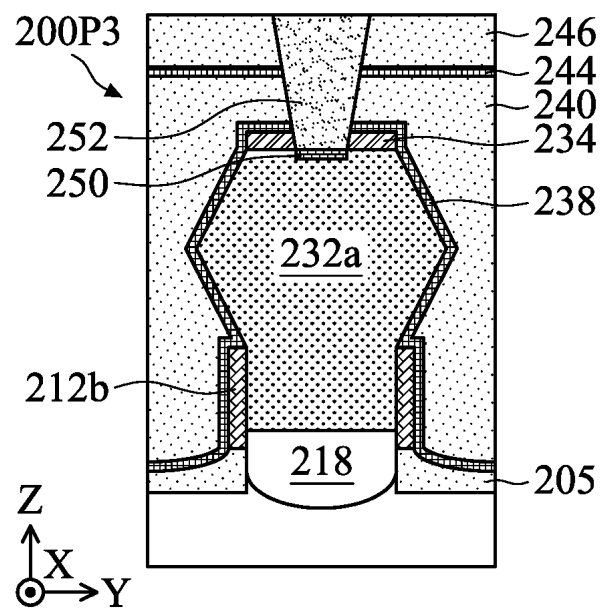
(41)



第16E 圖

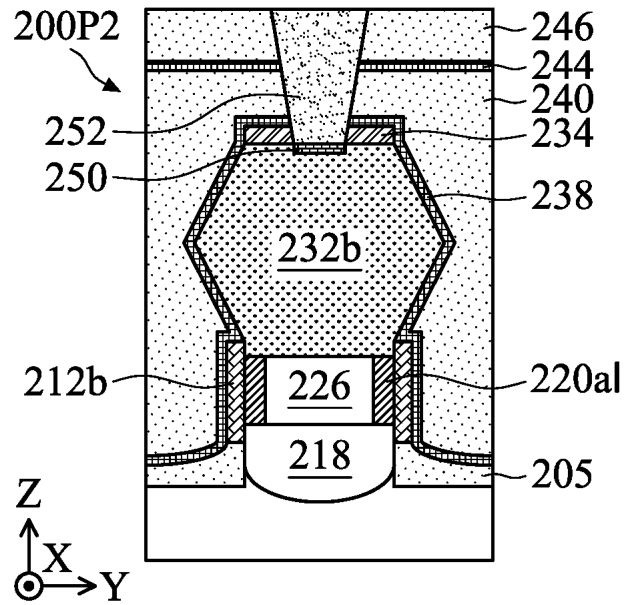


第 16F 圖

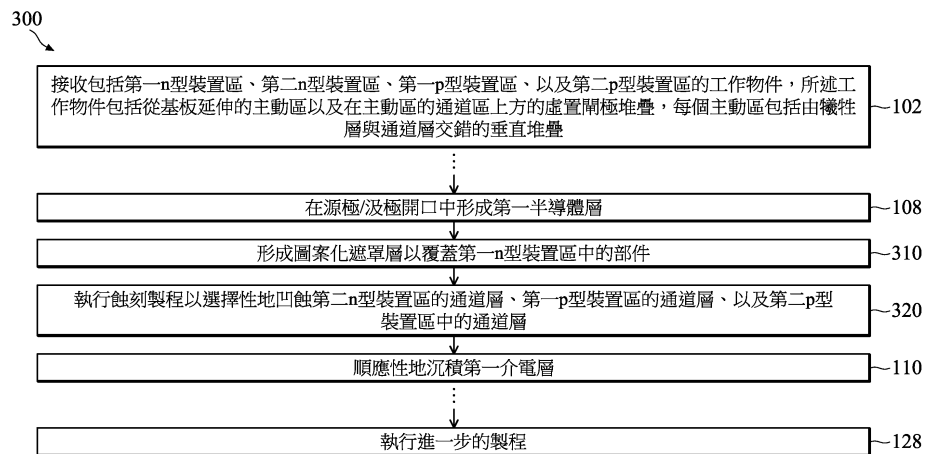


第 16G 圖

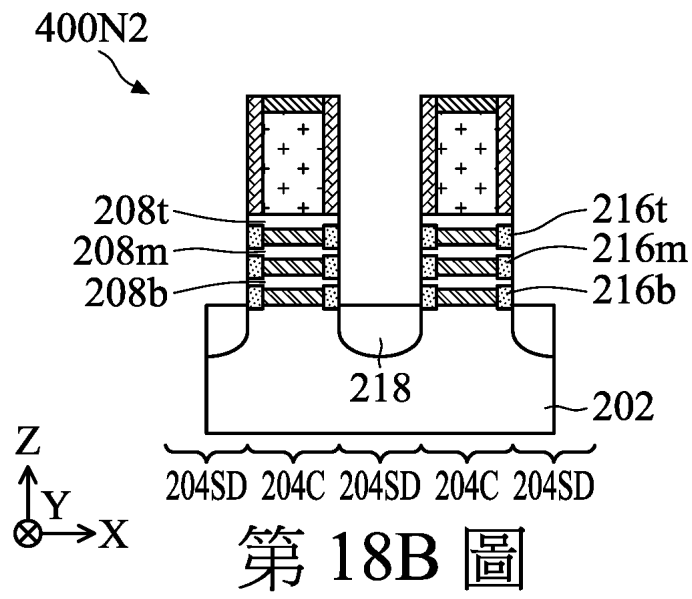
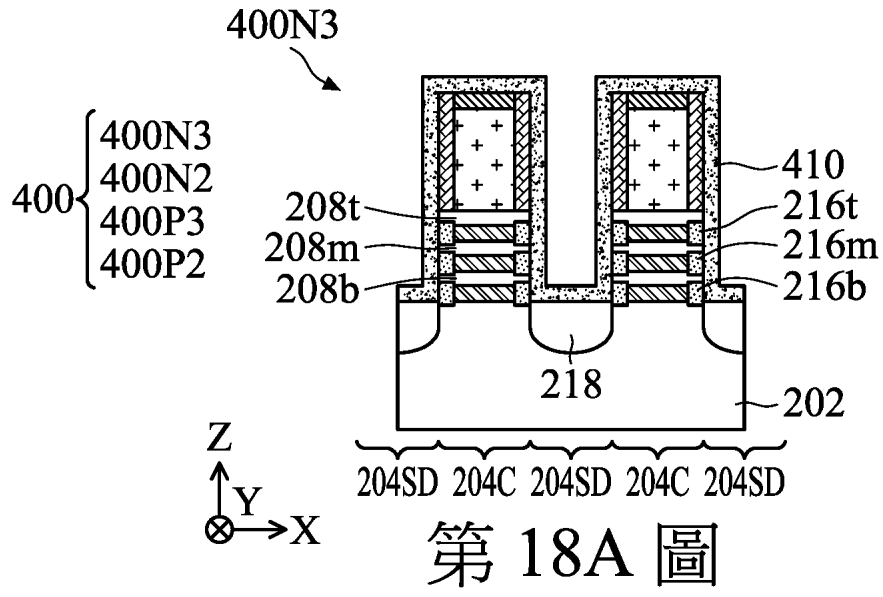
(44)

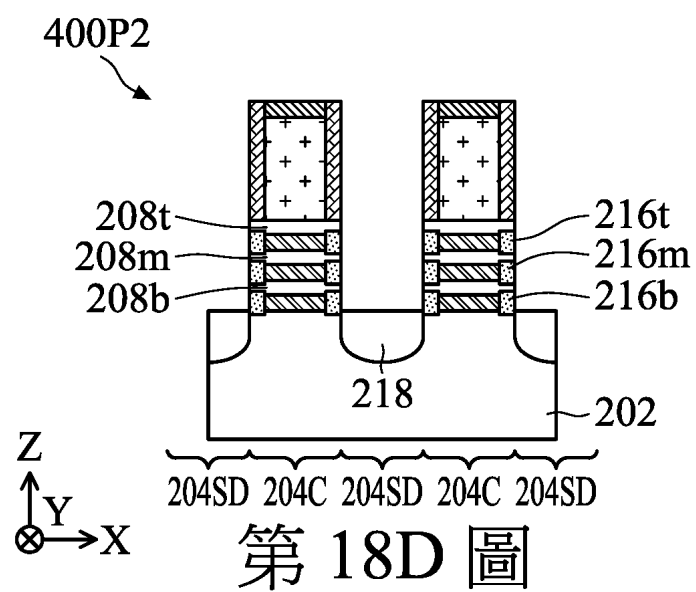
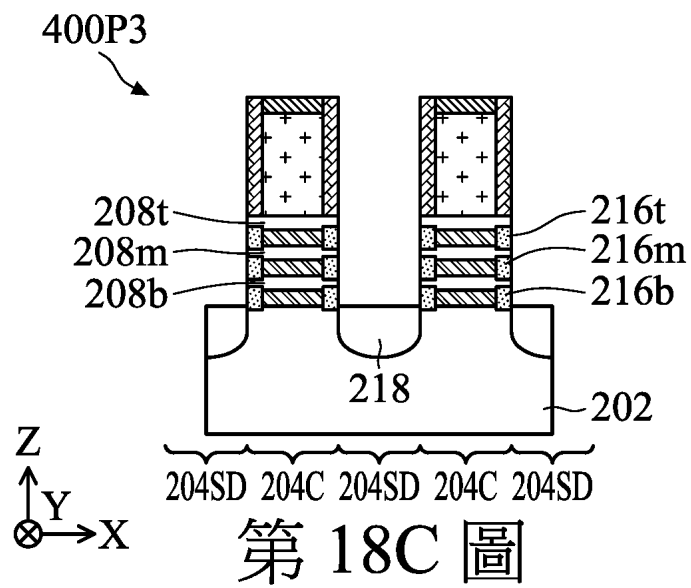


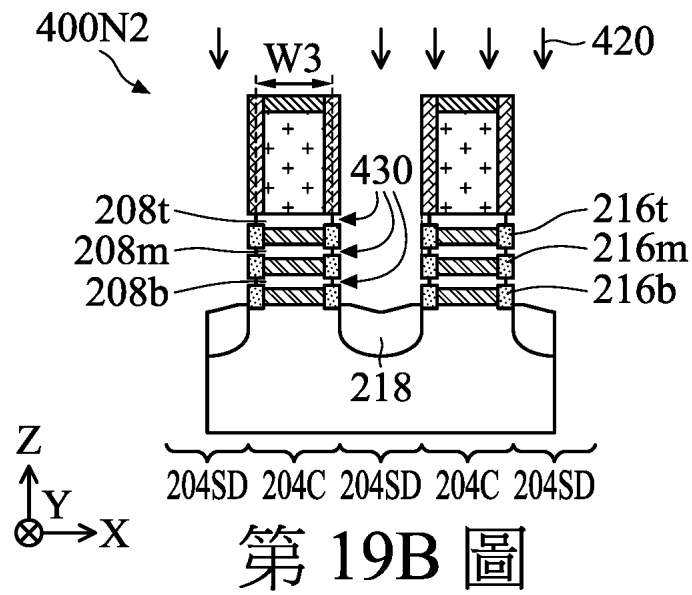
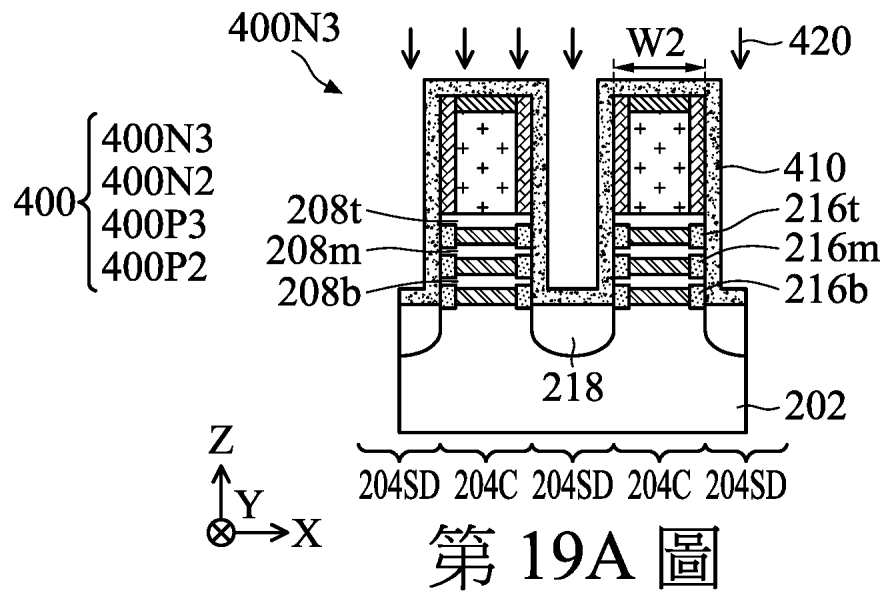
第 16H 圖

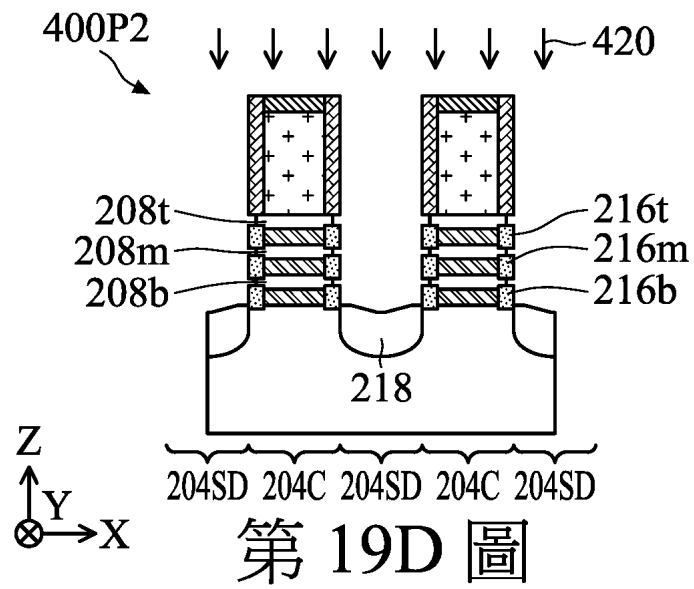
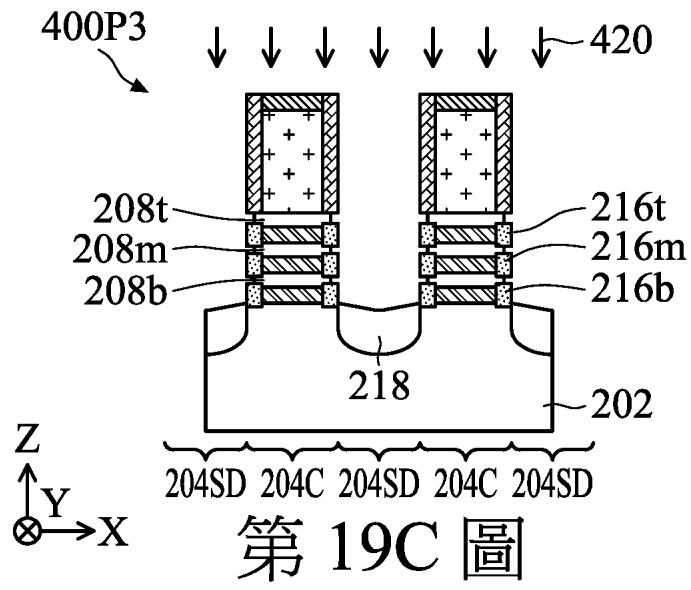


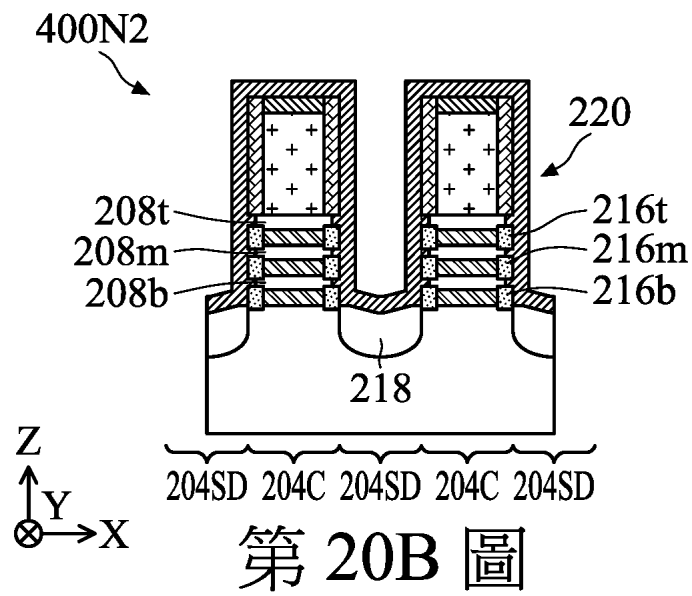
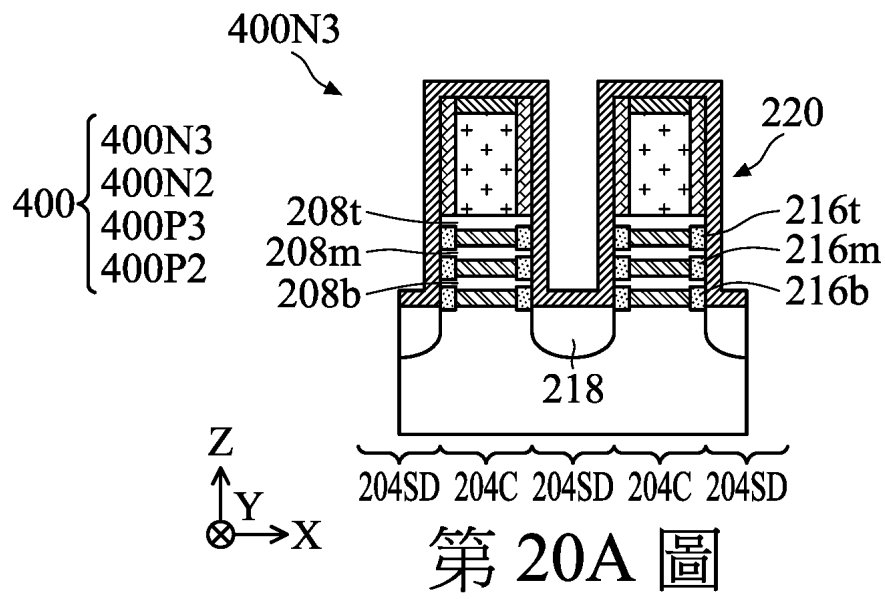
第 17 圖

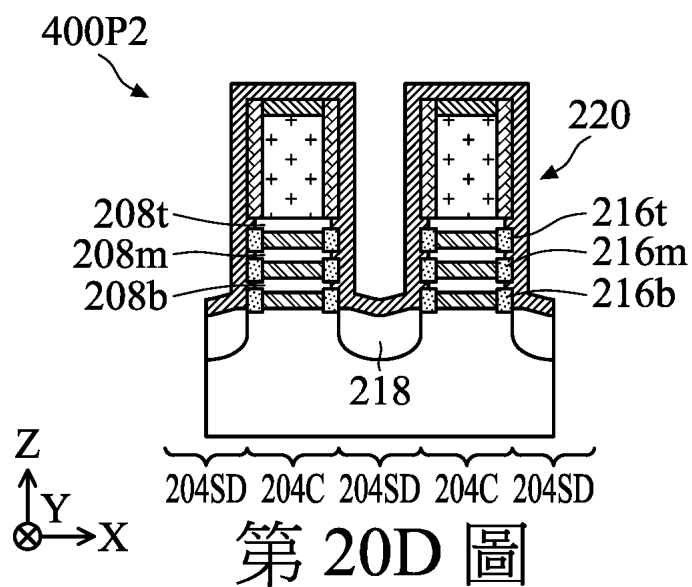
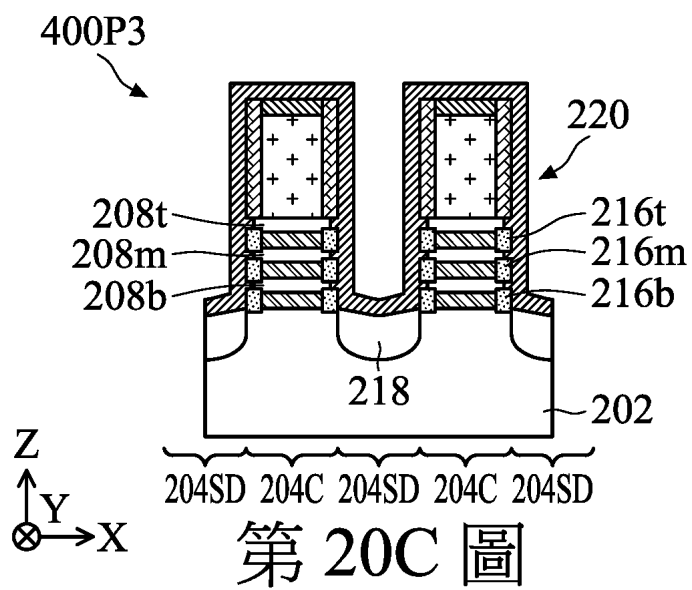


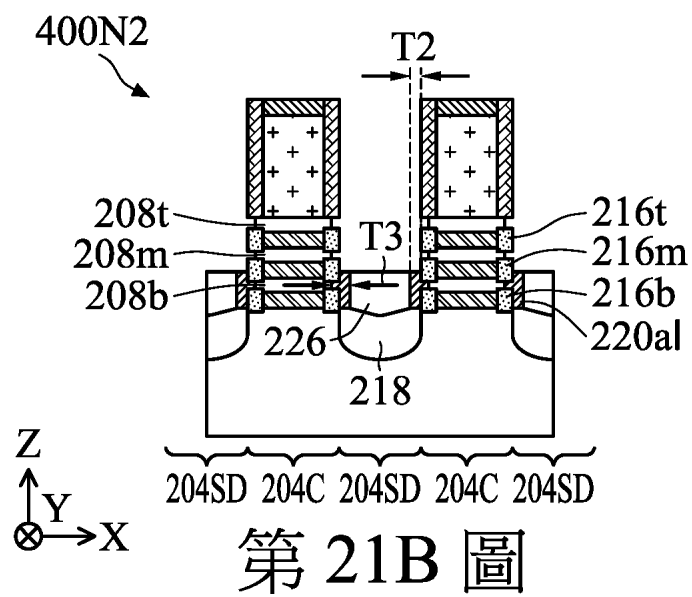
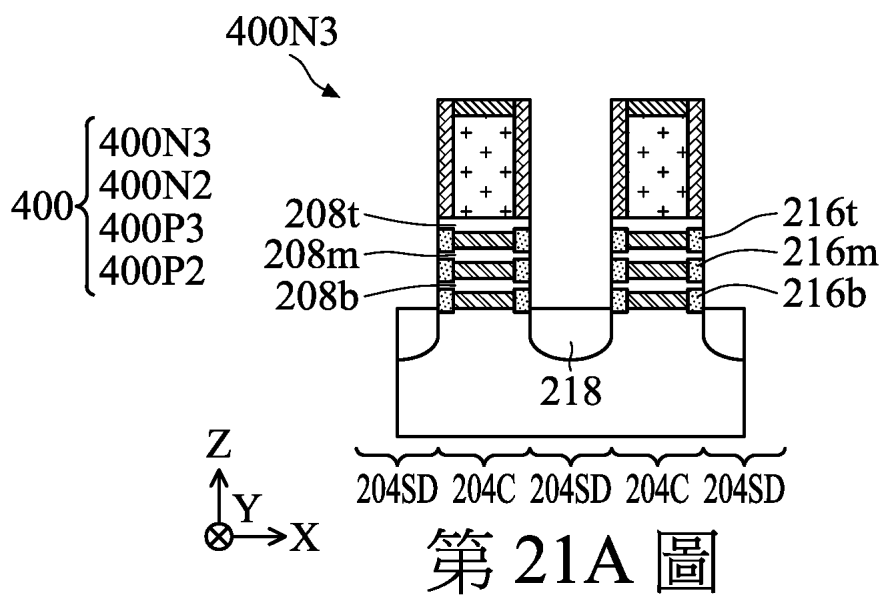


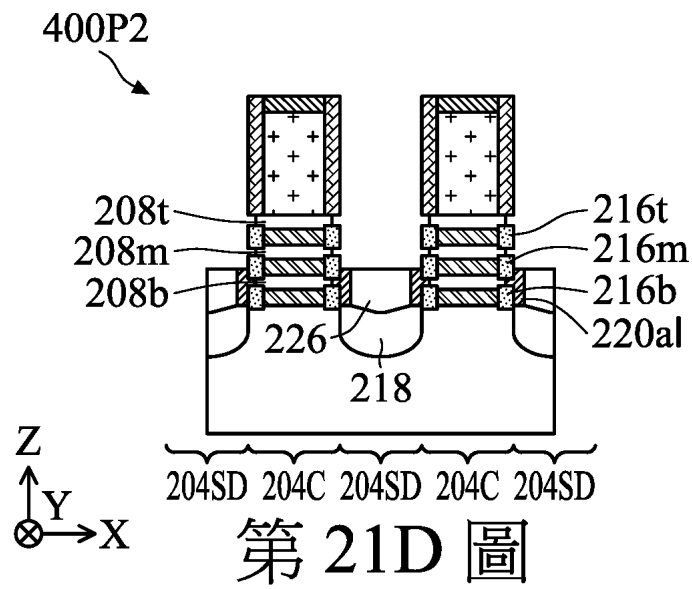
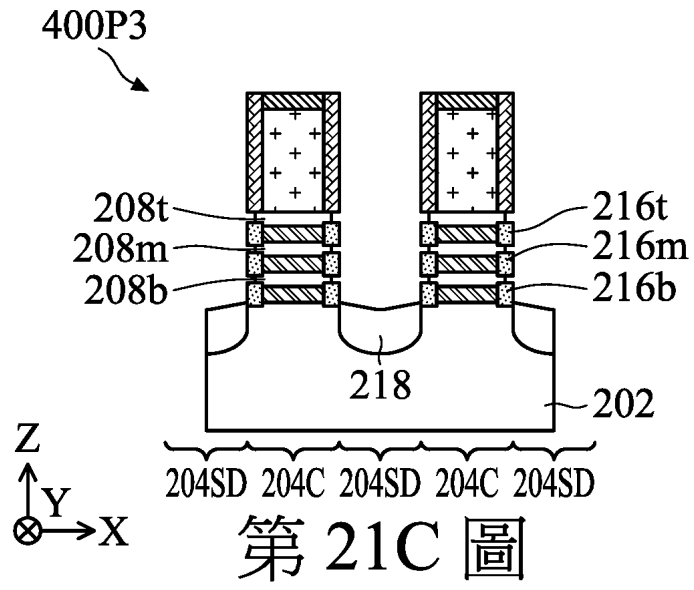


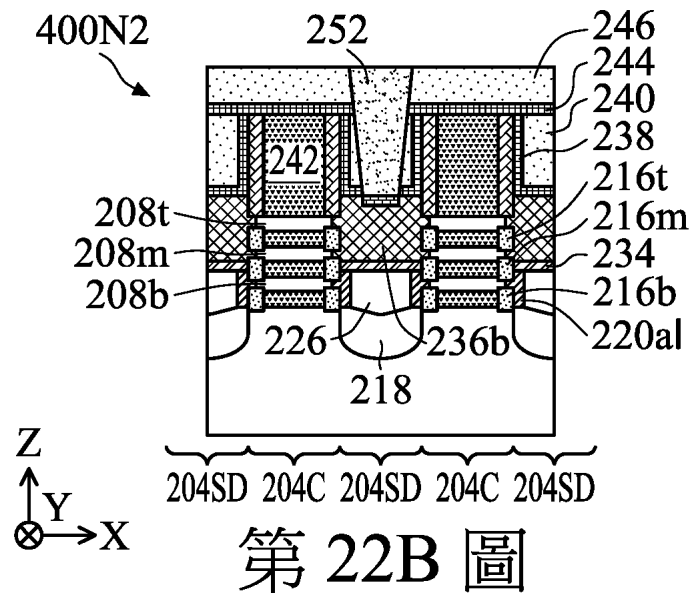
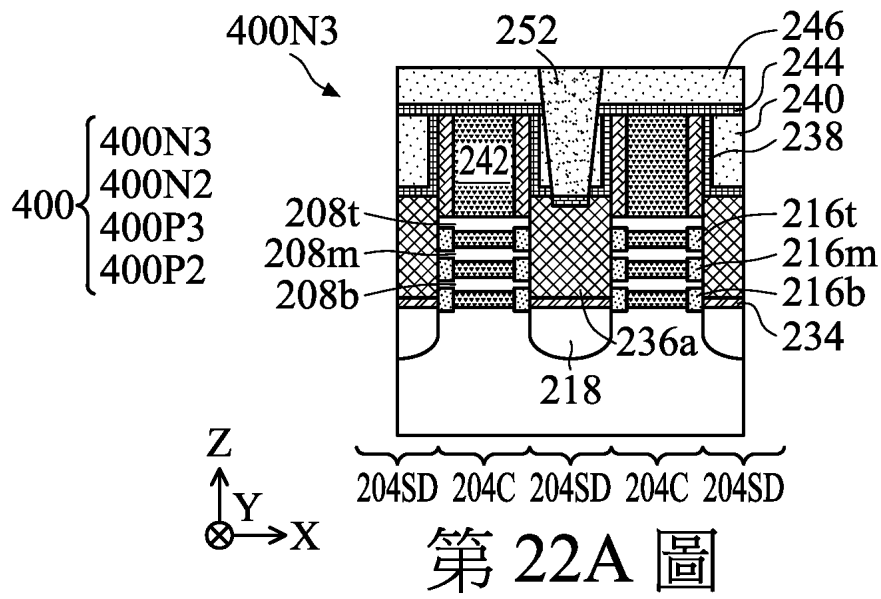


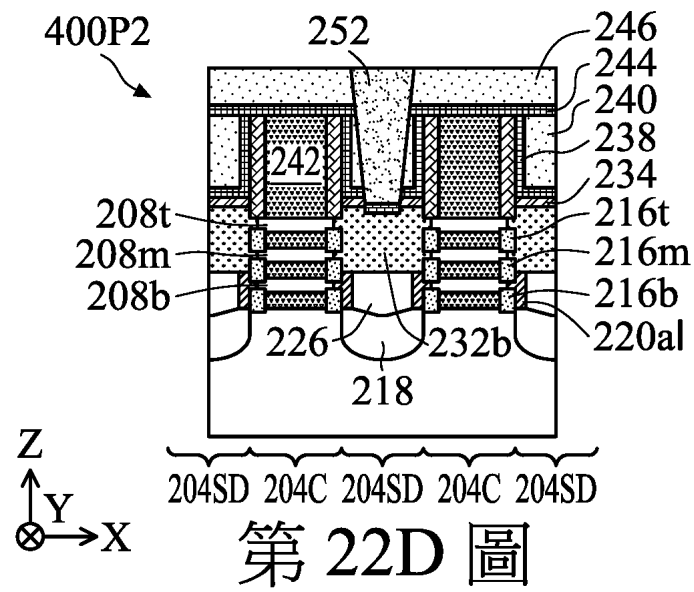
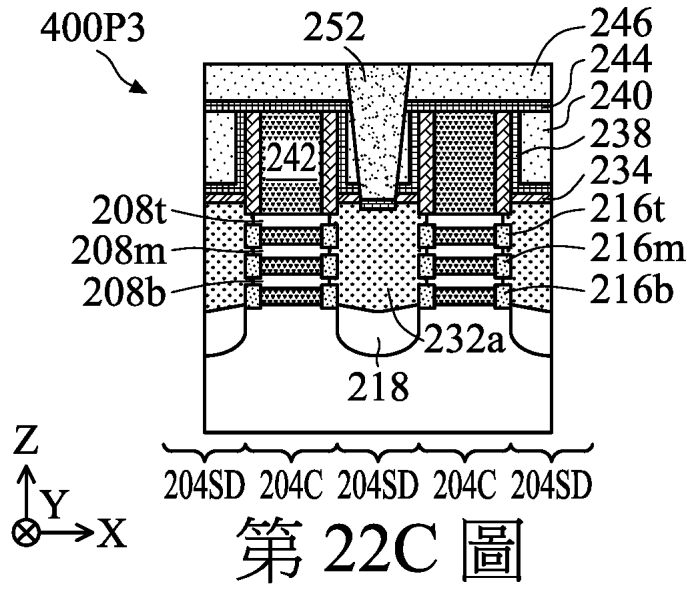


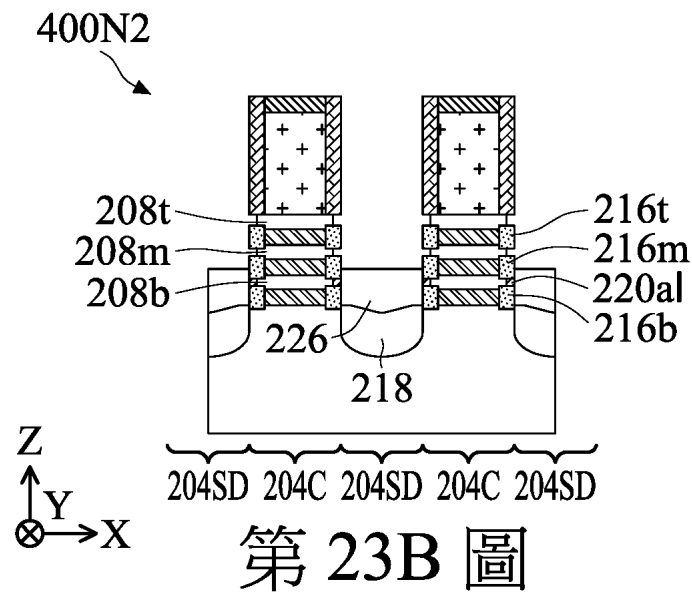
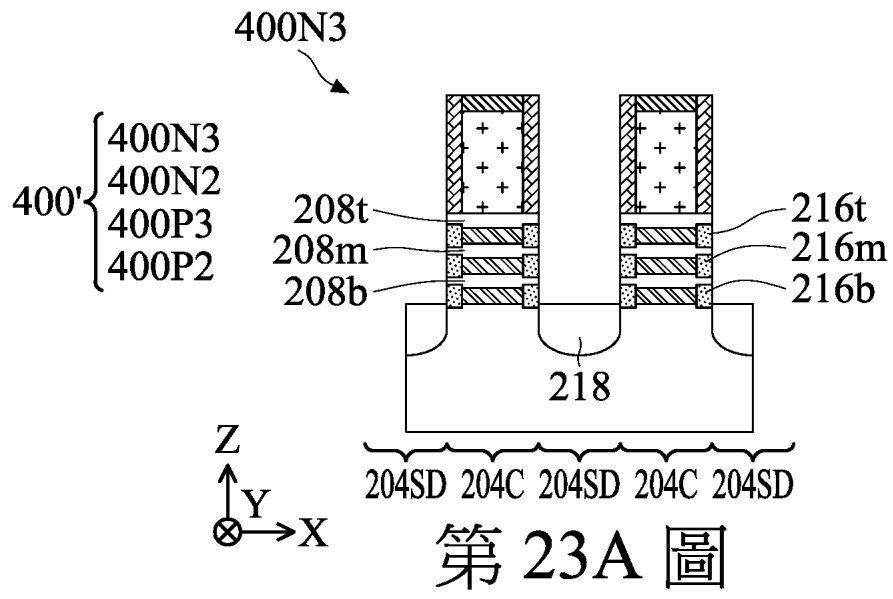


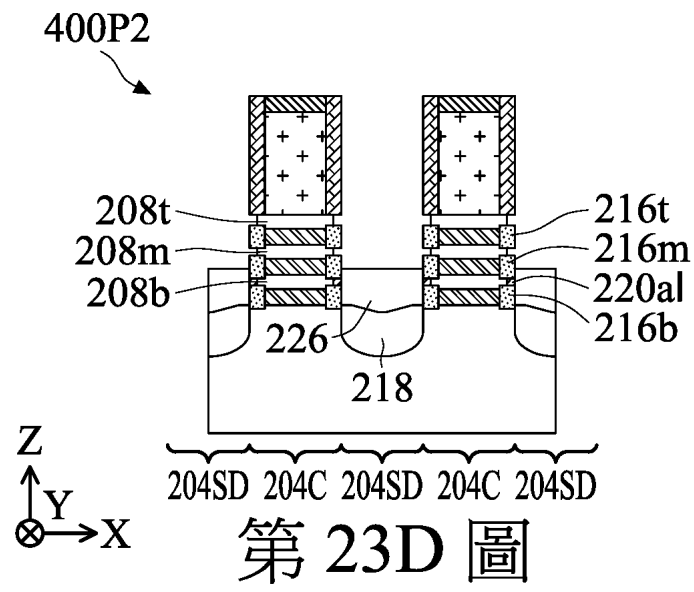
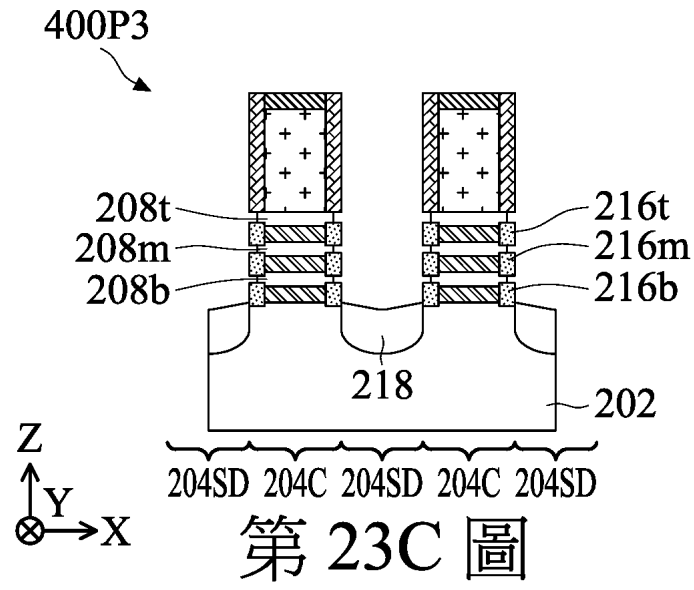


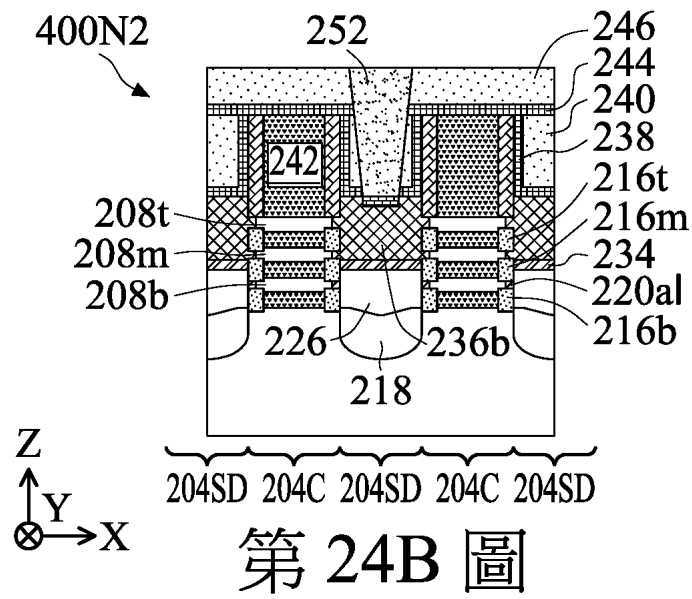
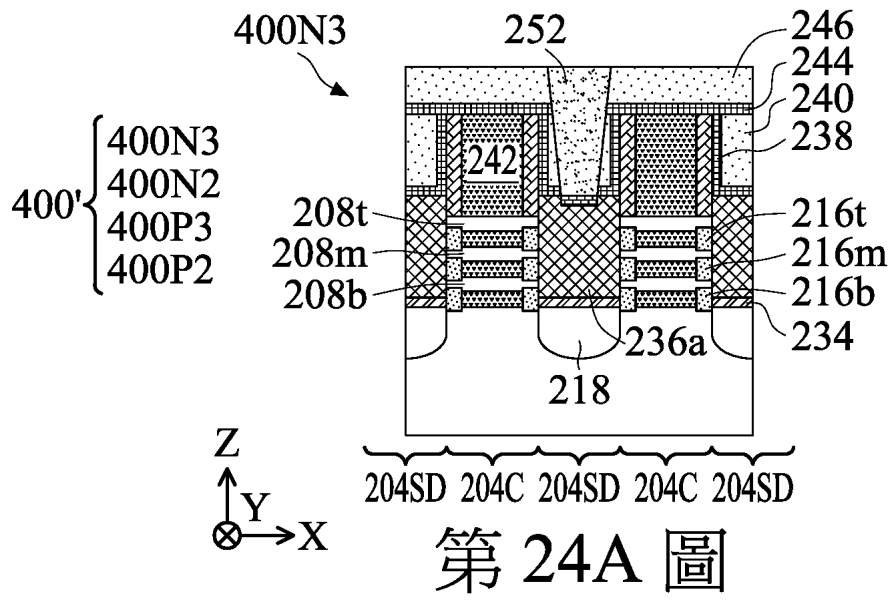


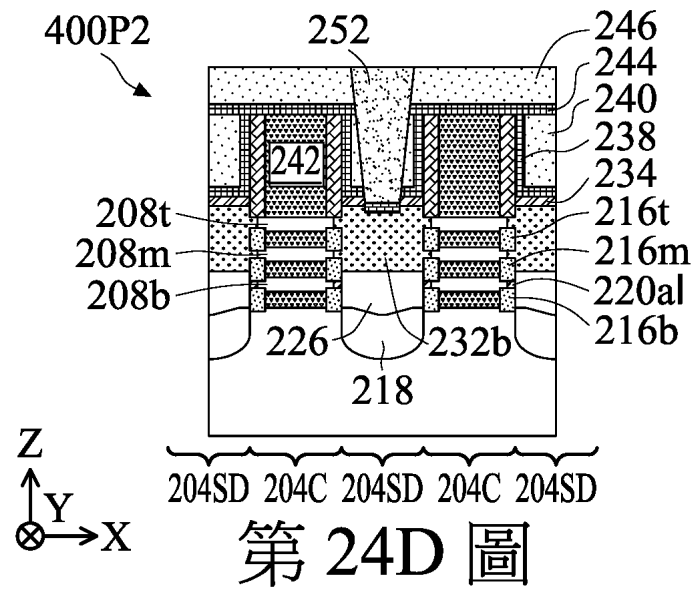
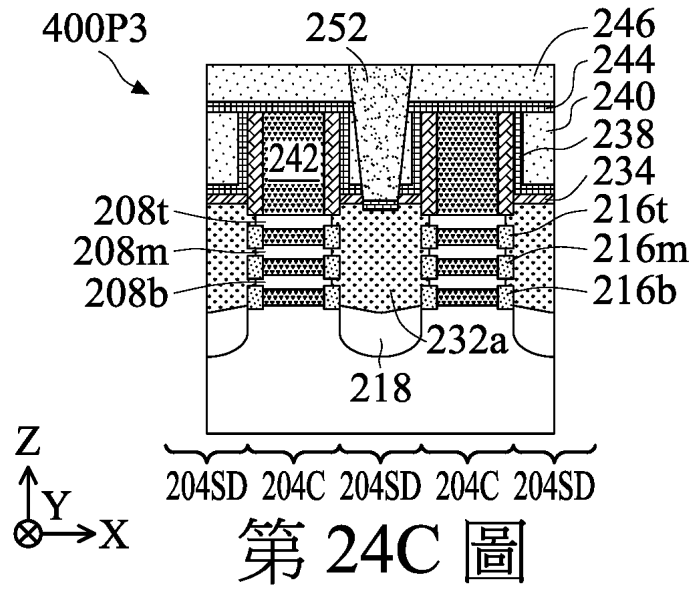


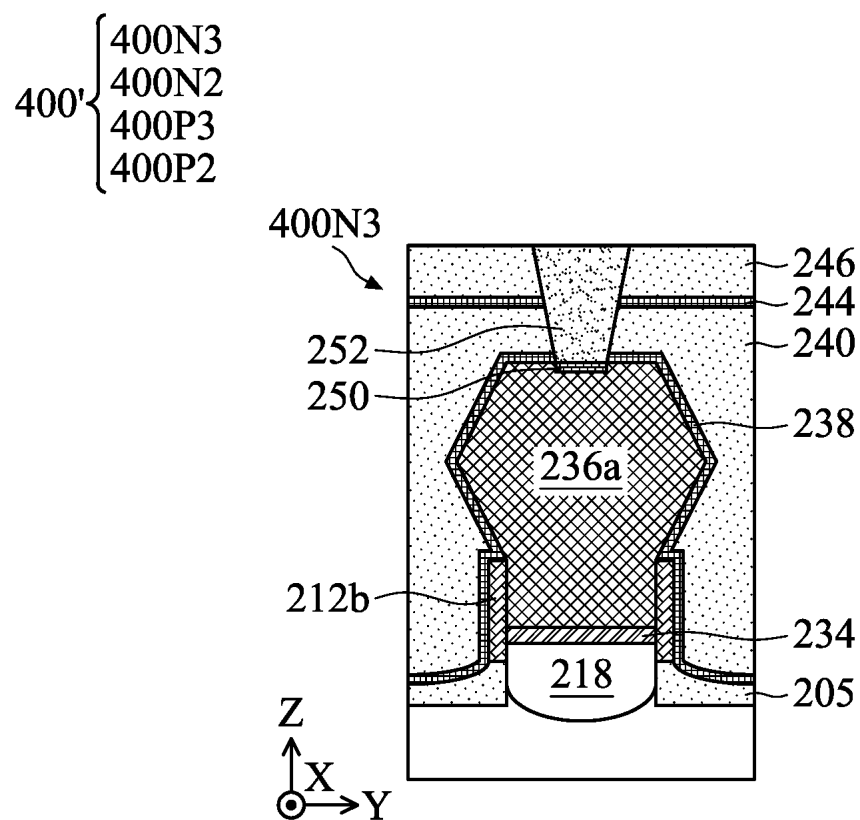






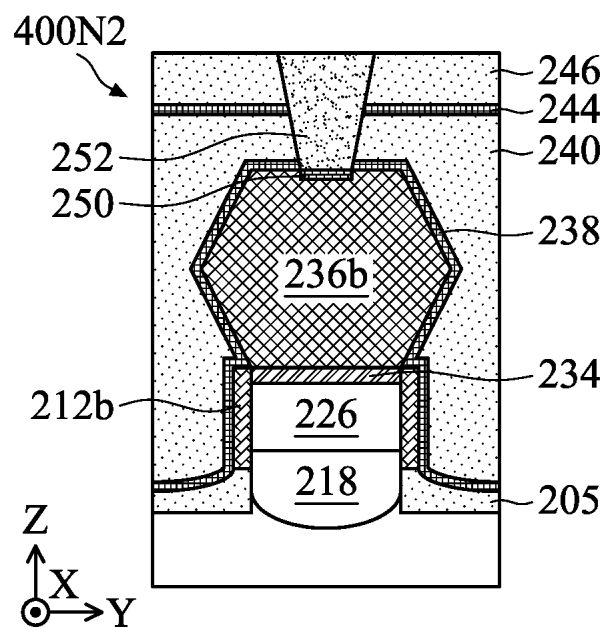






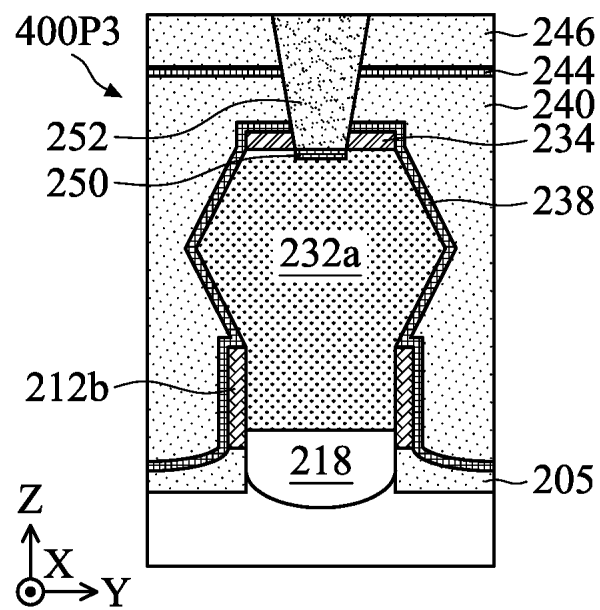
第 24E 圖

(60)

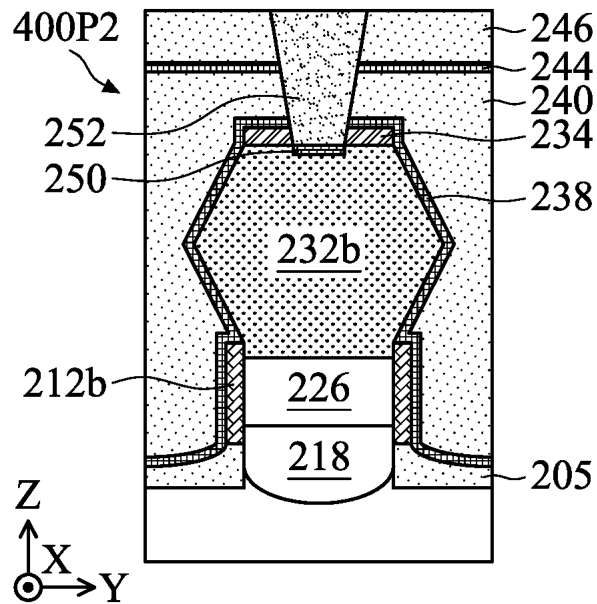


第 24F 圖

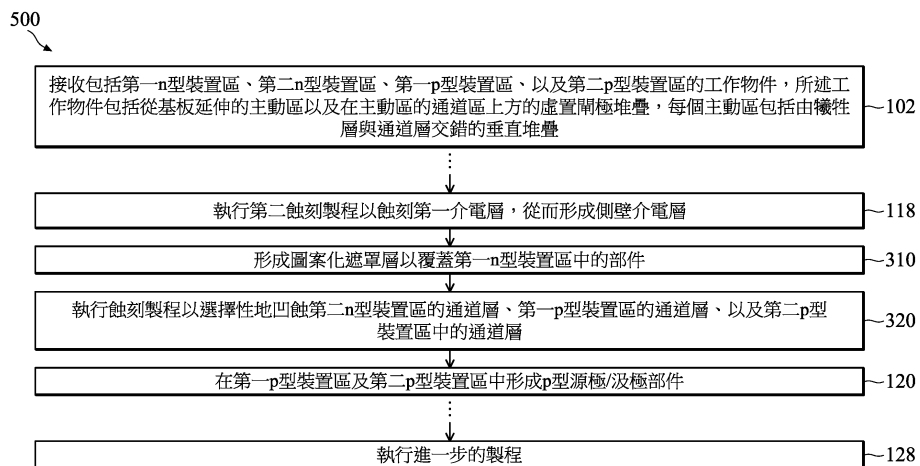
(61)



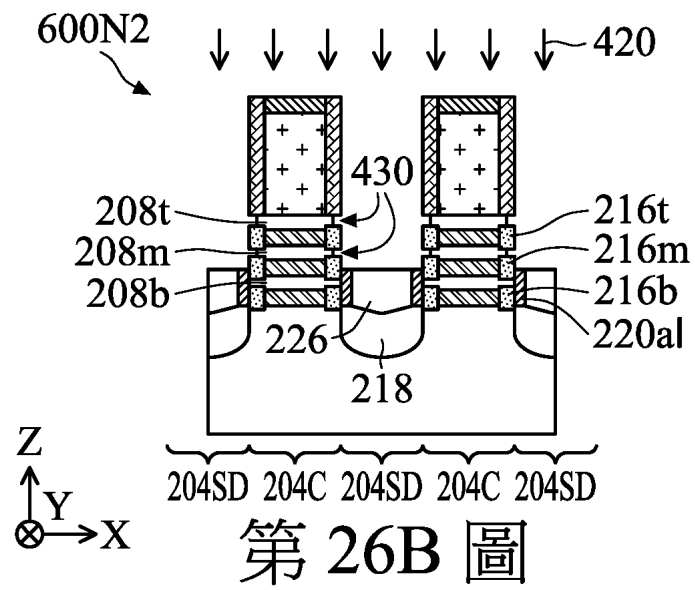
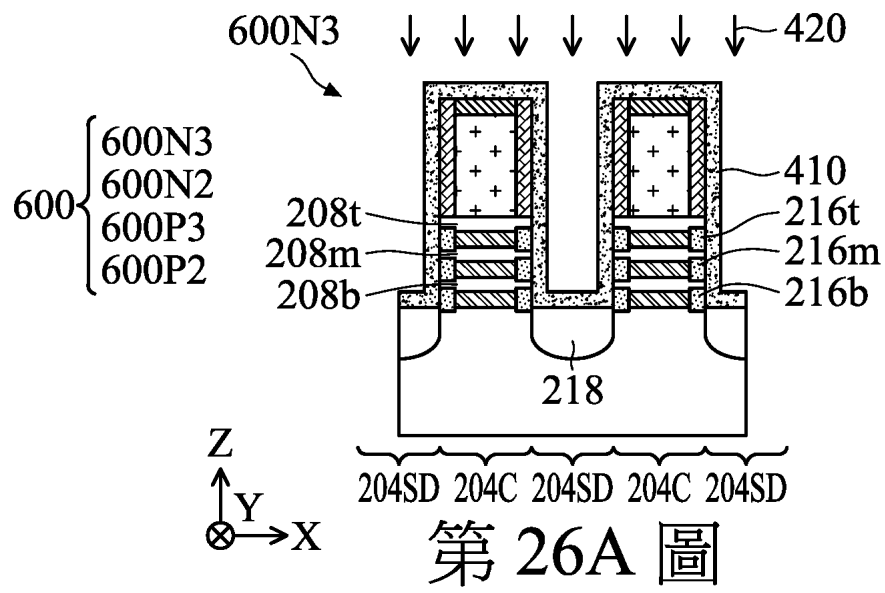
第 24G 圖

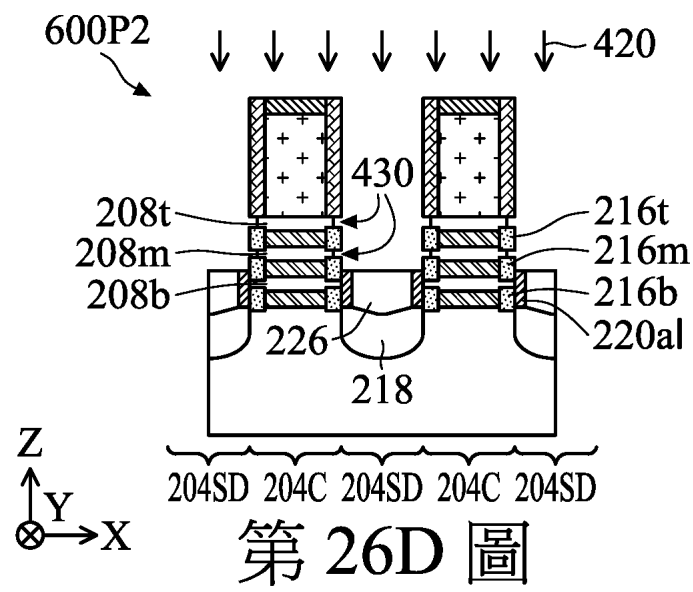
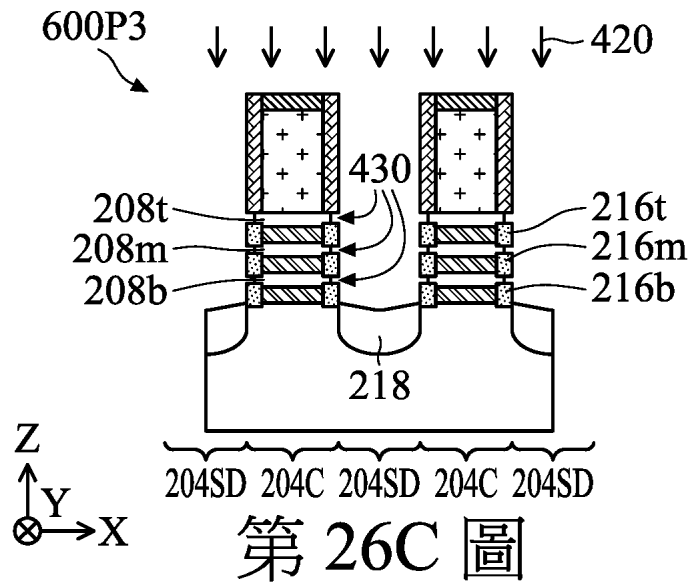


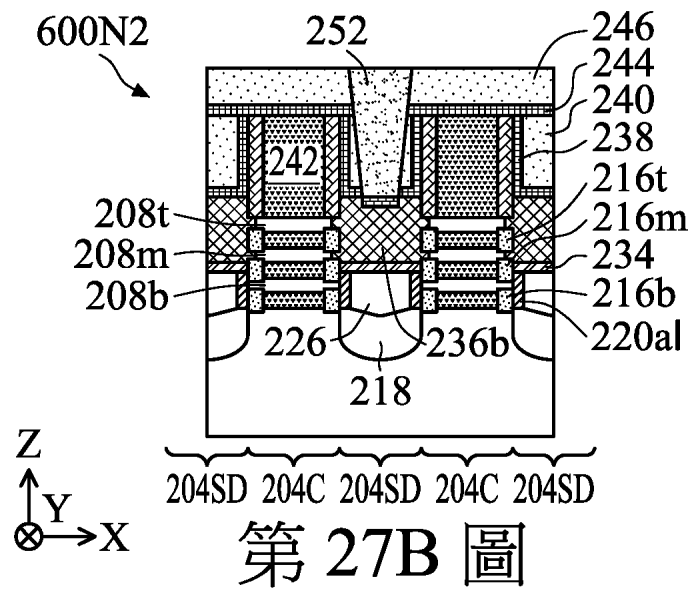
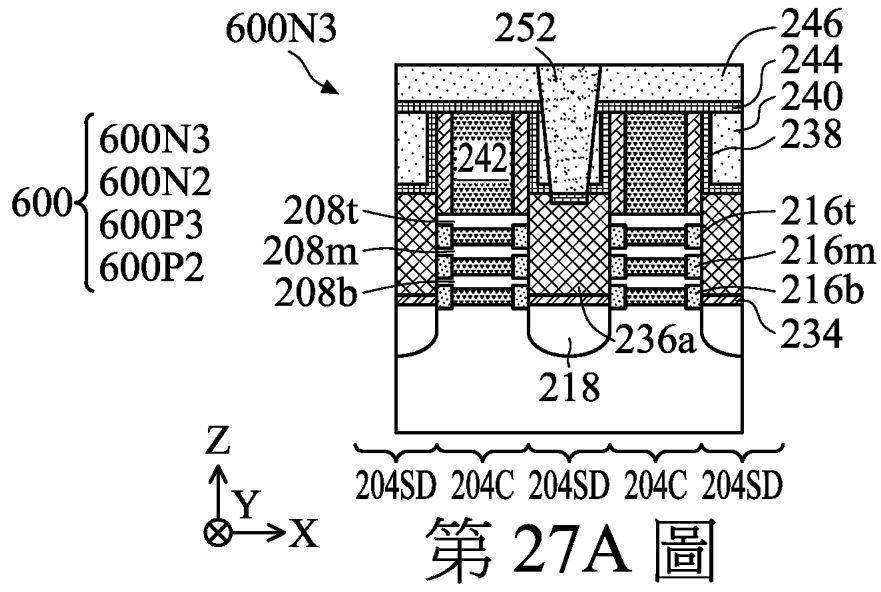
第 24H 圖

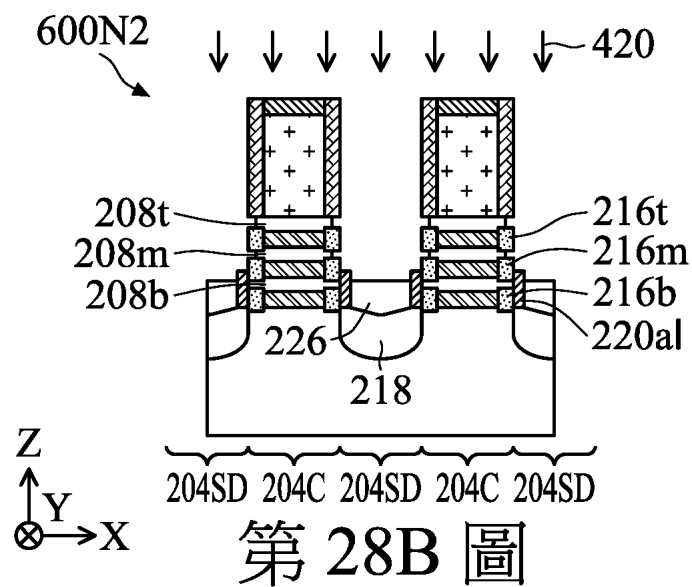
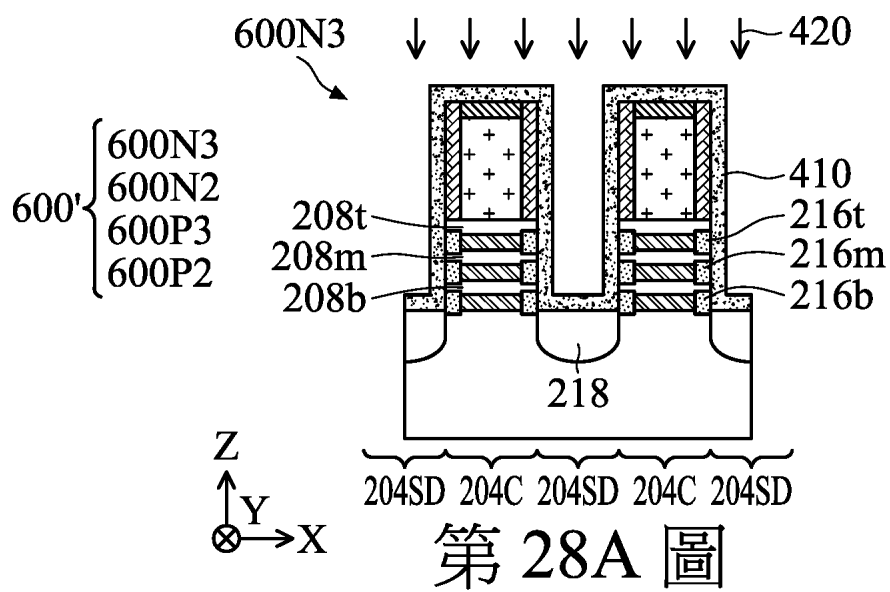


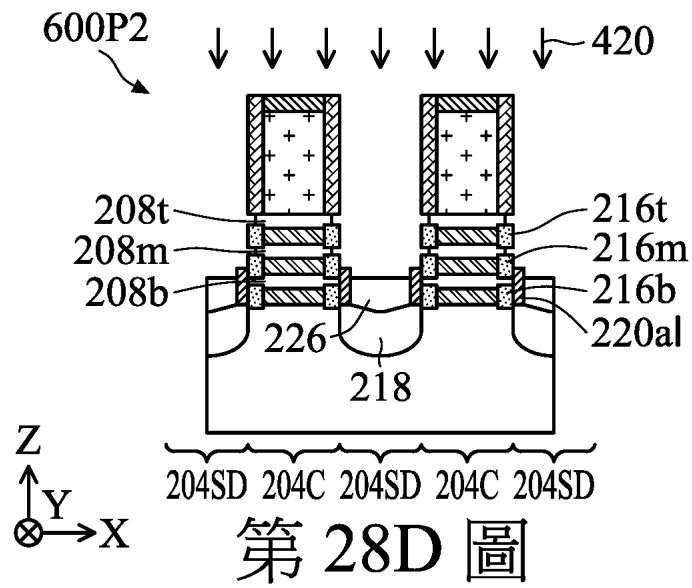
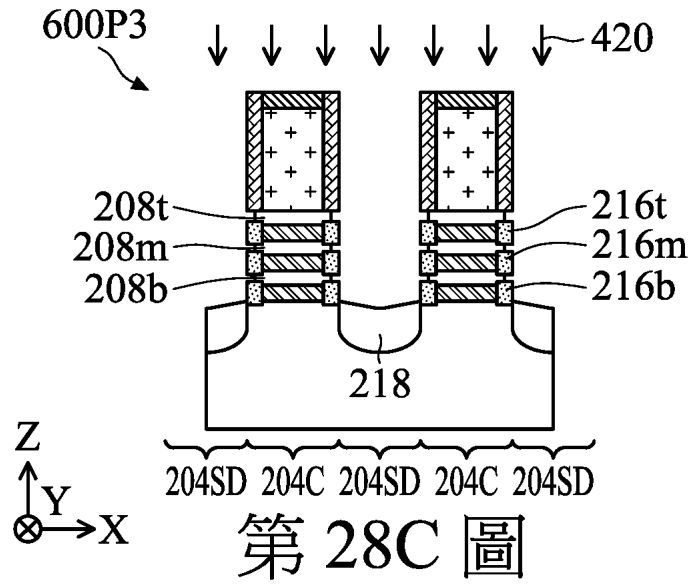
第 25 圖

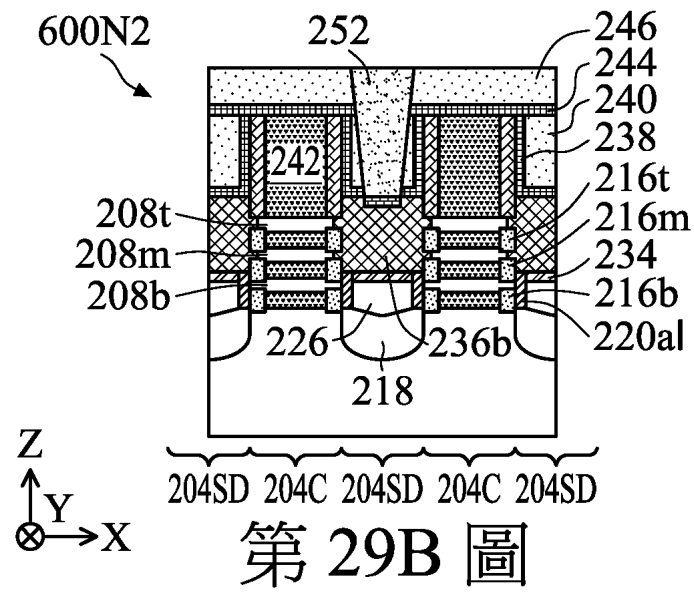
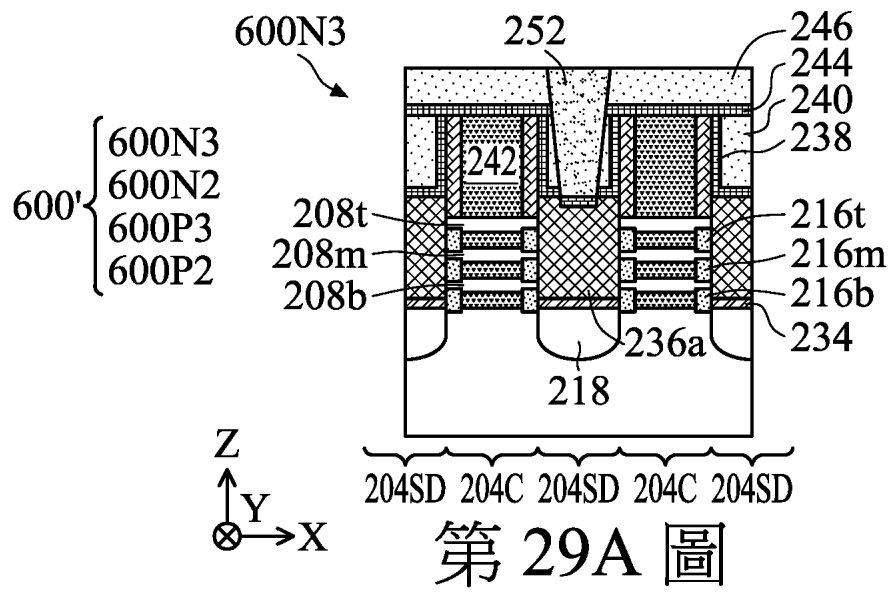












600P2

252

246

244

240

238

234

216t

216m

216b

226

232b

220al

208t

208m

208b

242

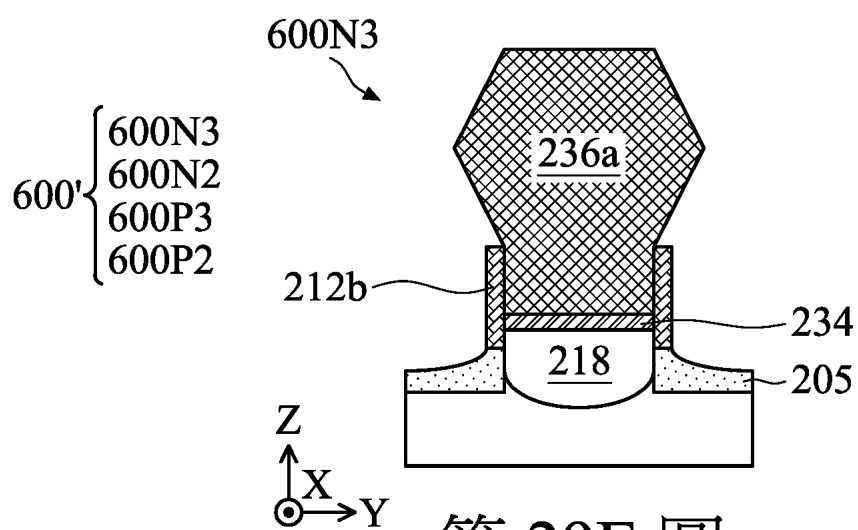
218

204SD 204C 204SD 204C 204SD

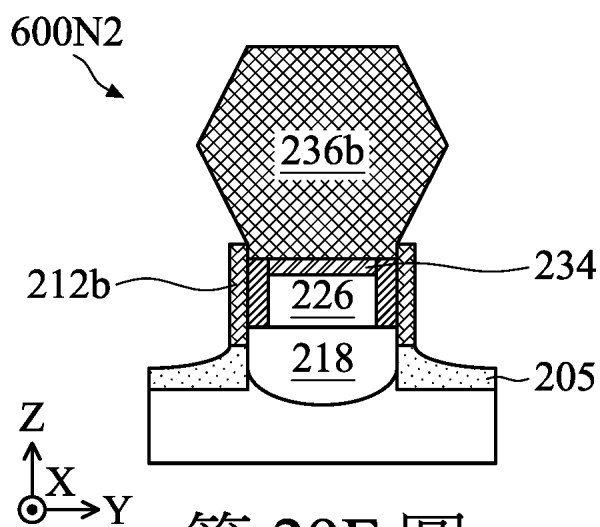
Z

Y

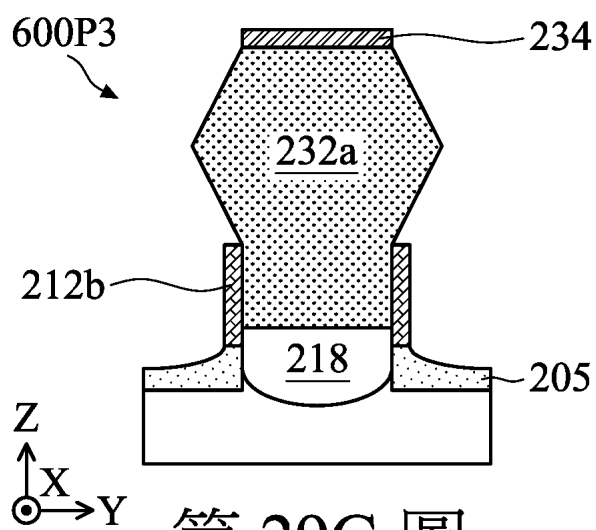
第 29D 圖



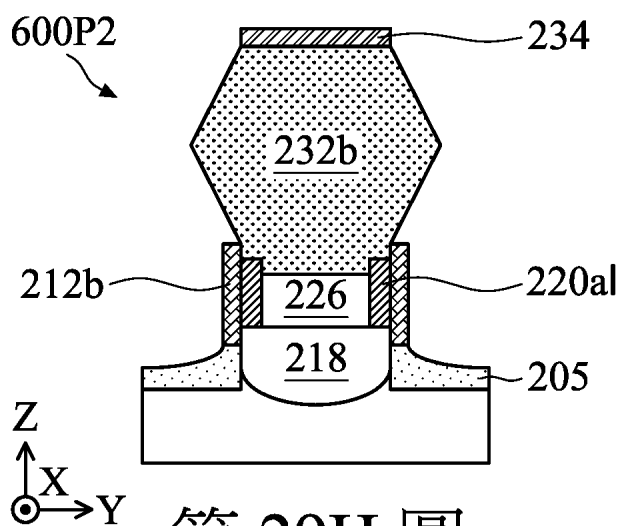
第 29E 圖



第 29F 圖



第 29G 圖



第 29H 圖