

【11】證書號數：I938561

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W74/10 (2026.01) H10W20/49 (2026.01)
 H10W70/62 (2026.01) H10W74/01 (2026.01)
 H10W72/50 (2026.01)

發明

全 16 頁

【54】名稱：製造半導體裝置的方法

【21】申請案號：113107515

【22】申請日：中華民國 111 (2022) 年 11 月 10 日

【11】公開編號：202425255

【43】公開日期：中華民國 113 (2024) 年 06 月 16 日

【30】優先權：2021/12/08

南韓

10-2021-0175208

【72】發明人：權民寧 (KR) KWON, MINYOUNG；朴光郁 (KR) PARK, KWANGWUK；李榮敏 (KR) LEE, YOUNGMIN；李仁榮 (KR) LEE, INYOUNG；趙星東 (KR) CHO, SUNGDONG

【71】申請人：南韓三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
南韓

【74】代理人：林孟閱；盧佩君；陳怡如

【56】參考文獻：

TW 200511383A

TW 201225300A

TW 201616651A

US 2020/0273780A1

審查人員：陳聖

【57】申請專利範圍

1. 一種製造半導體裝置的方法，所述方法包括：

在半導體基底上形成層間絕緣層；

在所述層間絕緣層上形成罩幕材料層；

在用於形成具有第一直徑的第一通孔結構的第一位置及用於形成具有第二直徑的第二通孔結構的第二位置中的各者處移除所述層間絕緣層的上部表面上的所述罩幕材料層的一部分；

在所述第一位置處移除所述層間絕緣層及所述半導體基底的一部分兩者以形成第一初級凹槽；

在所述第二位置處移除所述層間絕緣層的至少一部分以形成第二初級凹槽；

在所述第一初級凹槽及所述第二初級凹槽的位置處同時蝕刻所述半導體基底的部分以形成第一介層孔及第二介層孔；

分別在所述第一介層孔及所述第二介層孔中形成所述第一通孔結構及所述第二通孔結構；以及

形成電連接至所述第一通孔結構及所述第二通孔結構的外部連接端子，

其中所述第一初級凹槽的深度大於所述第二初級凹槽的深度以補償所述第一初級凹槽和所述第二初級凹槽之間的直徑差異而導致的同時蝕刻所述半導體基底的部分的過程在蝕刻速度上的差異，

所述第一初級凹槽的直徑小於所述第二初級凹槽的直徑，以及

在所述第二位置處移除所述罩幕材料層的所述部分包括藉由使用包含散射條的光罩來對所述罩幕材料層進行曝光，所述散射條安置於所述第二位置處的所述罩幕材料層的所述上部表面上，

(2)

其中在移除所述層間絕緣層的所述上部表面上的所述罩幕材料層的所述一部分期間，當至少所述層間絕緣層的所述上部表面暴露時，所述第一位置處的所述罩幕材料層的厚度不同於所述第二位置處的所述罩幕材料層的厚度。

2. 如請求項 1 所述的製造半導體裝置的方法，其中所述第二通孔結構的外側壁在高於所述第一初級凹槽的下部表面的垂直層級處接觸所述半導體基底或所述層間絕緣層。
3. 如請求項 1 所述的製造半導體裝置的方法，其中
所述第一初級凹槽的下部表面位於低於所述半導體基底的上部表面的垂直層級處，且
所述第二初級凹槽的下部表面位於與所述半導體基底的所述上部表面相同的平面上，或
位於低於所述半導體基底的所述上部表面的垂直層級處。
4. 如請求項 1 所述的製造半導體裝置的方法，其中
所述第一通孔結構的側壁包括朝向所述第一通孔結構的中心水平地突出的至少一個底切區，且
所述底切區的至少一個位置與所述第一初級凹槽的下部表面的位置相同。

圖式簡單說明

將自結合隨附圖式進行的以下詳細描述更清晰地理解本發明概念的一些實例實施例，在隨附圖式中：

圖 1 為用於描述根據實例實施例的半導體裝置的平面配置視圖。

圖 2 為示出圖 1 的第一矽穿孔（TSV）單元區的放大視圖。

圖 3 為示出在根據實例實施例的半導體裝置中的沿著圖 2 的線 III-III' 截取的橫截面表面的側視圖。

圖 4A 及圖 4B 為詳細示出由圖 3 的 IV 示出的區的部分放大視圖。

圖 5 為示出在根據實例實施例的半導體裝置中的沿著圖 2 的線 III-III' 截取的橫截面表面的側視圖。

圖 6 為示出根據實例實施例的半導體裝置的橫截面表面的側視圖。

圖 7 為示出根據實例實施例的製造半導體裝置的方法的流程圖。

圖 8A 至圖 8I 為示出製造半導體裝置的方法的側視橫截面視圖。

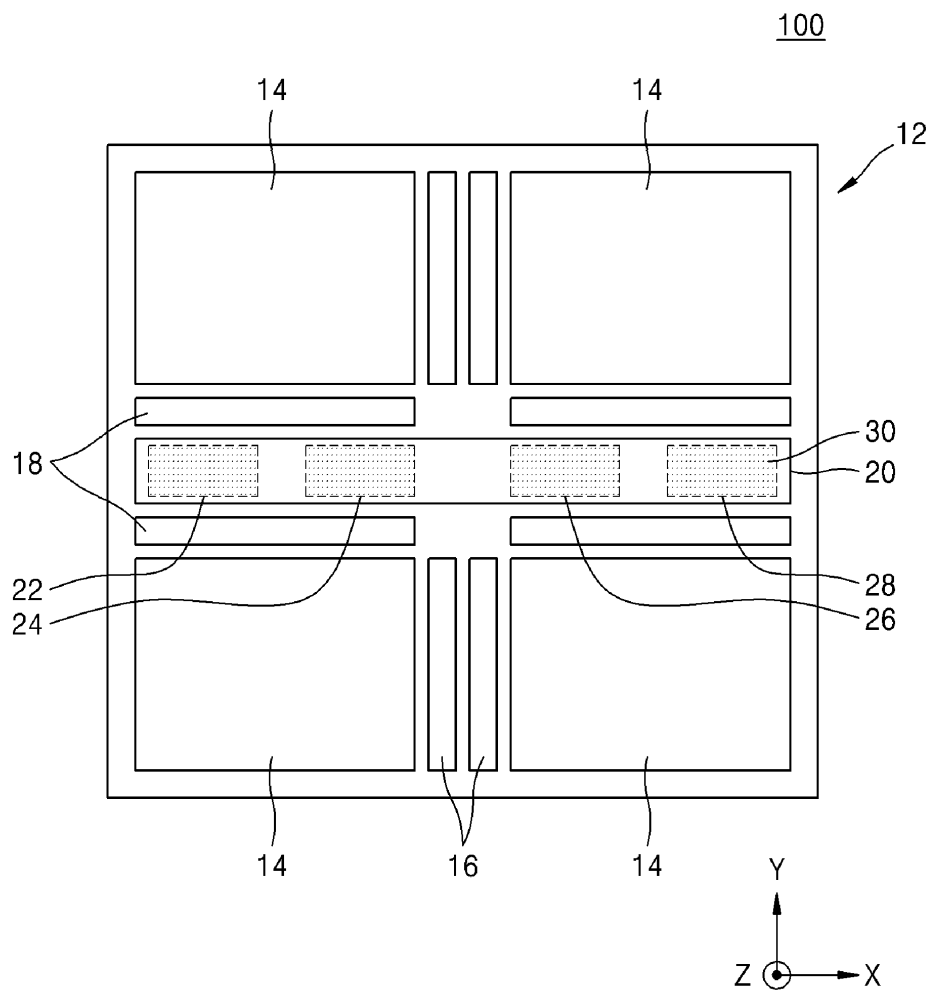
圖 9 為更詳細地示出形成第一初級凹槽及第二初級凹槽的操作的流程圖。

圖 10 為更詳細地示出形成第一通孔結構介層孔及第二通孔結構介層孔的操作的流程圖。

圖 11A 至圖 11D 為示出根據實例實施例的製造半導體裝置的方法的側視橫截面視圖。

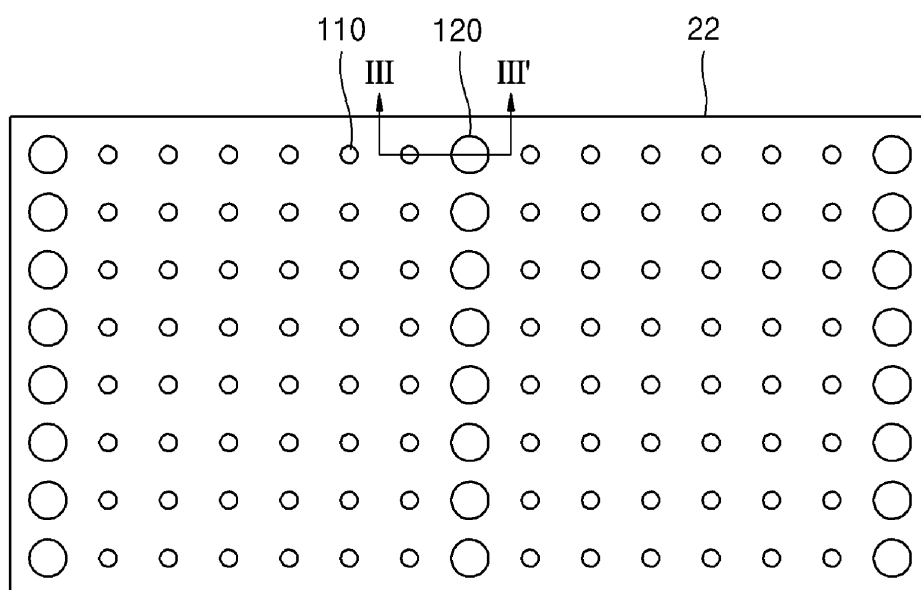
圖 12 為示出根據實例實施例的半導體封裝的主要組態的橫截面視圖。

(3)

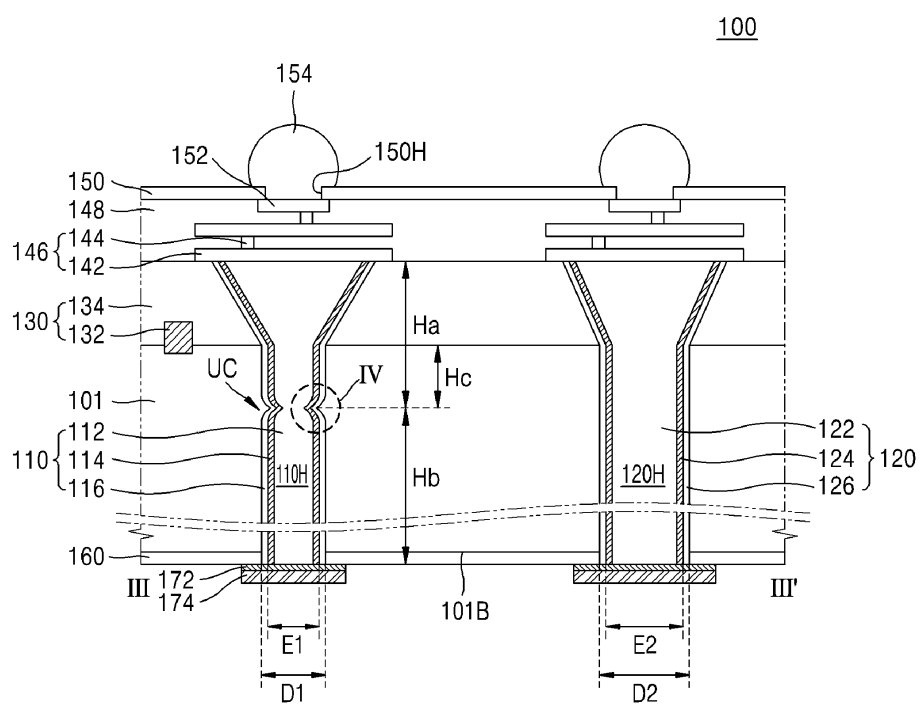


【圖1】

(4)

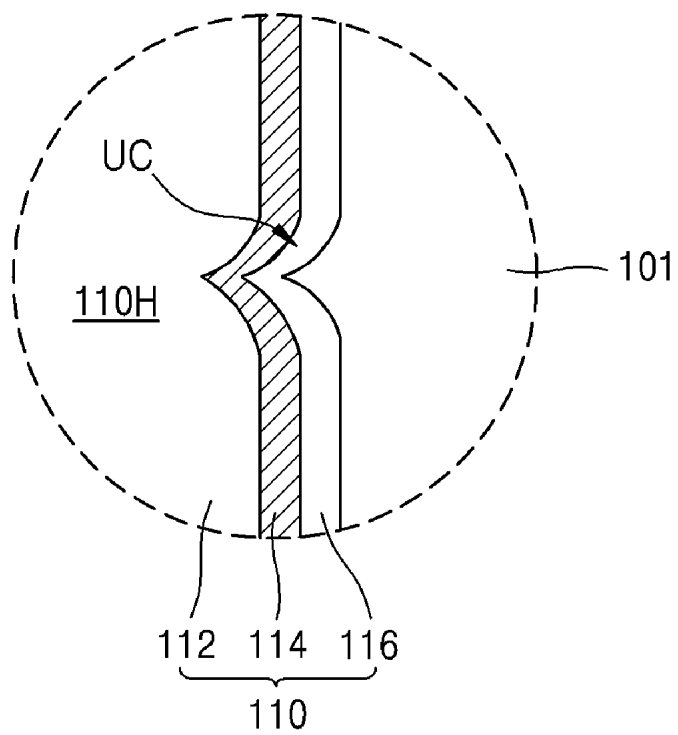


【圖2】



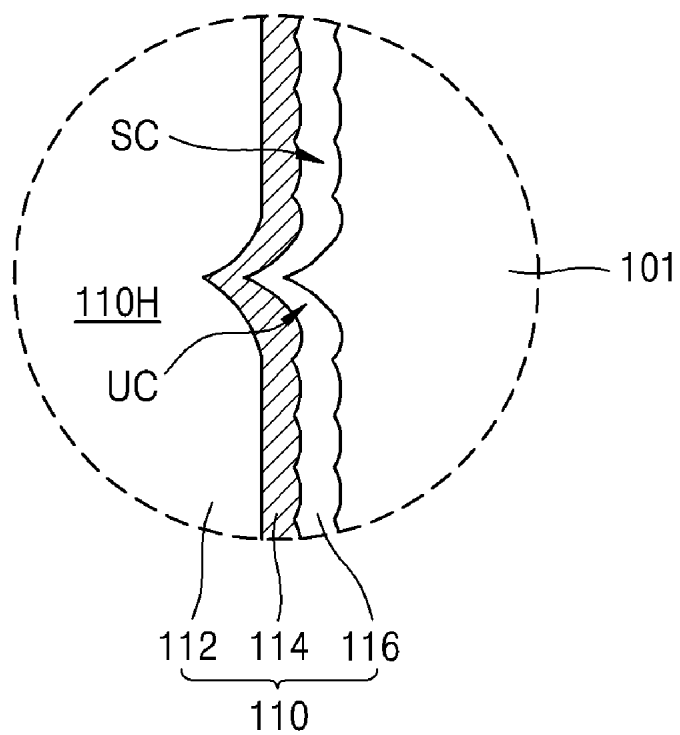
【圖3】

(5)

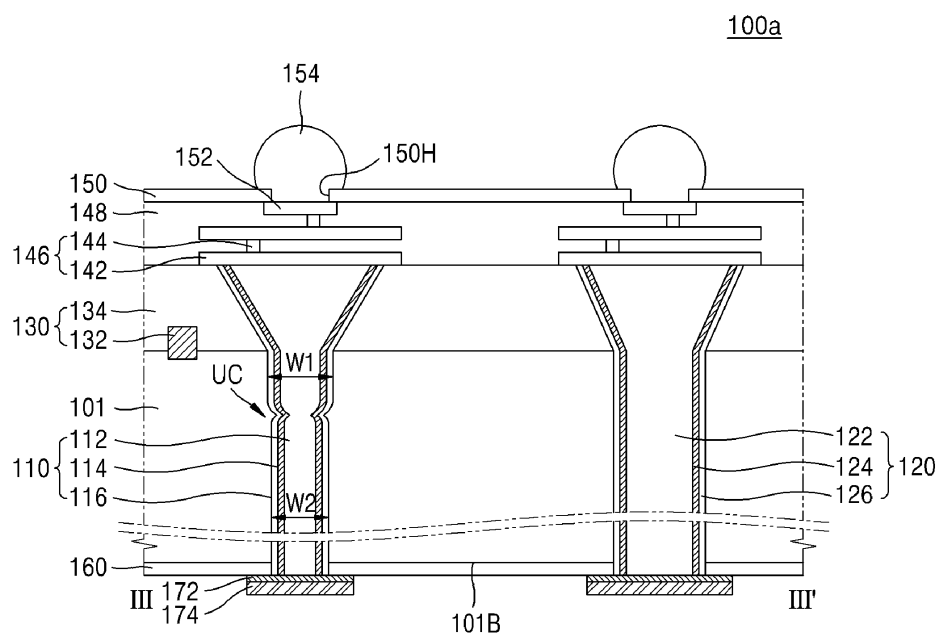


【圖4A】

(6)

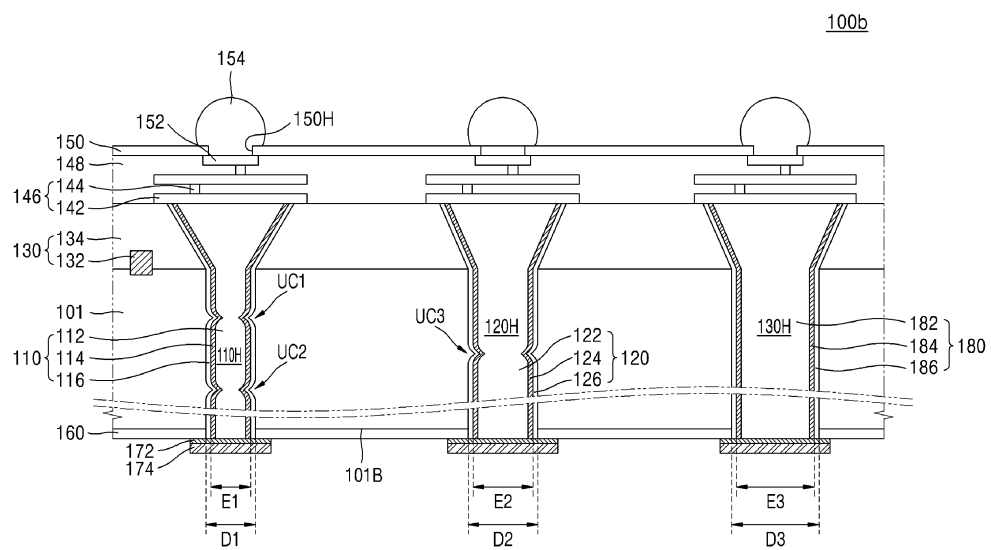


【圖4B】



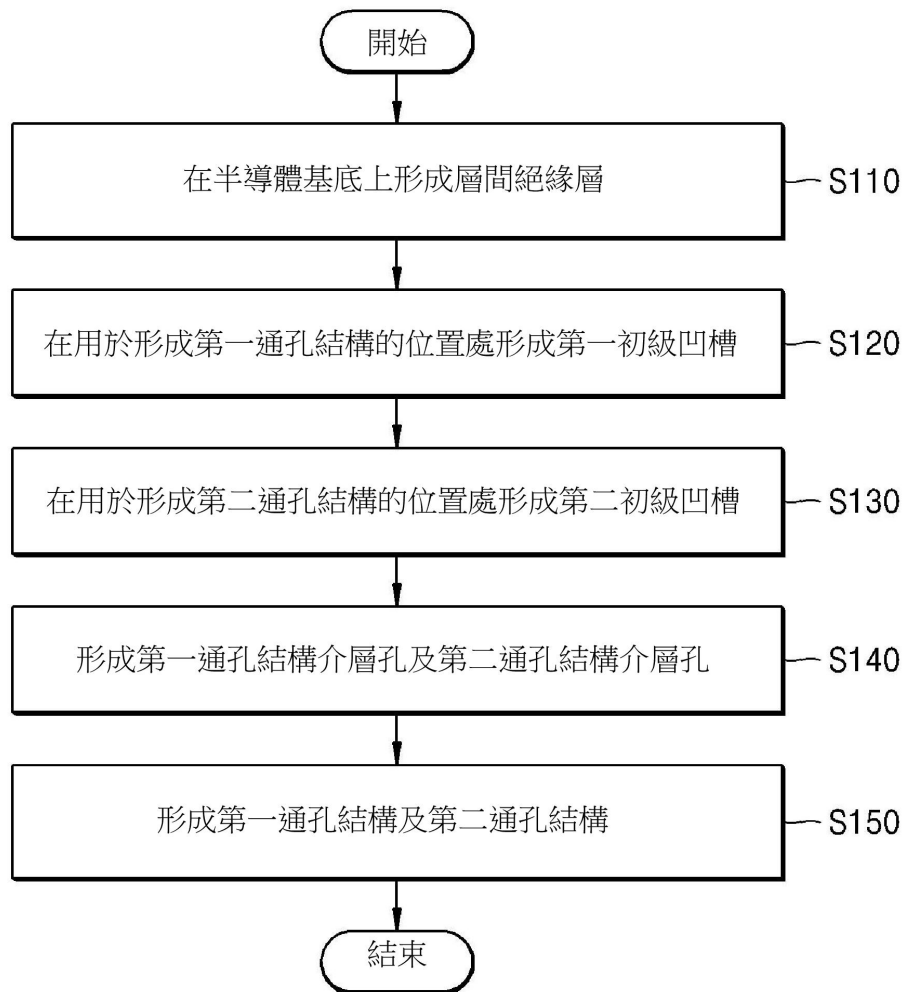
【圖5】

(7)



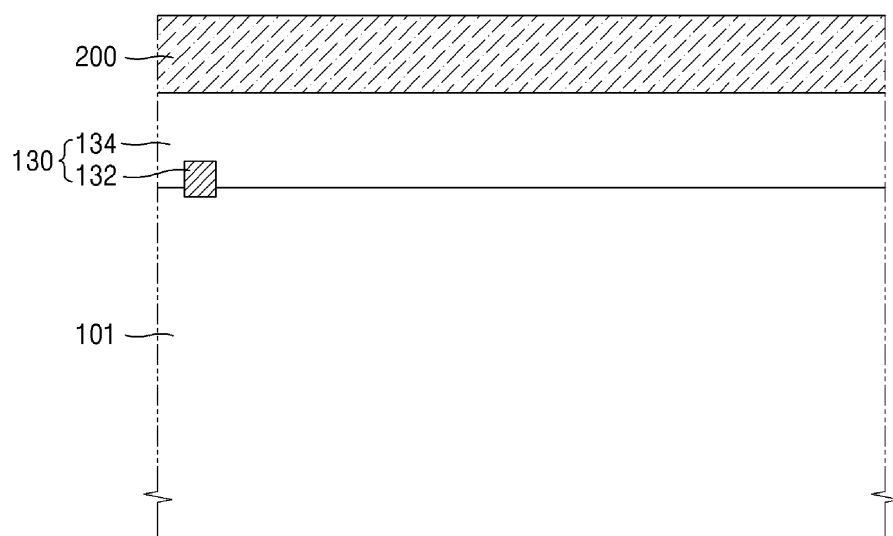
【圖6】

(8)

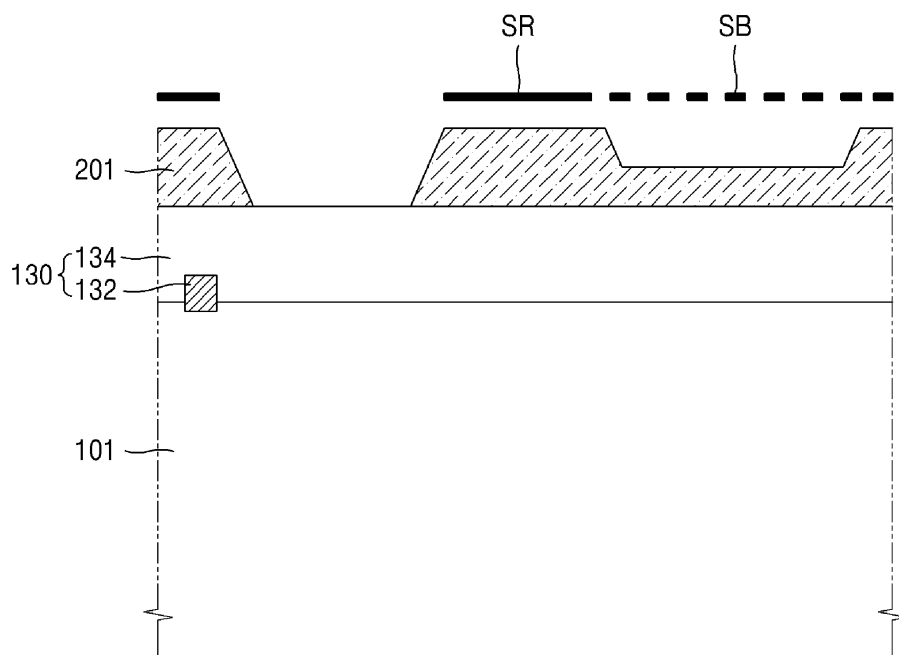


【圖7】

(9)

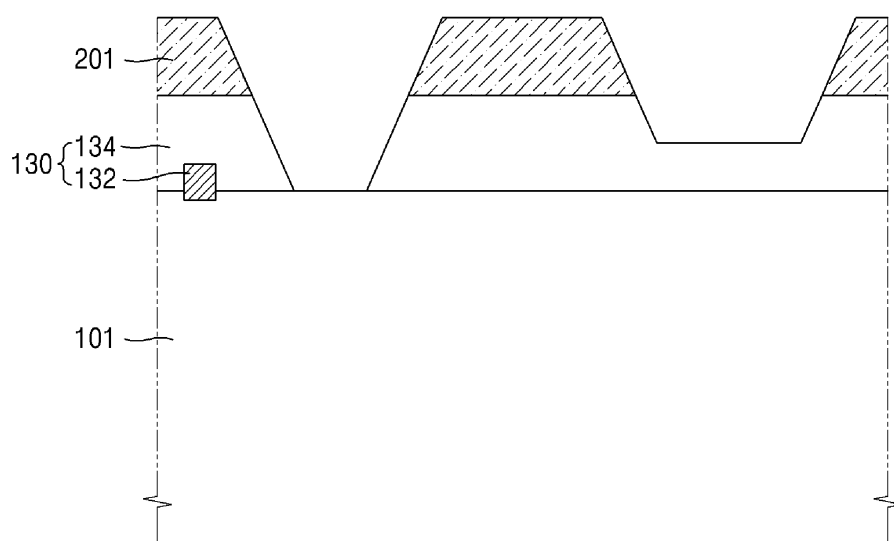


【圖8A】

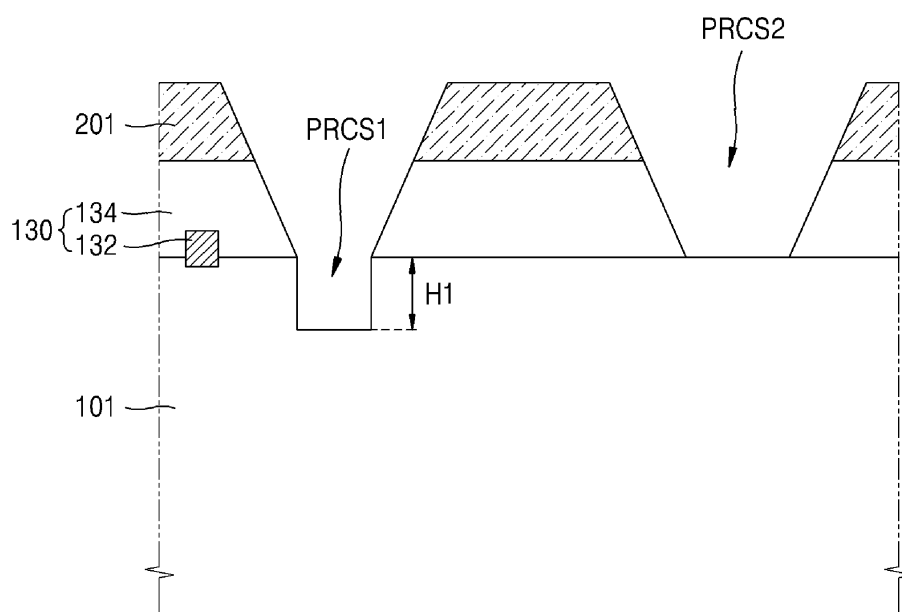


【圖8B】

(10)

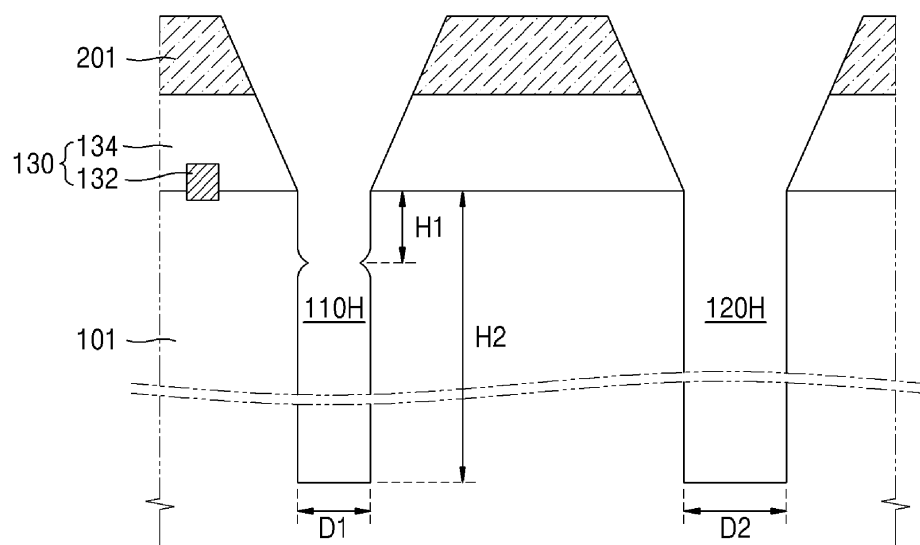


【圖8C】

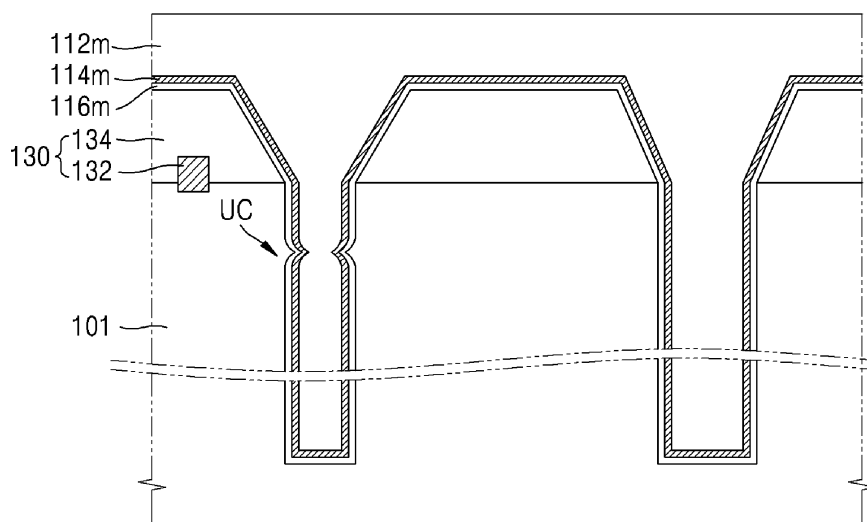


【圖8D】

(11)



【圖8E】

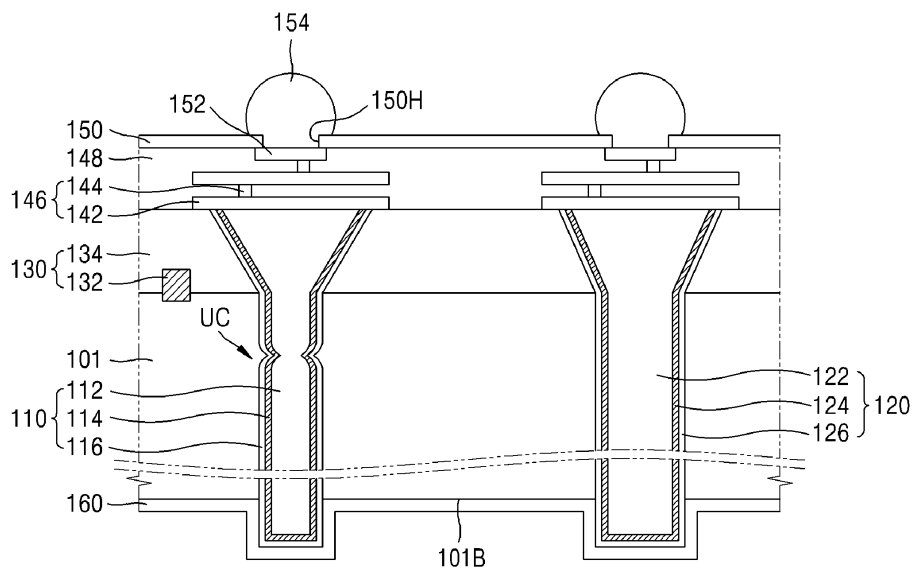


【圖8F】

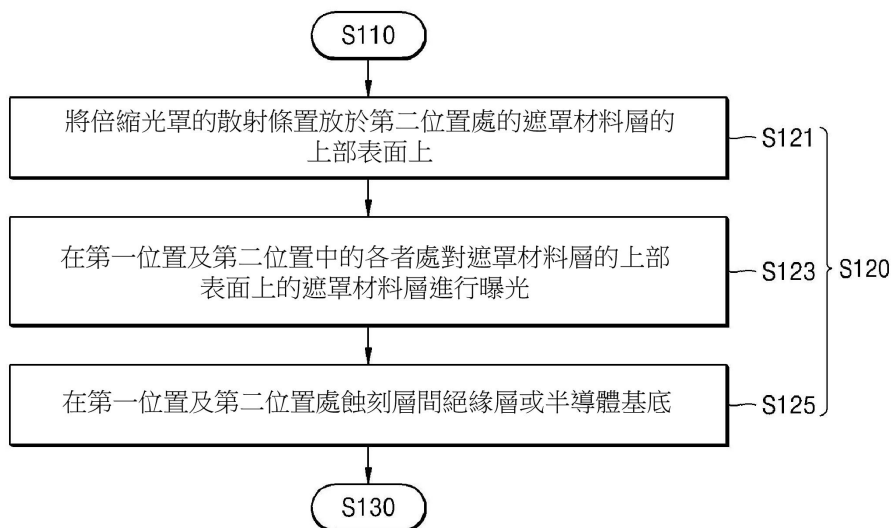
This cross-sectional view shows a semiconductor device with a trench structure. The device includes a substrate 101 with a trench 110. The trench 110 has a bottom surface 112, side walls 114, and a bottom layer 116. A trench isolation layer 120 is formed on the side walls 114, with layers 122, 124, and 126. A gate structure 130 is formed on the top surface of the substrate 101, with a gate dielectric layer 132 and a gate electrode layer 134. A contact plug 142 is formed in the trench 110, with a contact layer 144 and a contact pad 148. A conductive layer 150 is formed on the top surface of the substrate 101, with a conductive pad 152 and a conductive layer 154. A conductive layer 150H is formed on the top surface of the substrate 101, with a conductive pad 152 and a conductive layer 154. A conductive layer 150H is formed on the top surface of the substrate 101, with a conductive pad 152 and a conductive layer 154. A conductive layer 150H is formed on the top surface of the substrate 101, with a conductive pad 152 and a conductive layer 154.

- 3997 -

(13)

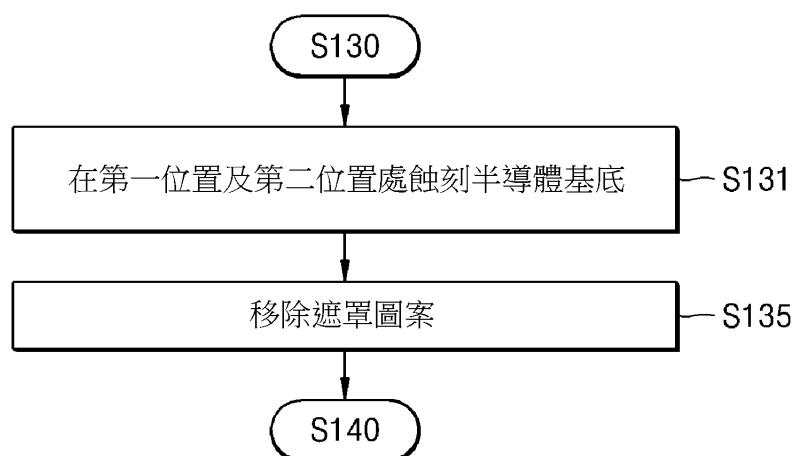


【圖8I】

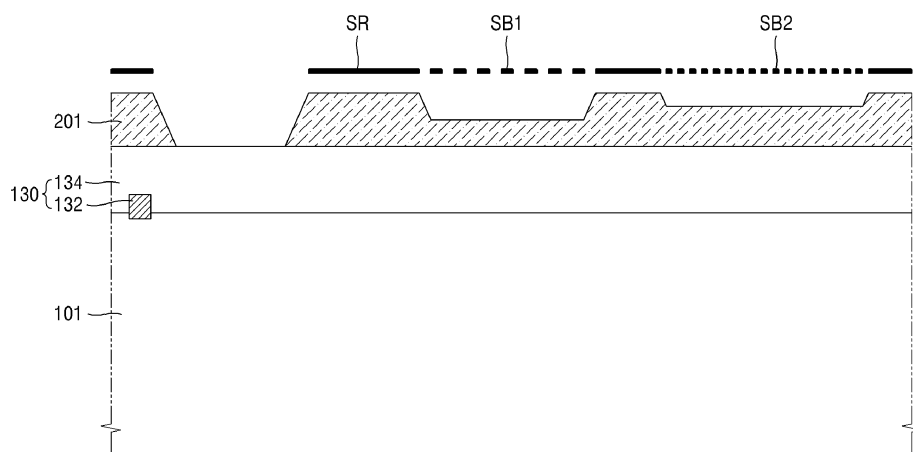


【圖9】

(14)

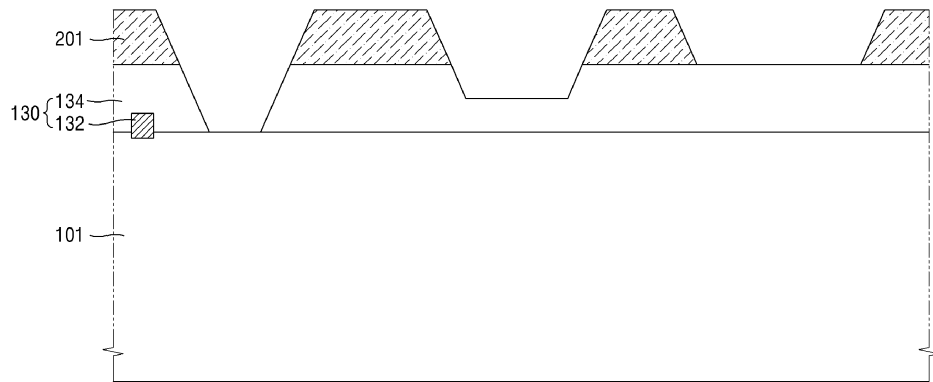


【圖10】

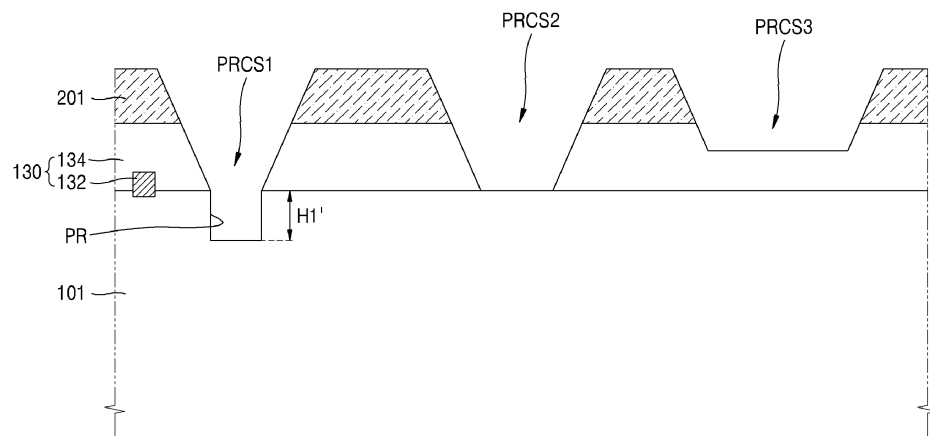


【圖11A】

(15)

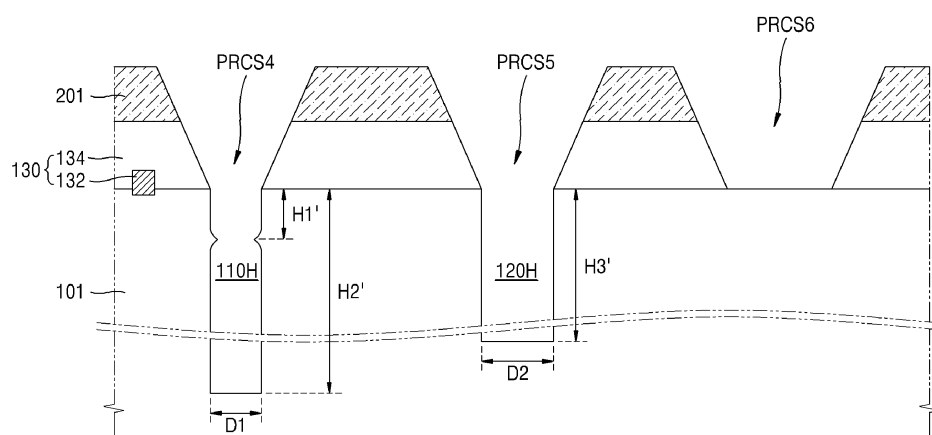


【圖11B】

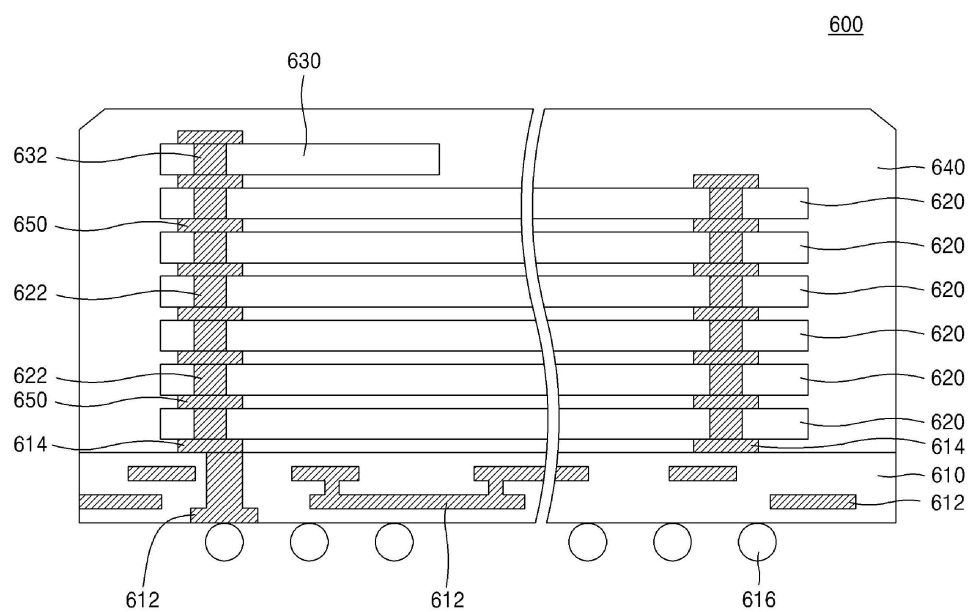


【圖11C】

(16)



【圖11D】



【圖12】