

【11】證書號數：I938562

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D30/01 (2025.01) H10P32/00 (2026.01)
H10D30/60 (2025.01) H10D62/60 (2025.01)

發明

全 13 頁

【54】名稱：具有更高接面崩潰電壓的電晶體結構及其形成方法

【21】申請案號：113108036 【22】申請日：中華民國 113 (2024) 年 03 月 06 日

【11】公開編號：202529547 【43】公開日期：中華民國 114 (2025) 年 07 月 16 日

【30】優先權：2024/01/10 美國 18/408,944

【72】發明人：陳奕寰 (TW) CHEN, YI-HUAN；宋主名 (TW) SONG, JHU-MIN；周建志 (TW) CHOU, CHIEN-CHIH；陳斐筠 (TW) CHEN, FEI-YUN

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW 201824383A

審查人員：董柏昌

【57】申請專利範圍

1. 一種電晶體的形成方法，包括：

在基底中以及主動區的相對側上形成輕摻雜汲極區；
在所述基底上形成閘極疊層，所述閘極介電層與所述輕摻雜汲極區重疊，所述閘極疊層包括閘極介電層以及位於所述閘極介電層上的虛設閘極；
在所述輕摻雜汲極區之上的所述閘極疊層的側壁上形成閘極間隙壁；
在各個輕摻雜汲極區內蝕刻多個源極/汲極溝渠，以形成多個源極/汲極區；以及
在各個源極/汲極溝渠中形成應變源極和汲極結構，其中所述應變源極和汲極結構不延伸到所述閘極間隙壁下方。

2. 如請求項 1 所述的方法，其中各個應變源極和汲極結構具有從所述應變源極和汲極結構的週邊增加至中心的摻質梯度濃度。

3. 如請求項 1 所述的方法，其中各個源極/汲極溝渠具有梯形剖面，且在所述各個源極/汲極溝渠的底部處具有較小的寬度。

4. 如請求項 1 所述的方法，進一步包括：在形成所述輕摻雜汲極區之前，在所述基底中形成隔離區以定義所述主動區。

5. 如請求項 1 所述的方法，進一步包括：在形成所述閘極間隙壁之前，在所述閘極疊層的所述側壁上形成至少一密封層。

6. 如請求項 1 的所述方法，在形成所述應變源極和汲極結構之後，進一步包括：

移除所述虛設閘極以形成閘極部分；
在所述閘極部分中沉積閘極材料以形成閘極結構；
在所述源極/汲極區上施加中間層介電材料；
在所述主動區上形成第一絕緣層；
蝕刻出穿過所述第一絕緣層至所述源極/汲極區與所述閘極結構的多個開口；以及

以導電材料填充所述多個開口，以形成至少一源極通孔、至少一汲極通孔以及閘極通孔。

7. 一種電晶體，包括：
 - 基底；
 - 閘極疊層，位於所述基底之上，所述閘極疊層包括閘極介電層以及位於所述閘極介電層之上的閘極結構；
 - 第一輕摻雜汲極區與第二輕摻雜汲極區，所述第一輕摻雜汲極區與所述第二輕摻雜汲極區從所述閘極疊層下方向所述閘極疊層的相對側延伸；
 - 閘極間隙壁，位於所述第一輕摻雜汲極區與所述第二輕摻雜汲極區之上的所述閘極疊層的側壁上；以及
 - 應變源極和汲極結構，穿過所述第一輕摻雜汲極區與所述第二輕摻雜汲極區，其中所述應變源極和汲極結構不延伸到所述閘極間隙壁的下方。
8. 如請求項 7 所述的電晶體，其中所述應變源極和汲極結構是溝渠形式，其中在所述溝渠的底部處的寬度小於在所述溝渠的頂部處的寬度。
9. 如請求項 7 所述的電晶體，其中各個應變源極和汲極結構具有從所述應變源極和汲極結構的週邊向所述應變源極和汲極結構的中心增加的摻質梯度濃度。
10. 一種電晶體，包括：
 - 基底，包括在二源極/汲極區之間延伸的多個鰭；
 - 閘極介電層，位在所述二源極/汲極區之間的所述鰭的至少三側上；
 - 閘極層，位在所述閘極介電層之上；
 - 閘極間隙壁，位在所述閘極層的側壁上；
 - 輕摻雜汲極區，從各個源極/汲極區延伸到所述閘極介電層下方；以及
 - 應變源極和汲極結構，延伸到所述二源極/汲極區中，並且穿過所述輕摻雜汲極區，其中所述應變源極和汲極結構不延伸到所述閘極間隙壁的下方。

圖式簡單說明

當與所附圖式一起閱讀時，可從以下詳細描述中最好地理解本揭露的多個方面。需要說明的是，依照業界標準慣例，各特徵並未依照比例繪製。事實上，各種特徵的尺寸對於討論的清晰性是可以任意增加或減少的。

圖 1A 是，顯示了根據本揭露一些實施例中第一示例性實施例的電晶體結構的 Y 軸剖視圖。

圖 1B 是第一示例性實施例的平面圖。

圖 2 是根據一些實施例所繪示出用以形成電晶體結構的方法流程圖。圖 3 至圖 16 繪示出此方法的各種步驟。

圖 3 是在圖 2 的方法開始之前，基底的 Y 軸剖視圖。

圖 4 是在形成一個或多個隔離區以定義主動區之後，基底的 Y 軸剖視圖。

圖 5 是在主動區的相對側上形成光摻雜汲極(LDD)區之後，基底的 Y 軸剖視圖。

圖 6 是形成包括閘極介電層以及虛設閘極的閘極疊層之後，基底的 Y 軸剖視圖。閘極疊層與二輕摻雜汲極區重疊。

圖 7 是在閘極疊層的側壁上形成密封層之後，基底的 Y 軸剖視圖。

圖 8 是在閘極疊層的側壁上形成二密封層以及閘極間隙壁之後，基底的 Y 軸剖視圖。

圖 9A 是在閘極疊層二側上蝕刻進入各個被暴露出的輕摻雜汲極區(LDD)的多個源極/汲極凹陷或溝渠之後，基底的 Y 軸剖視圖。

圖 9B 是一組可形成的源極/汲極溝渠的蝕刻剖面輪廓，取決於存在於蝕刻氣體中的阻燃劑(retardant)的濃度。

(3)

圖 10 是在源極/汲極凹陷中進行磊晶以獲得應變源極和汲極(strained source and drain , SSD)結構之後，基底的 Y 軸剖視圖。

圖 11 是在源極/汲極區之上形成中間層介電(interlayer dielectric , ILD)之後，基底的 Y 軸剖視圖。

圖 12 是移除虛設閘極之後，基底的 Y 軸剖視圖。

圖 13 是在電晶體上施加第一絕緣層之後，基底的 Y 軸剖視圖。

圖 14 是形成穿過第一絕緣層並且延伸至閘極結構與 SSD 結構的通孔之後，基底的 Y 軸剖視圖。

圖 15A 是在第一絕緣層上施加第二絕緣層，並且在第二絕緣層中形成墊以形成源極電極、汲極電極與閘極，以形成電晶體封裝之後，基底的 Y 軸剖視圖。

圖 15B 是根據本揭露的另一實施例中電晶體封裝的 Y 軸剖視圖。此處，僅提供了一個絕緣層。

圖 16 是電晶體封裝的另一個實施例的透視圖，其繪示了閘極沿著 X 軸從源極電極與汲極電極偏移。

圖 17 是根據本揭露另一實施例中電晶體的 Y 軸剖視圖。此處，閘極介電層形成在基板的凹陷中。

圖 18 是根據本揭露另一實施例中電晶體的 Y 軸剖視圖。此處，閘極介電層與閘極結構延伸到基板的凹陷中。

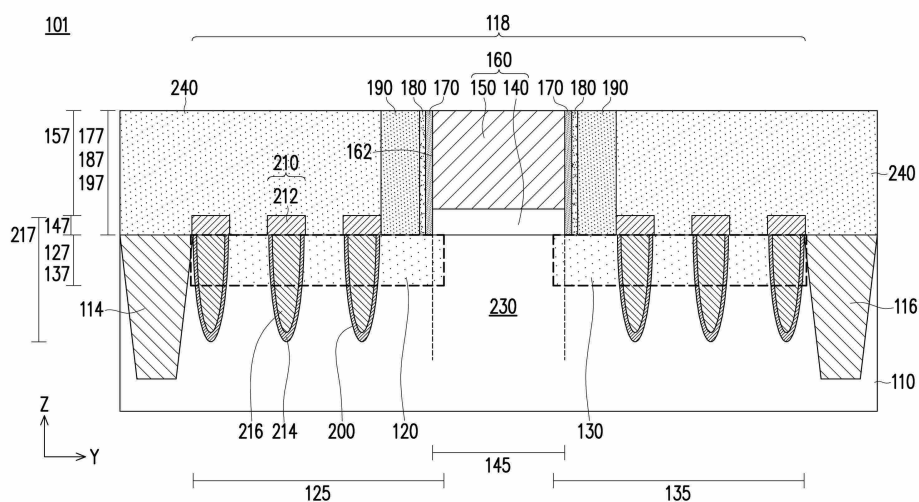
圖 19 是根據本揭露另一實施例中電晶體的透視圖。此處，電晶體是具有三維結構的 FinFET 形式。

圖 20 是通過圖 19 中的剖線 A-A 所繪示的閘極疊層結構的 Y 軸剖視圖。

圖 21 是通過圖 19 中的剖線 B-B 所繪示的 SSD 結構的 Y 軸剖視圖。

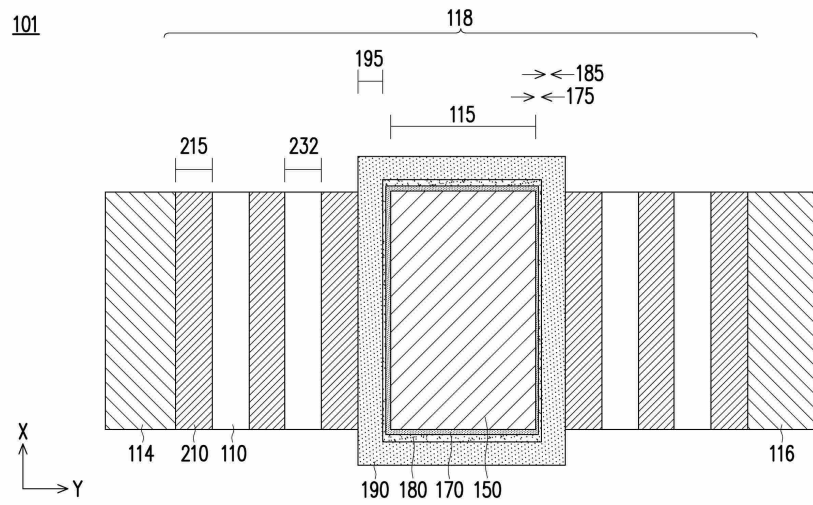
圖 22 是根據一些實施例中用於形成圖 19 至圖 21 的 FinFET 結構的方法流程圖。

圖 23 是汲極洩漏電流與汲極電壓的關係圖。y 軸為對數，而 x 軸為線性。

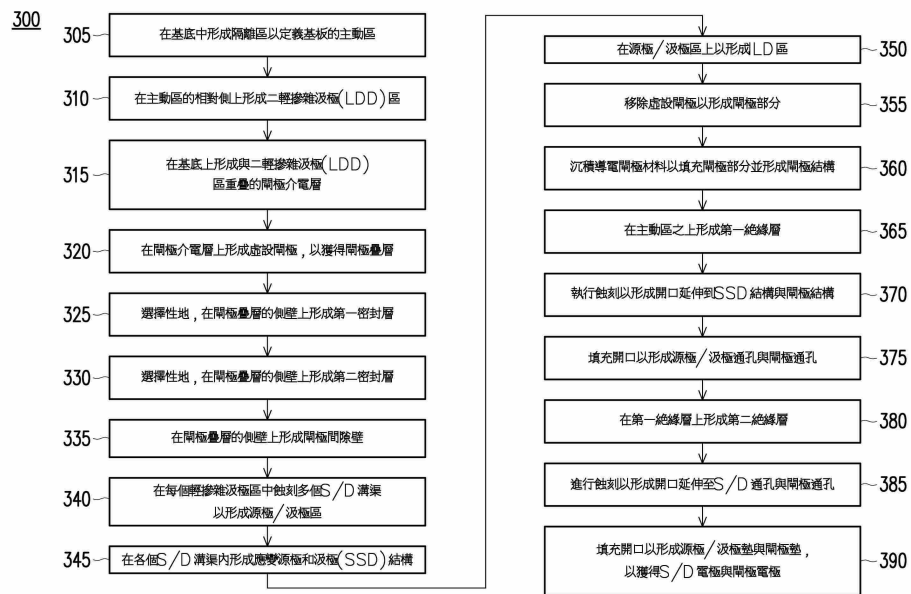


【圖1A】

(4)



【圖1B】

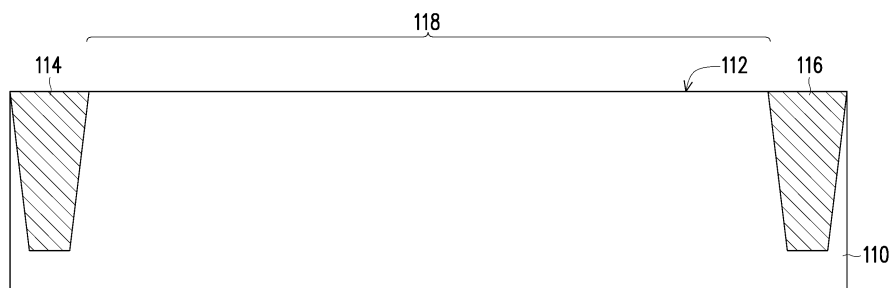


【圖2】

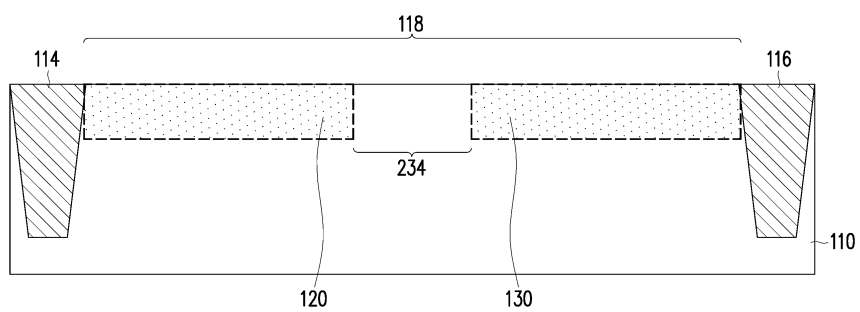


【圖3】

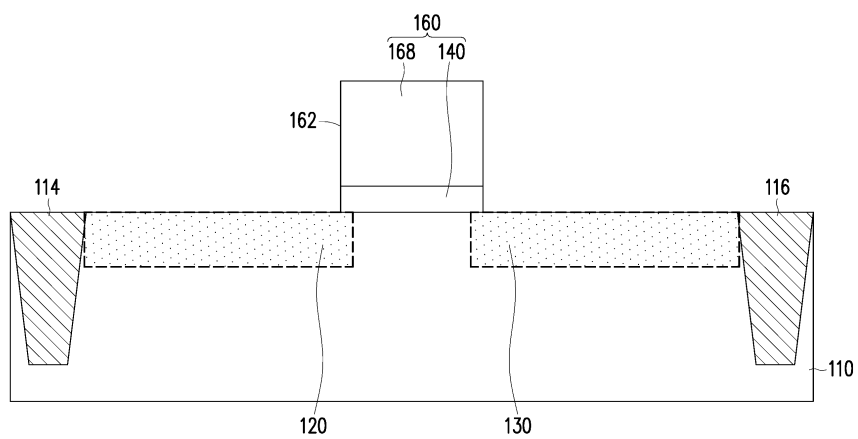
(5)



【圖4】

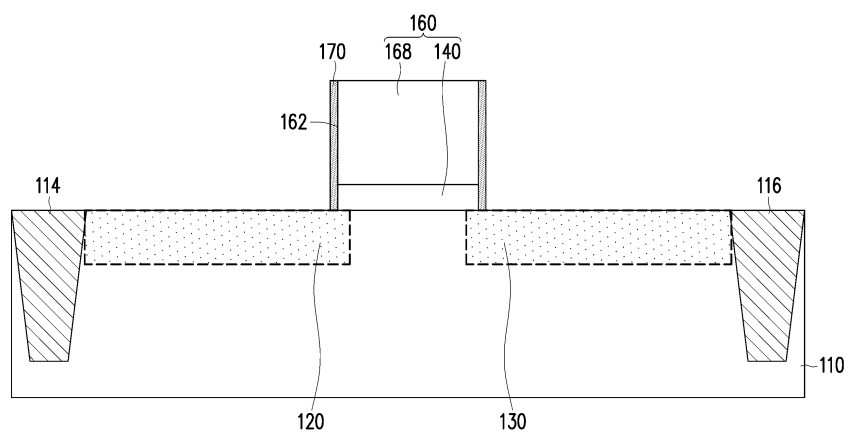


【圖5】

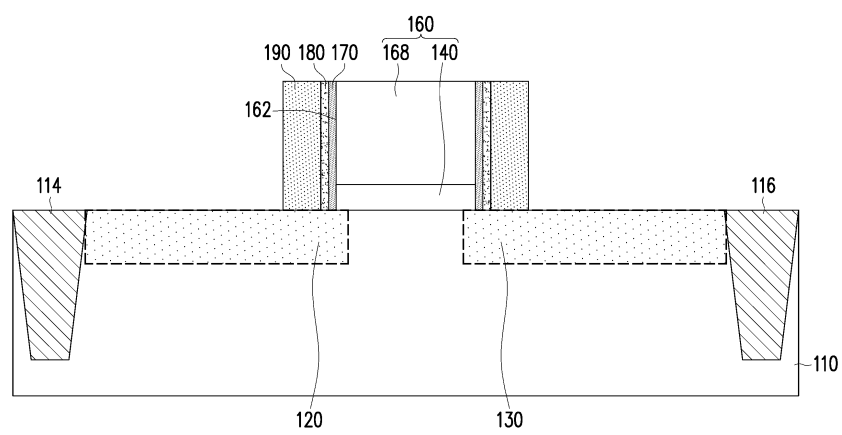


【圖6】

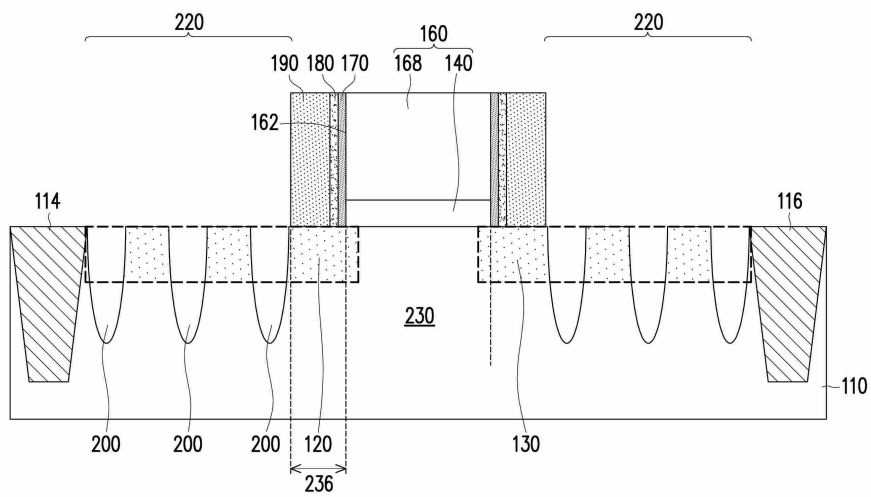
(6)



【圖7】

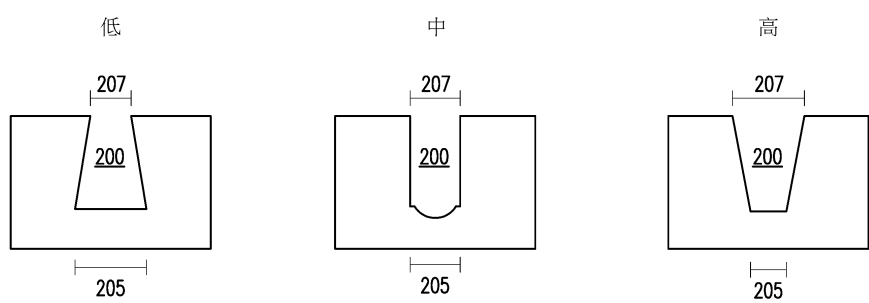


【圖8】

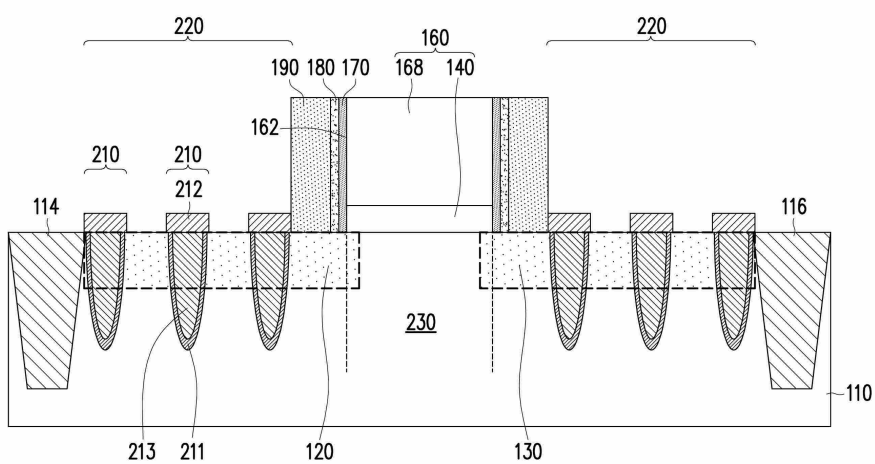


【圖9A】

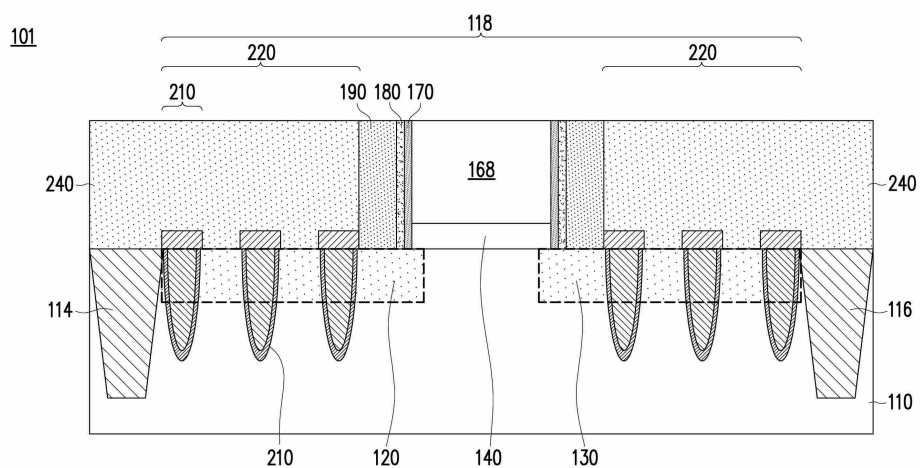
(7)



【圖9B】

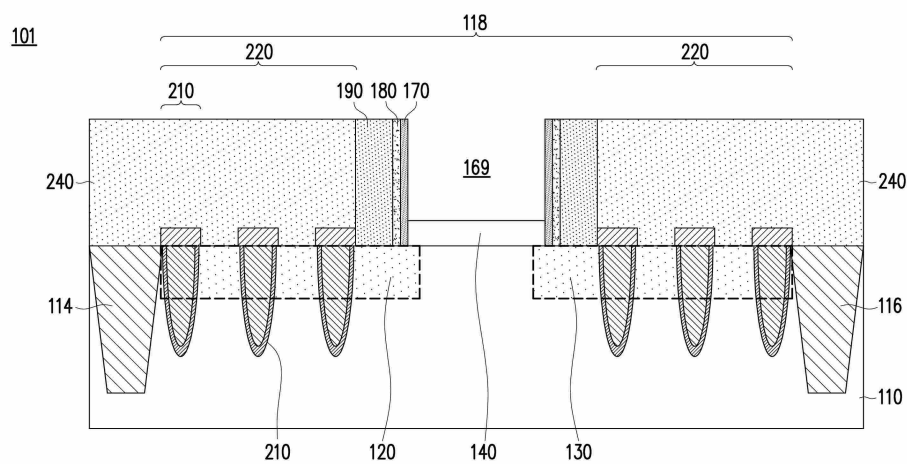


【圖10】

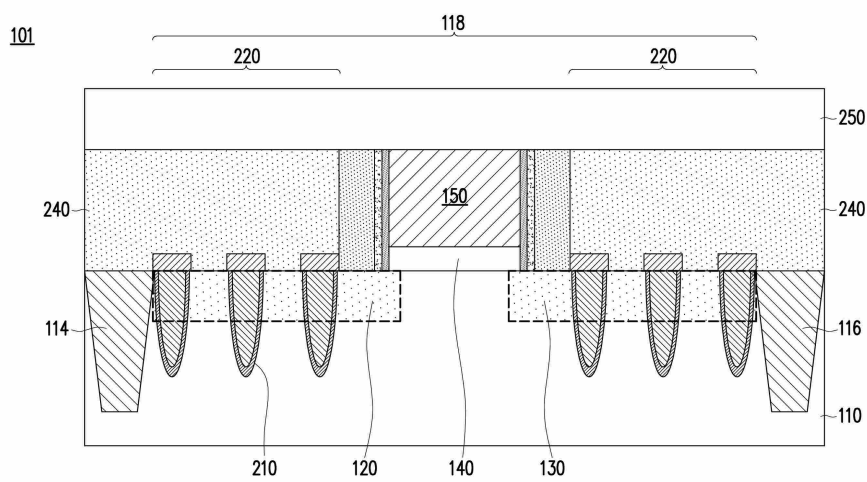


【圖11】

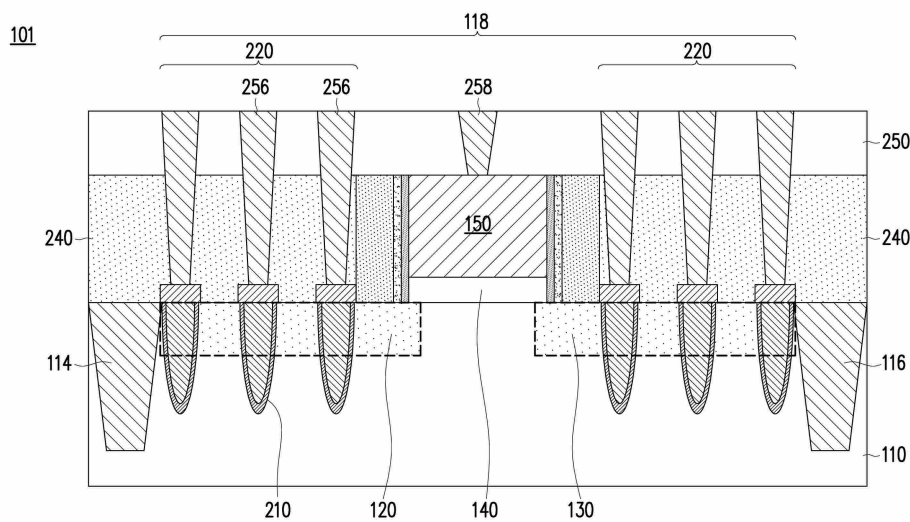
(8)



【圖12】

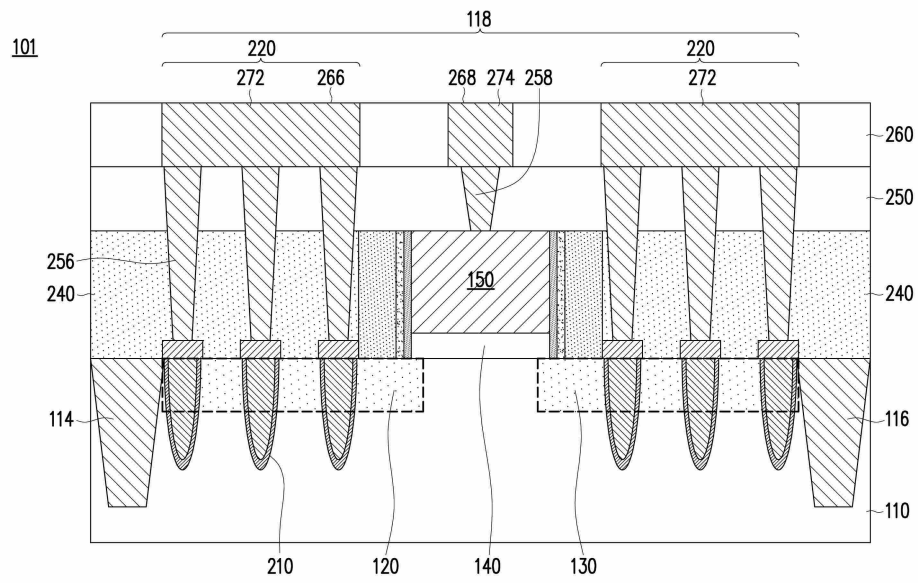


【圖13】

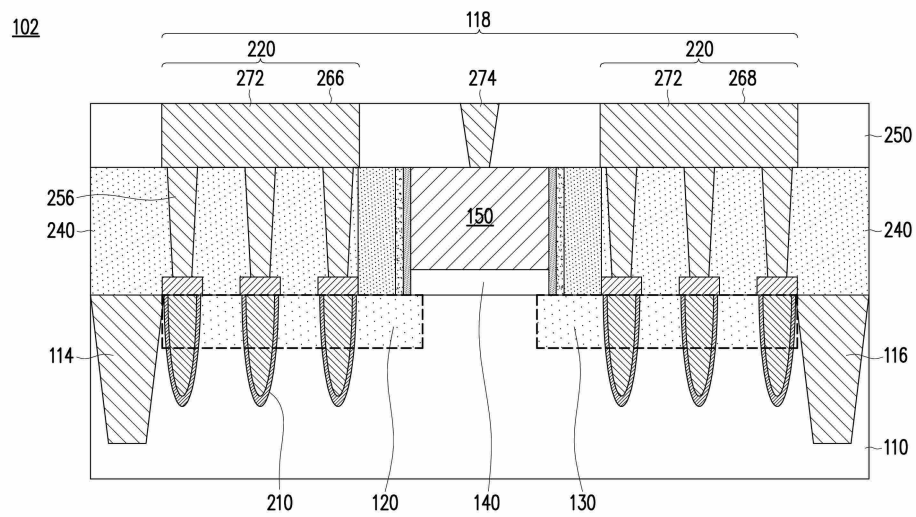


【圖14】

(9)

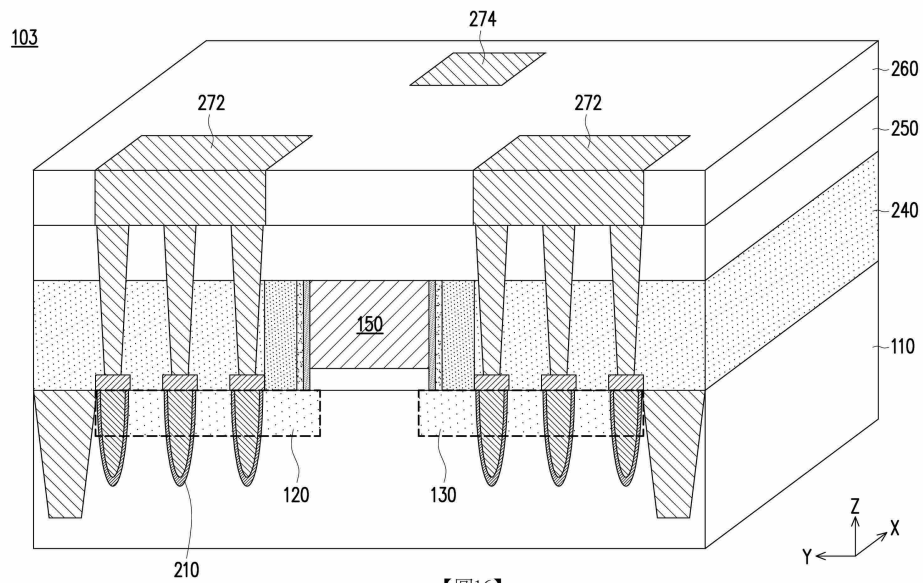


【圖15A】



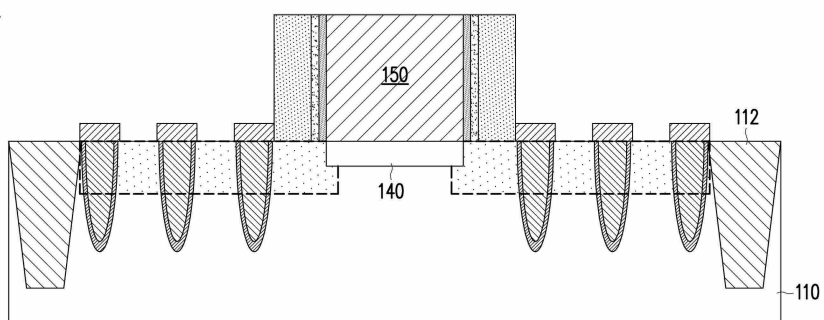
【圖15B】

(10)



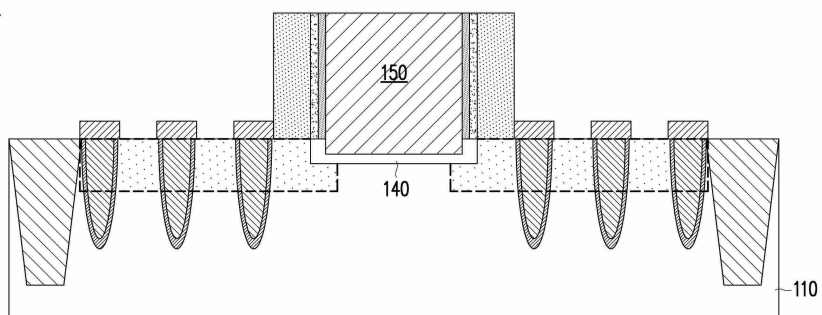
【圖16】

104



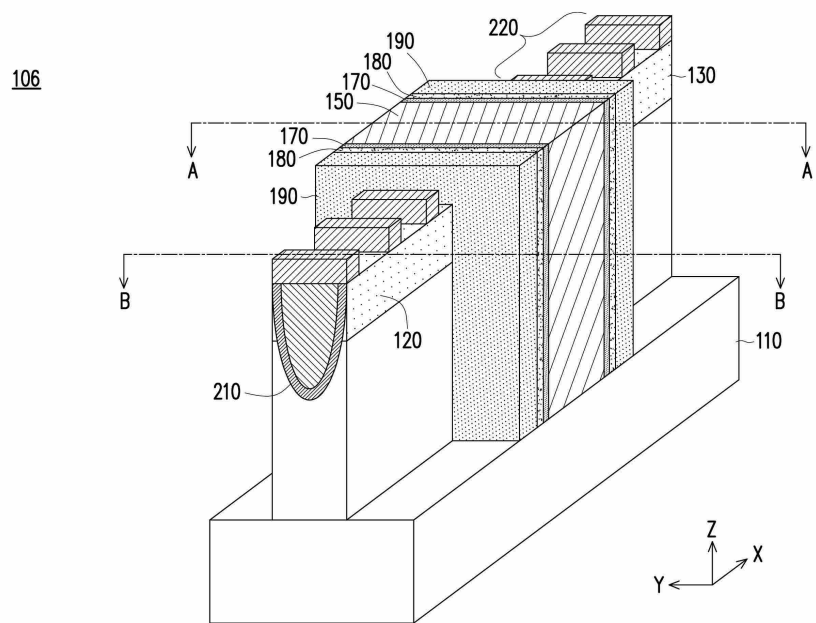
【圖17】

105

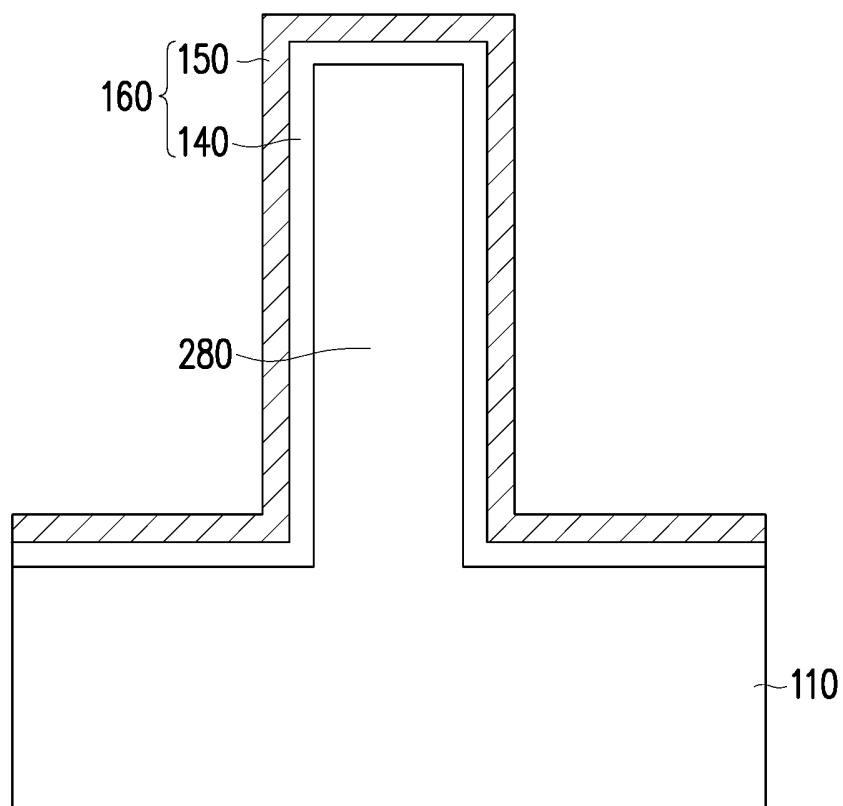


【圖18】

(11)

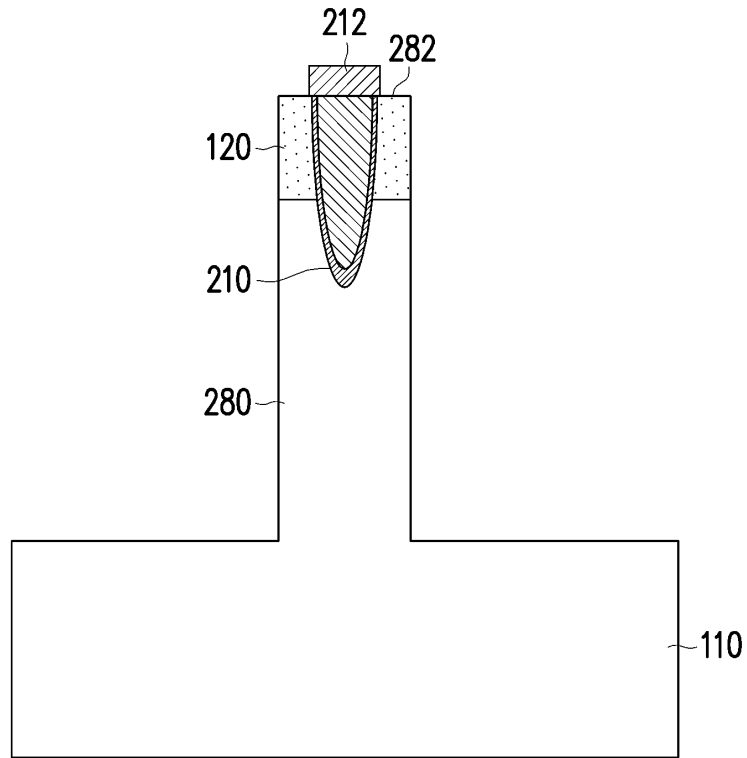


【圖19】

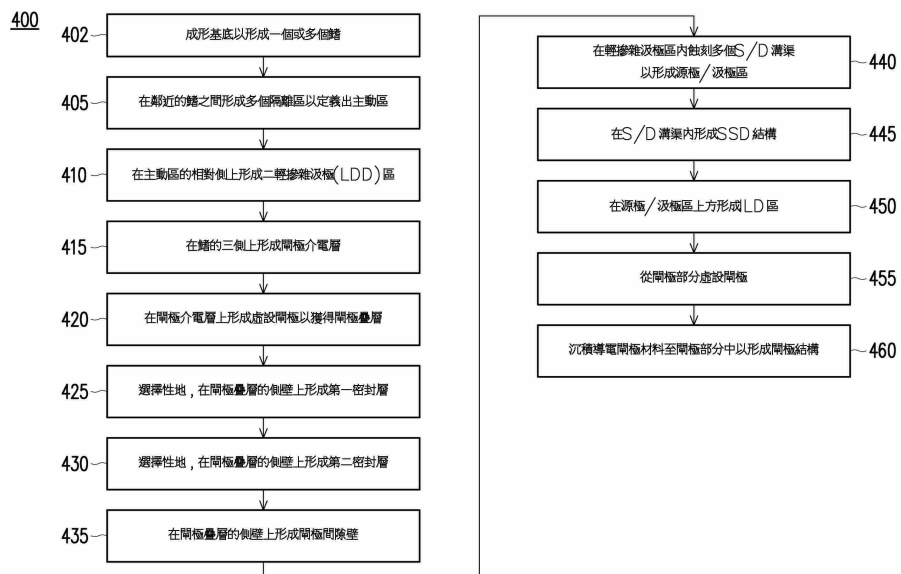


【圖20】

(12)

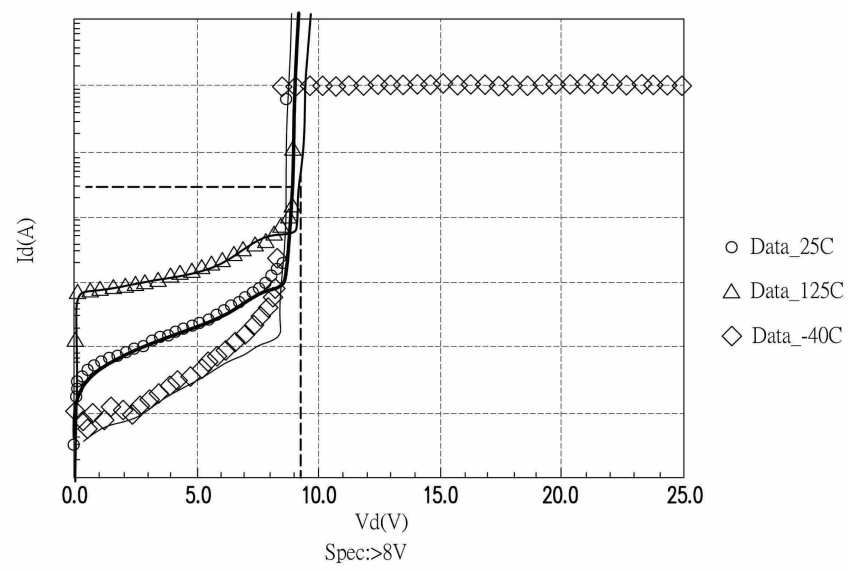


【圖21】



【圖22】

(13)



【圖23】