

【11】證書號數：I938591

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : G06F30/392 (2020.01) G06F30/398 (2020.01)
發明 全 24 頁

【54】名稱：積體電路 (IC) 裝置、IC 佈局及產生 IC 佈局的方法

【21】申請案號：113118583 【22】申請日：中華民國 113 (2024) 年 05 月 20 日

【11】公開編號：202526689 【43】公開日期：中華民國 114 (2025) 年 07 月 01 日

【30】優先權：2023/12/18 美國 63/611,508
2024/03/26 美國 18/616,730

【72】發明人：方上維 (TW) FANG, SHANG-WEI；曾健庭 (TW) TZENG, JIANN-TYNG；鄭儀侃 (TW) CHENG, YI-KAN；林彥宏 (TW) LIN, YEN-HUNG；黃聖丰 (TW) HUANG, SHENG-FENG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.
新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW	202303856A	TW	202318418A
CN	114530446A	US	2020/0058656A1

審查人員：簡大翔

【57】申請專利範圍

1. 一種積體電路裝置，包括：

由半導體裝置構成的多個列，所述多個列沿著第一軸延伸且沿著橫跨於所述第一軸的第二軸並排佈置，

其中

所述多個列包括：

第一列，沿著所述第二軸具有第一高度，

第二列，沿著所述第二軸具有第二高度，所述第二高度小於所述第一高度，以及

第三列，

所述多個列中的每一者包括：

第一主動區，為第一導電類型，以及

第二主動區，為不同於所述第一導電類型的第二導電類型，所述第二主動區沿著所述第二軸而與所述第一主動區間隔開，且

沿著所述第二軸，所述第一列中的所述第一主動區或所述第二主動區的第一寬度大於所述第二列中的所述第一主動區或所述第二主動區的第二寬度，所述第三列的所述第一主動區與所述第一列及所述第二列中的一者的所述第一主動區合併成經合併第一主動區，且所述經合併第一主動區沿著所述第二軸佈置於所述第三列的所述第二主動區與所述第一列及所述第二列中的所述一者的所述第二主動區之間。

2. 如請求項 1 所述的積體電路裝置，其中

所述多個列包括沿著所述第二軸由一組列構成的重複圖案，且

所述一組列包括所述第一列及所述第二列。

3. 如請求項 2 所述的積體電路裝置，其中

所述一組列包括以下中的至少一者：

第一子組列，各自沿著所述第二軸具有所述第一高度，所述第一子組列包括所述第一列，或者

第二子組列，各自沿著所述第二軸具有所述第二高度，所述第二子組列包括所述第二列。

4. 如請求項 1 所述的積體電路裝置，其中
 所述多個列更包括沿著所述第二軸具有第三高度的第三列，所述第三高度小於所述第一高度且大於所述第二高度，且
 在所述第三列中，所述第一主動區或所述第二主動區沿著所述第二軸具有第三寬度，所述第三寬度小於所述第一寬度且大於所述第二寬度。
5. 如請求項 1 所述的積體電路裝置，滿足以下中的至少一者：
 在所述第一列中，所述第一主動區或所述第二主動區包括：
 具有所述第一寬度的部分，以及
 具有小於所述第一寬度的經減小第一寬度的另一部分，或者
 在所述第二列中，所述第一主動區或所述第二主動區包括：
 具有所述第二寬度的部分，以及
 具有小於所述第二寬度的經減小第二寬度的另一部分。
6. 如請求項 1 所述的積體電路裝置，其中
 所述第三列沿著所述第二軸具有與所述第一列及所述第二列中的所述一者相同的高度。
7. 一種儲存於非暫時性電腦可讀取儲存媒體上的積體電路（IC）佈局，所述積體電路佈局包括：
 第一電路區；以及
 第二電路區，
 其中
 所述第一電路區及所述第二電路區中的每一者包括：
 多個第一胞元，沿著胞元高度方向具有第一胞元高度，
 多個第二胞元，沿著所述胞元高度方向具有第二胞元高度，所述第二胞元高度小於所述第一胞元高度，及
 等效胞元高度，對應於所述第一胞元高度、所述第二胞元高度、所述多個第一胞元的列數及所述多個第二胞元的列數，且
 所述第一電路區的所述等效胞元高度不同於所述第二電路區的所述等效胞元高度，所述多個第一胞元中的一第一胞元包括：
 第一主動區及第二主動區，具有不同的導電類型且沿著所述胞元高度方向彼此間隔開，經延伸源極/汲極接觸件，沿著所述胞元高度方向在所述第一主動區及所述第二主動區之上延伸且電性耦合至所述第一主動區及所述第二主動區，以及
 導電圖案，在所述積體電路佈局的多個金屬層之中第二靠近所述第一主動區及所述第二主動區的金屬層中，沿著所述胞元高度方向在所述經延伸源極/汲極接觸件之上延伸且與所述經延伸源極/汲極接觸件以並聯方式電性耦合。
8. 如請求項 7 所述的積體電路佈局，更包括：
 多個第三胞元，沿著所述胞元高度方向具有第三胞元高度，所述第三胞元高度小於所述第一胞元高度且大於所述第二胞元高度，
 其中所述多個第三胞元包括於以下中的至少一者中：
 所述第一電路區，
 所述第二電路區，或者
 所述積體電路佈局的第三電路區，其中所述第三電路區中的所有胞元為所述多個第三胞元。

9. 如請求項 8 所述的積體電路佈局，更包括經合併胞元，其中
 所述經合併胞元包括兩個胞元，所述兩個胞元各自為所述多個第一胞元中的一者、所述
 多個第二胞元中的一者或所述多個第三胞元中的一者，
 所述兩個胞元的主動區合併成所述經合併胞元的經合併主動區，且
 所述經合併胞元沿著所述胞元高度方向的胞元高度是所述兩個胞元沿著所述胞元高度方
 向的胞元高度之和。
10. 一種產生電路區的積體電路佈局的方法，所述方法至少部分由處理器實行且包括：
 基於將由所述電路區實行的應用來確定等效胞元高度；
 基於所確定的所述等效胞元高度來確定胞元列配置，所述胞元列配置包括具有第一高度
 的至少一個第一列、具有不同於所述第一高度的第二高度的至少一個第二列以及第三
 列，所述第一列、所述第二列以及所述第三列沿著第一軸延伸且沿著橫跨於所述第一軸
 的第二軸並排佈置，其中所述第三列的第一主動區與所述第一列及所述第二列中的一者
 的第一主動區合併成經合併第一主動區，且所述經合併第一主動區沿著所述第二軸佈置
 於所述第三列的第二主動區與所述第一列及所述第二列中的所述一者的第二主動區之
 間；
 根據所確定的所述胞元列配置產生胞元陣列；以及
 實行放置及佈線操作以產生所述電路區的所述積體電路佈局，所述放置及佈線操作包括
 基於所述電路區進行以下操作：
 將具有所述第一高度的一或多個第一胞元放置於所產生的所述胞元陣列中具有所述第一
 高度的一或多個第一列中，以及
 將具有所述第二高度的一或多個第二胞元放置於所產生的所述胞元陣列中具有所述第二
 高度的一或多個第二列中。

圖式簡單說明

藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的態樣。應注意，根據行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1A 是根據一些實施例的 IC 裝置的方塊圖。

圖 1B 是根據一些實施例的 IC 裝置的部分的立體圖。

圖 1C 是根據一些實施例的圖 1B 所示 IC 裝置的所述部分的剖視圖。

圖 2A 是根據一些實施例的 IC 裝置的電路區的 IC 佈局的示意圖。

圖 2B 是根據一些實施例的圖 2A 所示 IC 佈局的簡化示意圖。

圖 2C 包括根據一些實施例的一或多個 IC 佈局中的各種胞元列配置的示意圖。

圖 3 包括根據一些實施例的可放置於 IC 佈局中的各種胞元的示意圖。

圖 4A 是根據一些實施例的 IC 裝置的電路區的 IC 佈局的示意圖。

圖 4B 及圖 4C 是根據一些實施例的一或多個 IC 佈局中的各種胞元列配置的示意圖。

圖 5A 是根據一些實施例的 IC 裝置的方塊圖。

圖 5B 及圖 5C 是根據一些實施例的一或多個 IC 裝置的各種電路區的 IC 佈局的示意圖。

圖 6 是根據一些實施例的 IC 裝置的電路區的 IC 佈局的示意圖。

圖 7A 包括根據一些實施例的 IC 裝置的電路區的示意性電路圖及剖視圖。

圖 7B 及圖 7C 是根據一些實施例的圖 7A 所示電路區的 IC 佈局的各個層處的示意圖。

圖 7D 包括根據一些實施例的 IC 裝置的電路區的示意性電路圖及剖視圖。

圖 7E 及圖 7F 是根據一些實施例的圖 7D 所示電路區的 IC 佈局的各個層處的示意圖。

圖 8A 是根據一些實施例的 IC 裝置的電路區的示意性電路圖。

(4)

圖 8B 是根據一些實施例的圖 8A 所示電路區的 IC 佈局的示意圖。

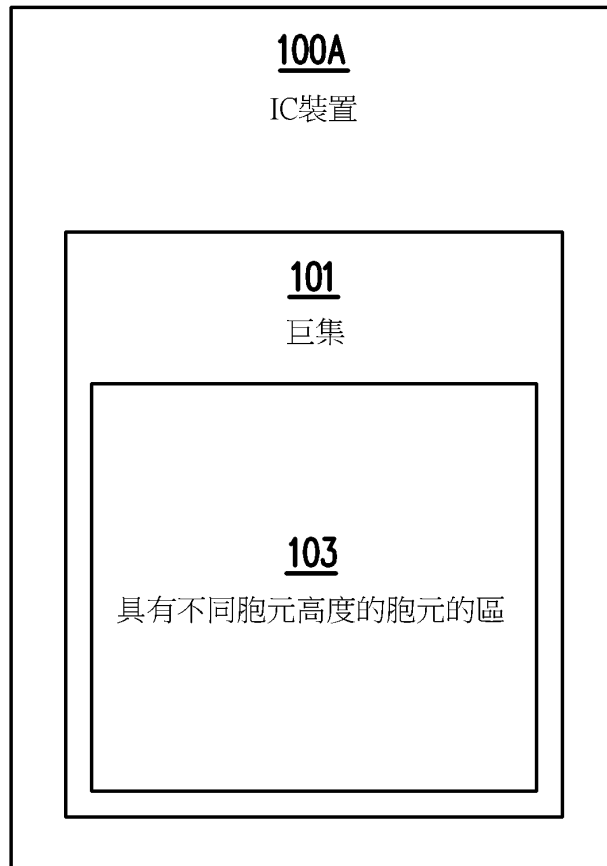
圖 9A 及圖 9B 是根據一些實施例的一或多個 IC 裝置的各種電路區的 IC 佈局的示意圖。

圖 10 是示出根據一些實施例的可放置於 IC 佈局中的各種胞元的佈線特徵的表格。

圖 11 及圖 12 是根據一些實施例的各種方法的流程圖。

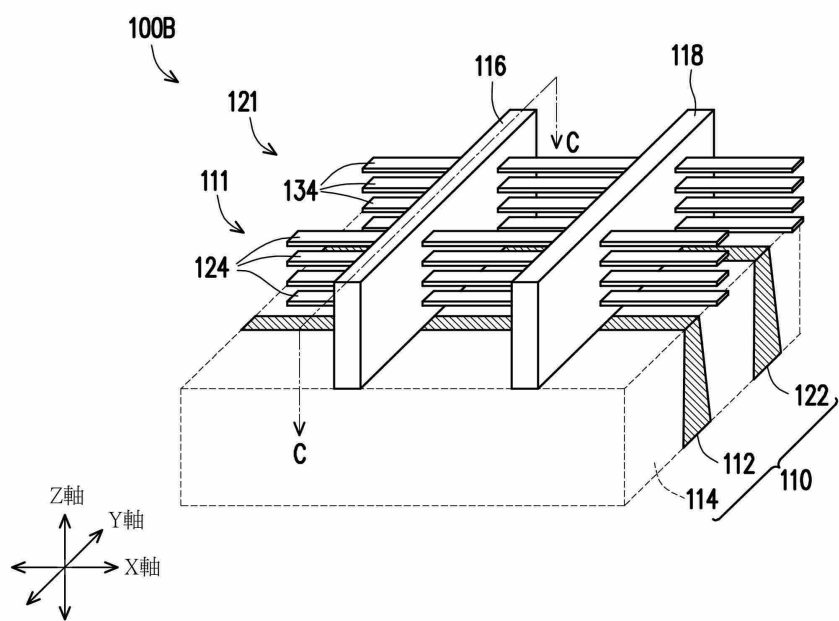
圖 13 是根據一些實施例的電子設計自動化(EDA)系統的方塊圖。

圖 14 是根據一些實施例的 IC 裝置製造系統以及與其相關聯的 IC 製造流程的方塊圖。

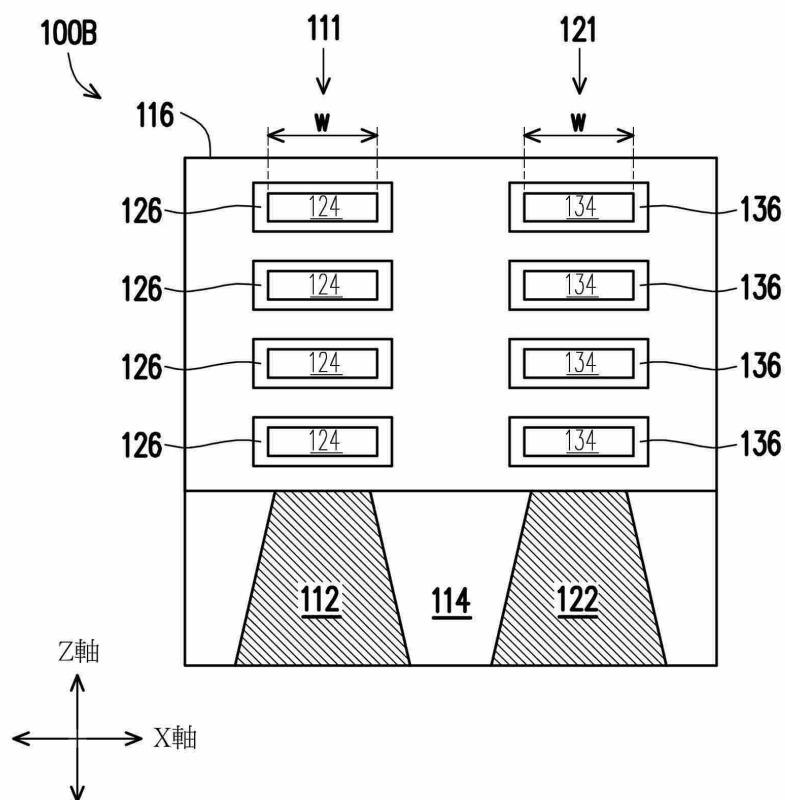


【圖1A】

(5)

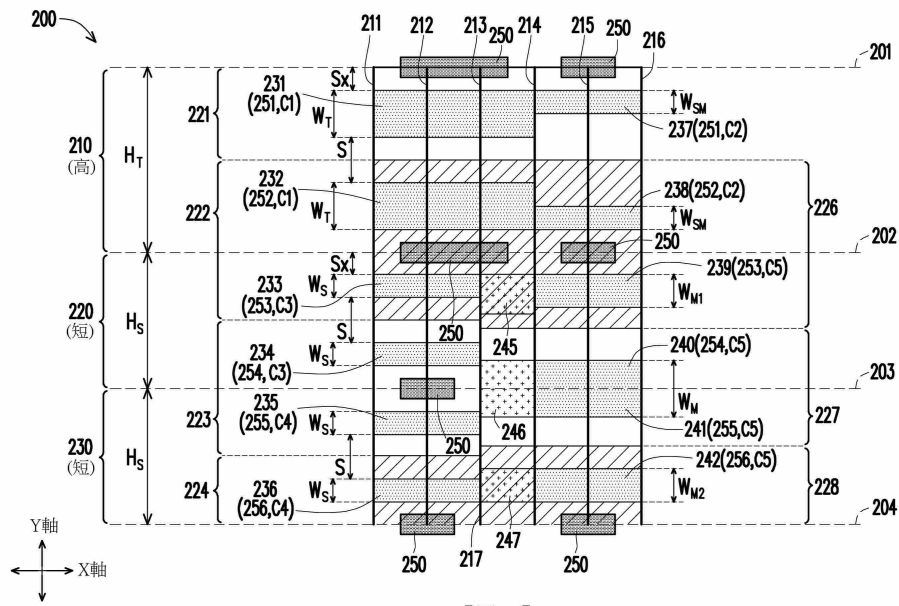


【圖1B】

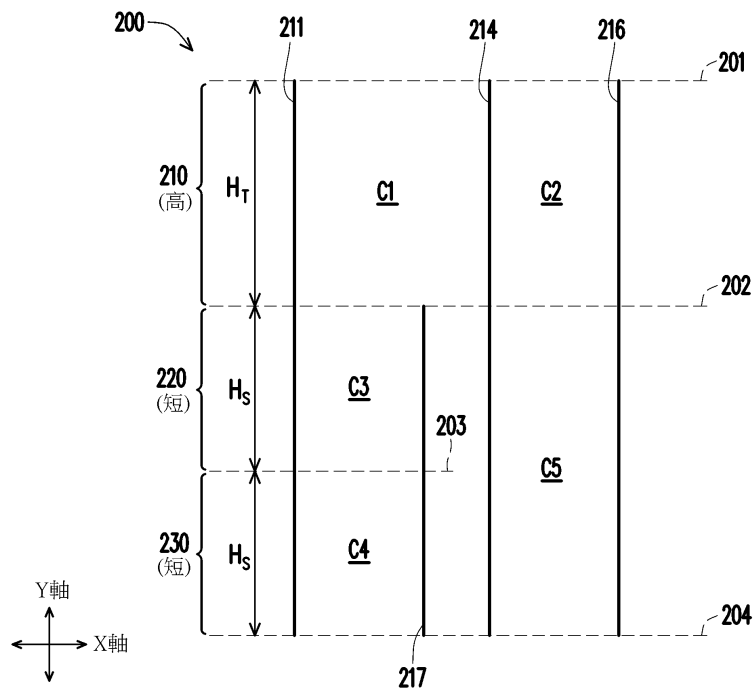


【圖1C】

(6)

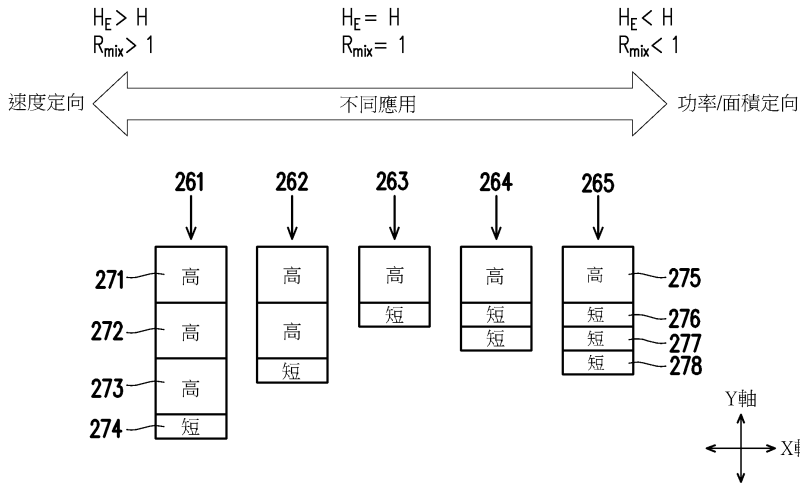


【圖2A】

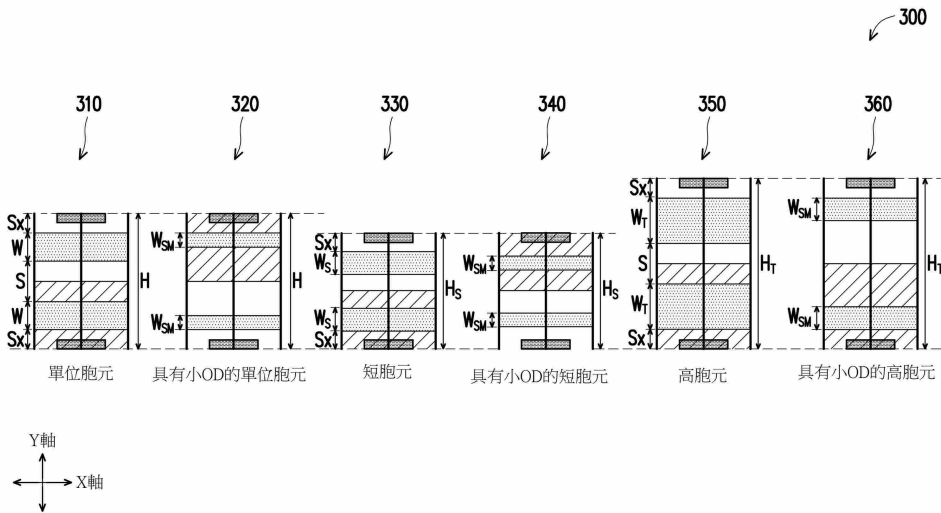


【圖2B】

(7)

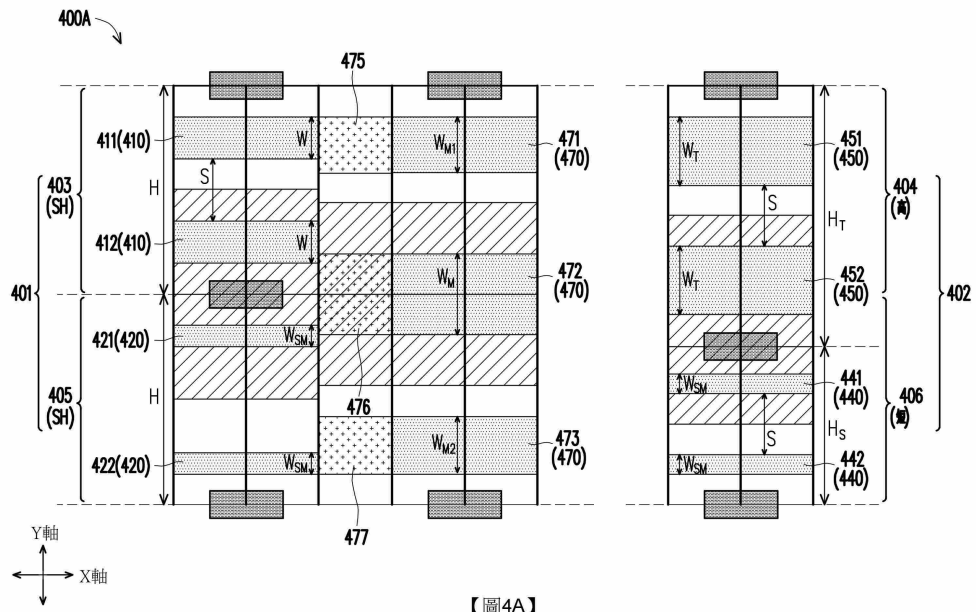


【圖2C】

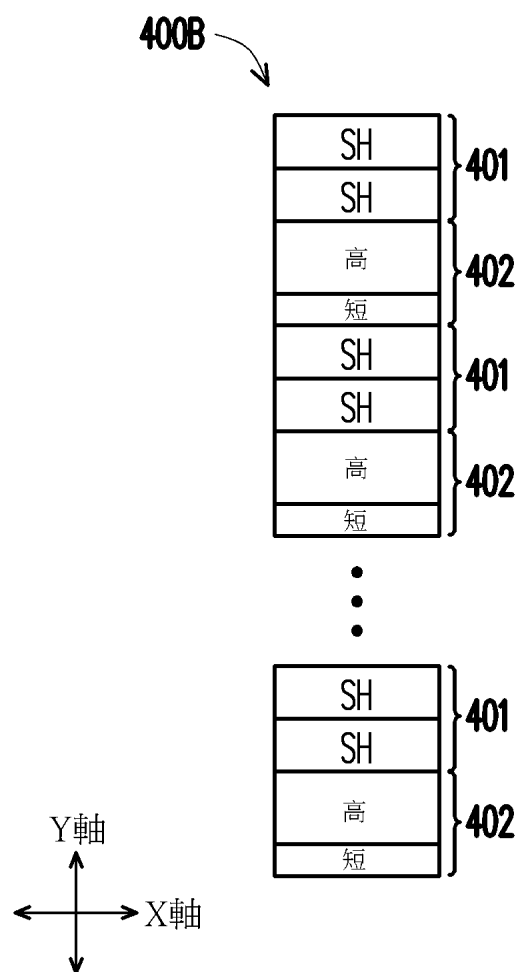


【圖3】

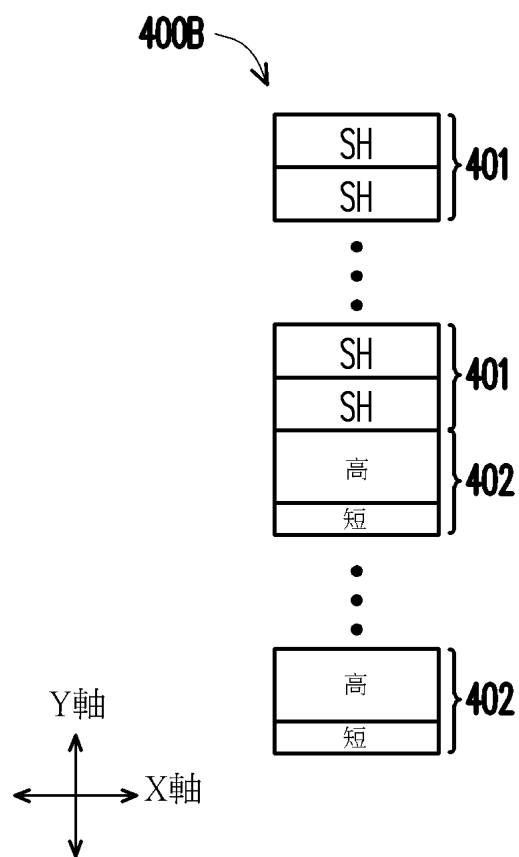
(8)



(9)

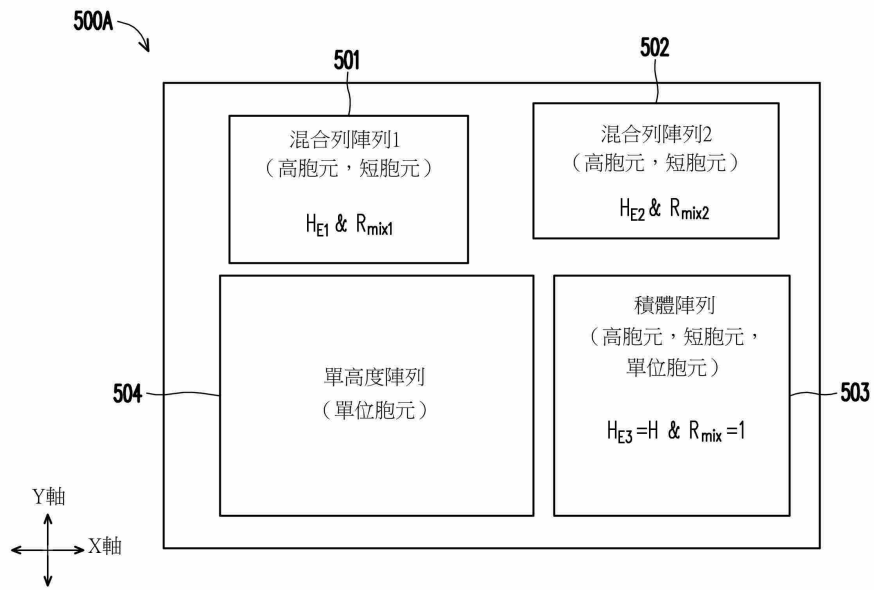


【圖4B】

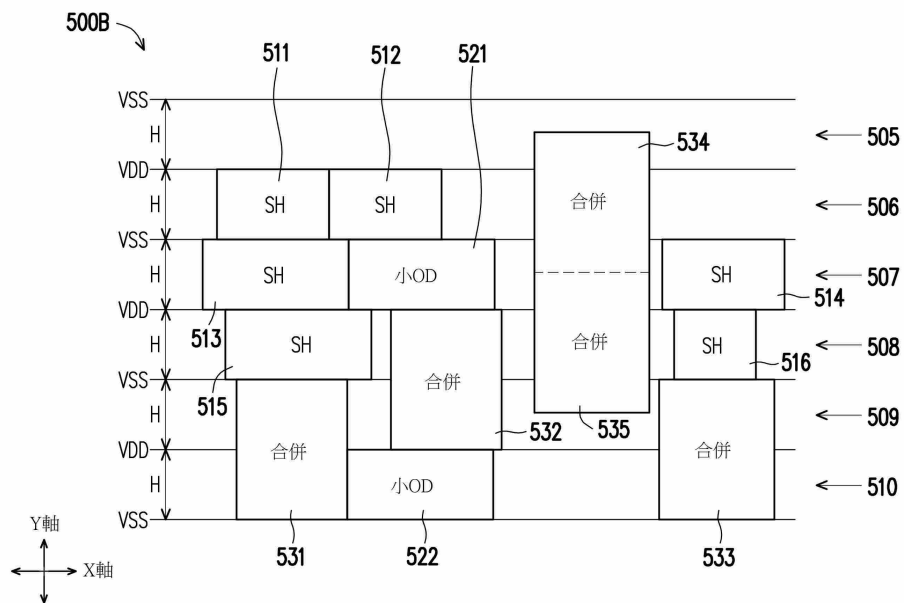


【圖4C】

(11)

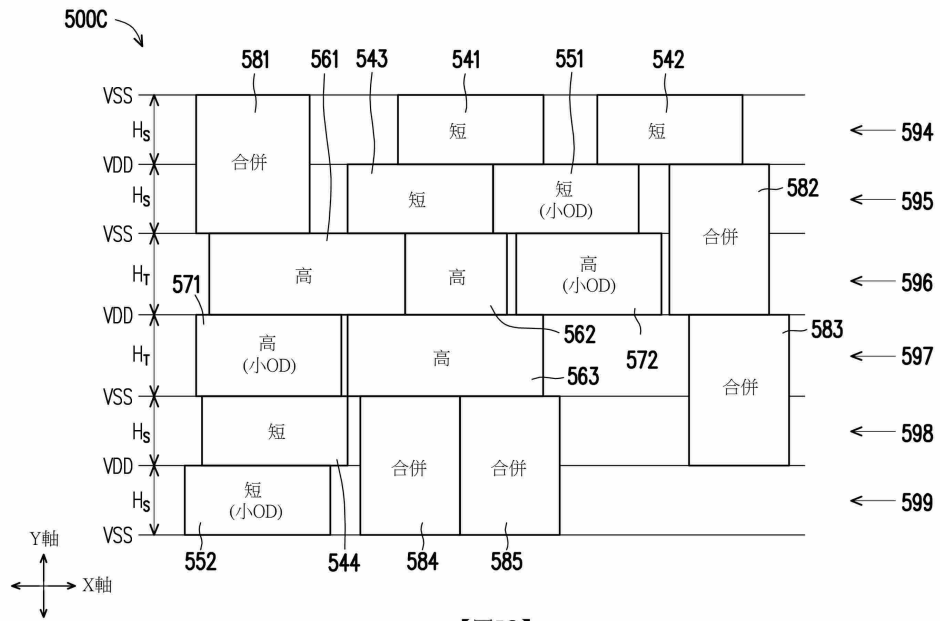


【圖5A】

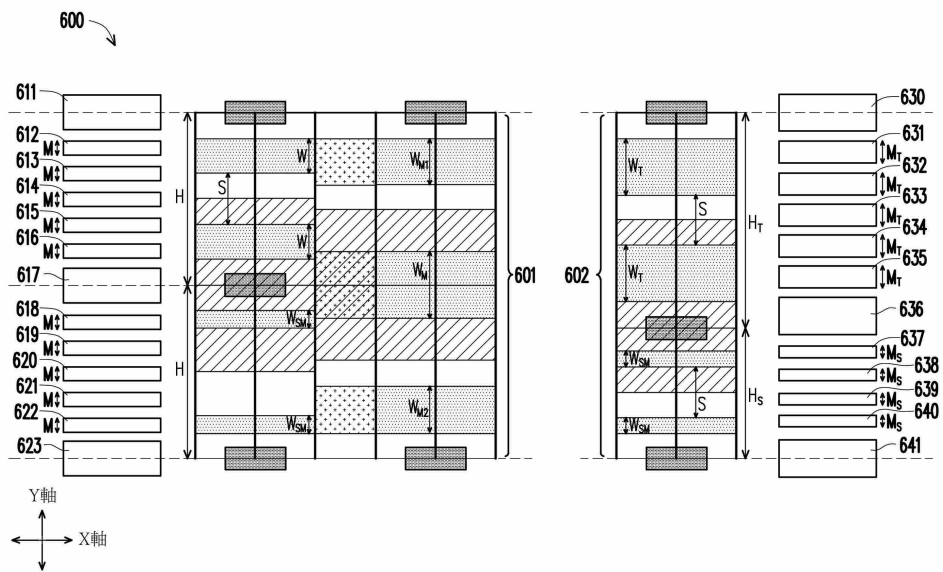


【圖5B】

(12)

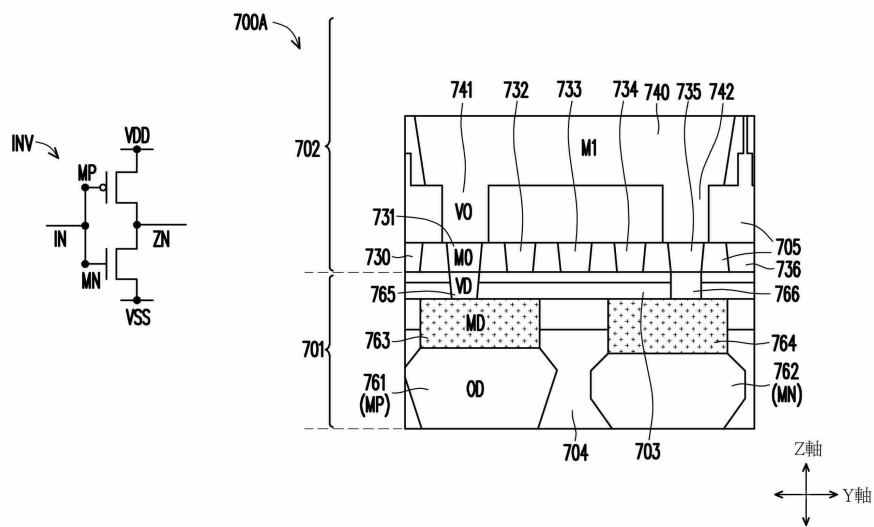


【圖5C】



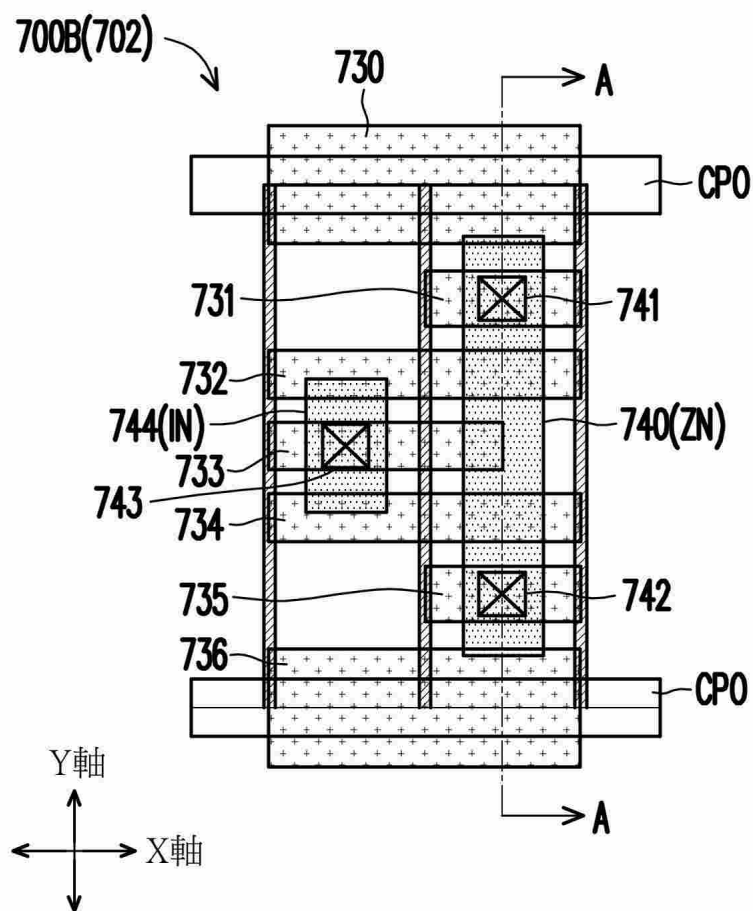
【圖6】

(13)

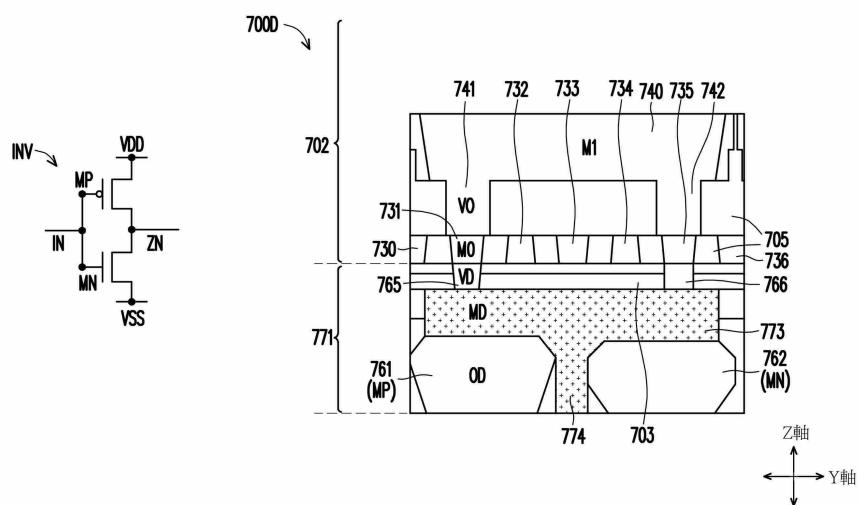


【圖7A】

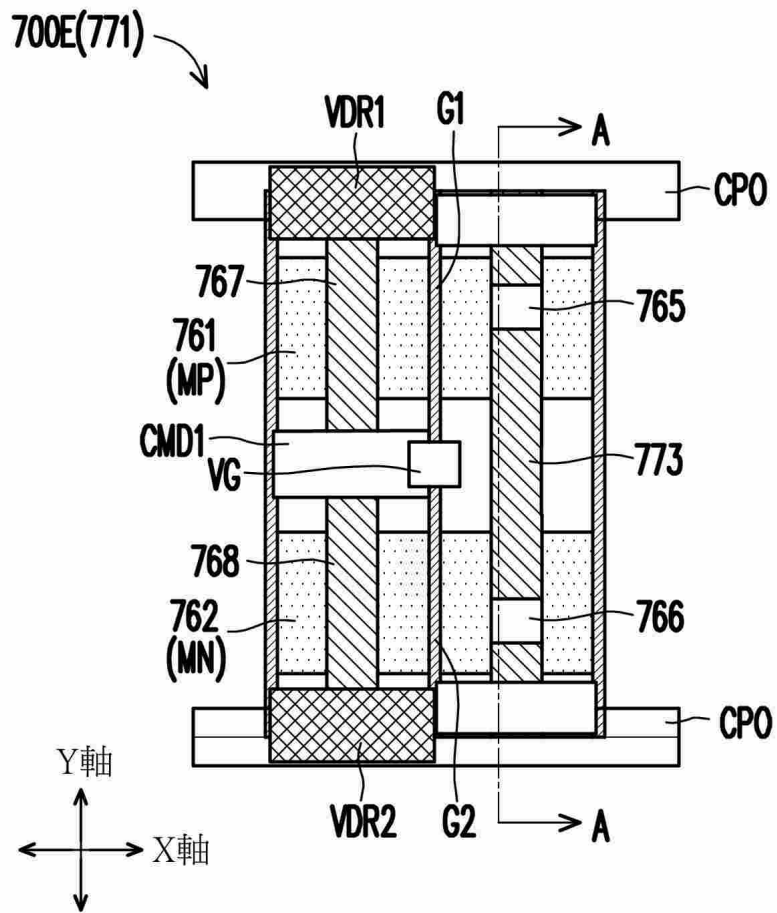




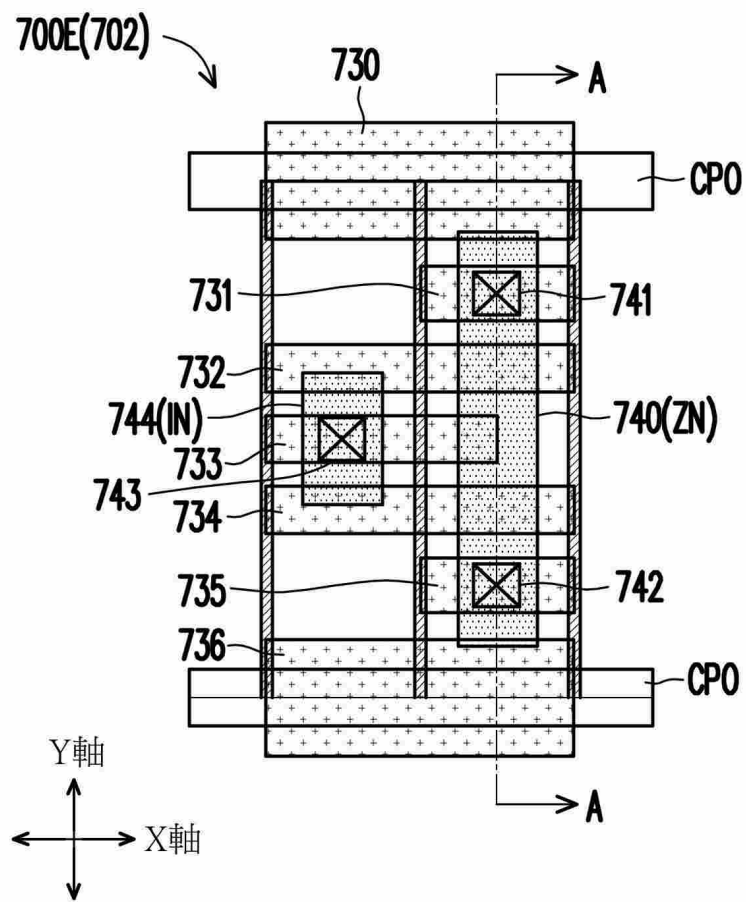
【圖7C】



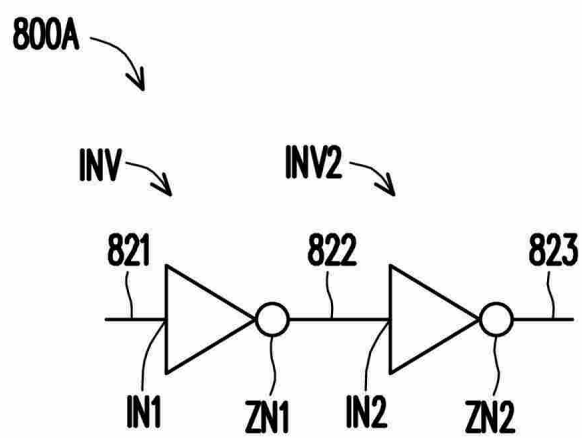
【圖7D】



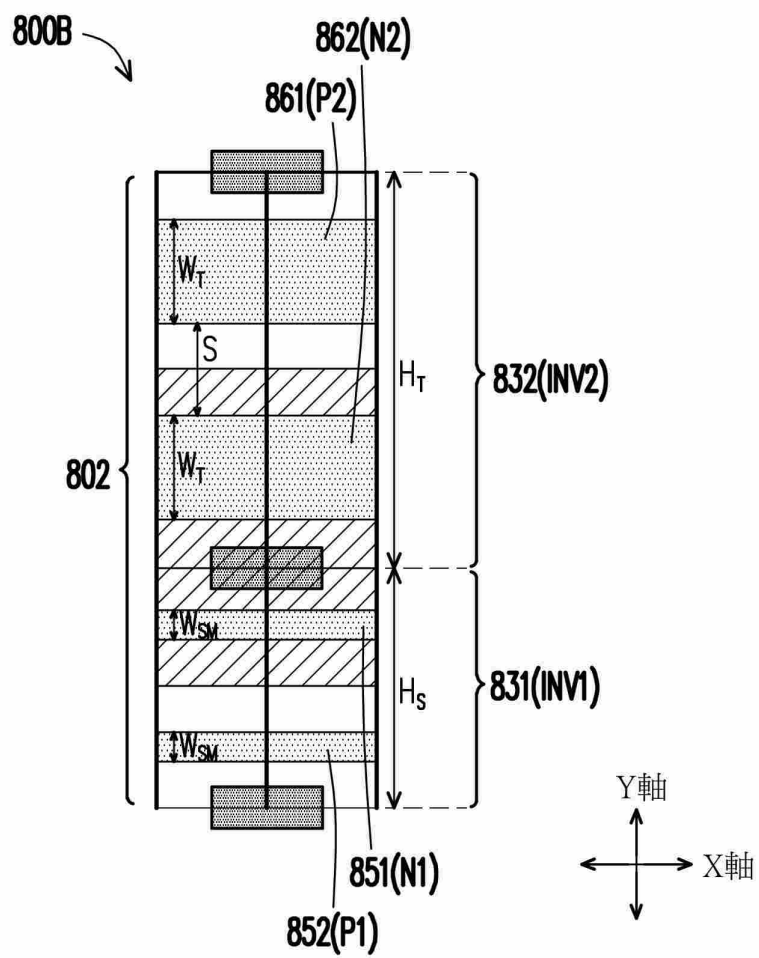
【圖7E】



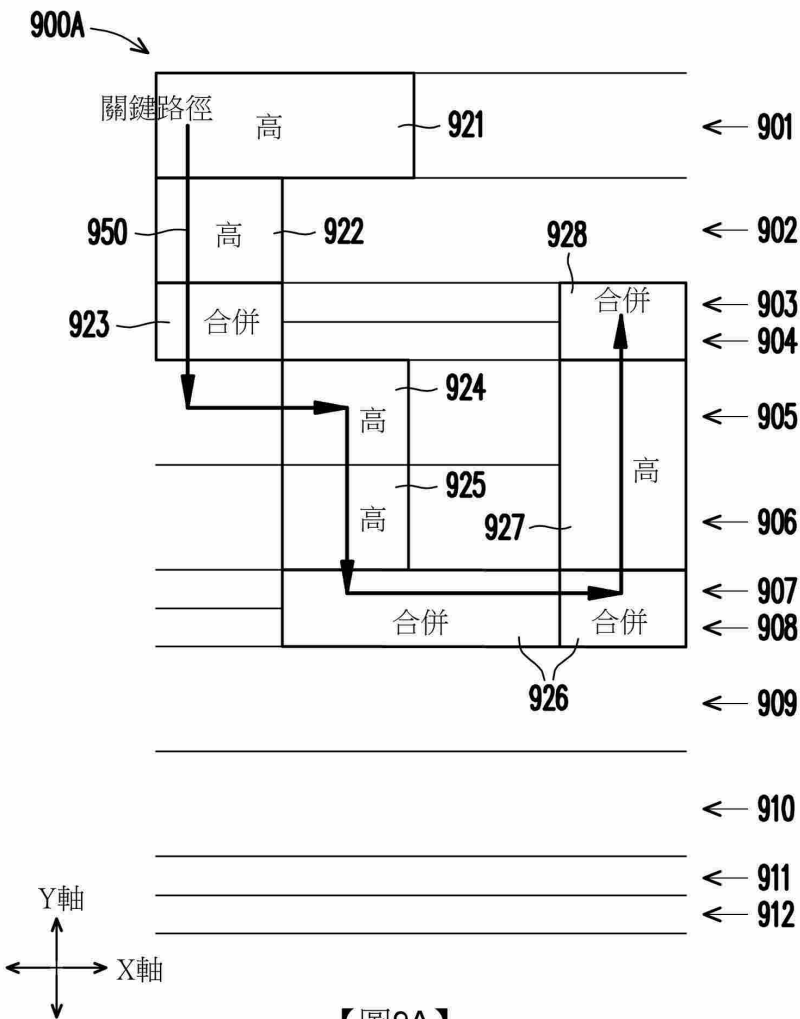
【圖7F】



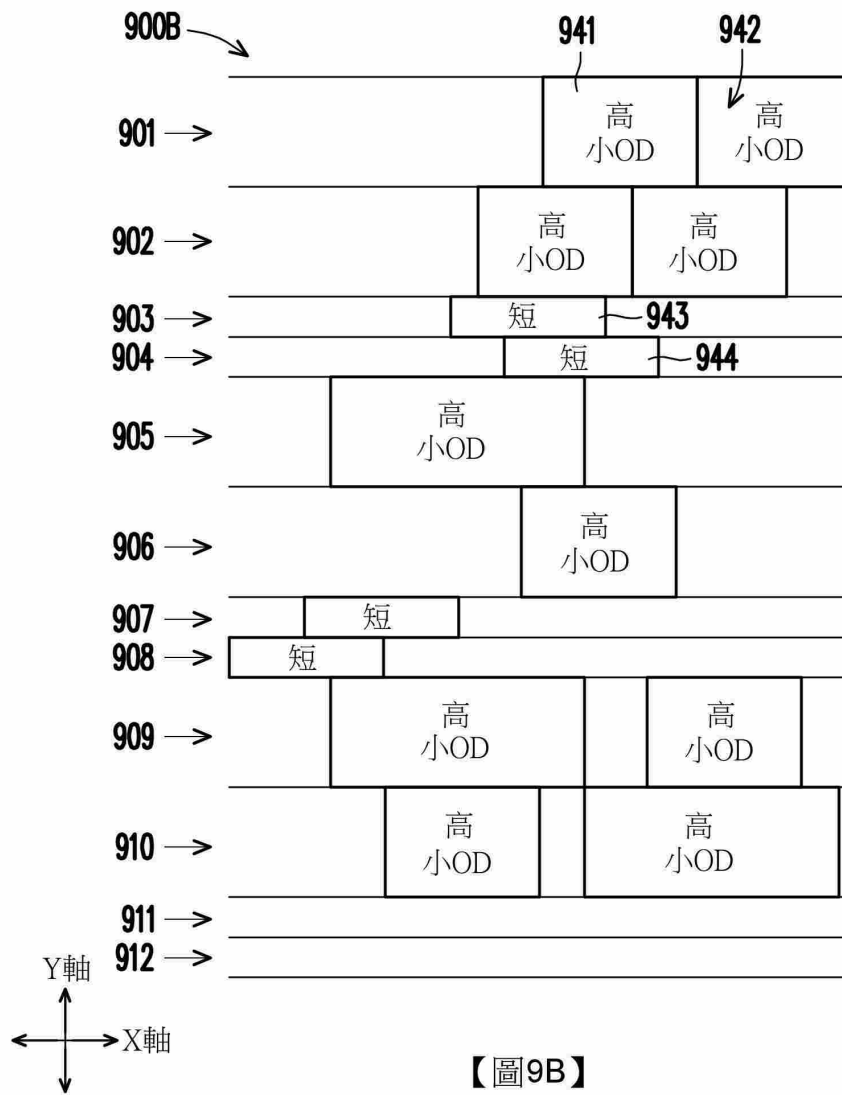
【圖8A】

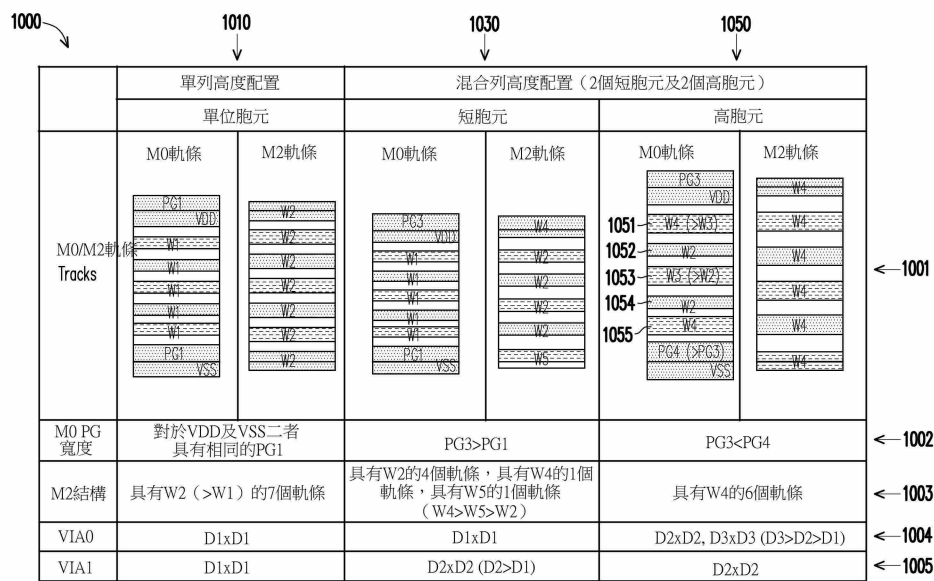


【圖8B】

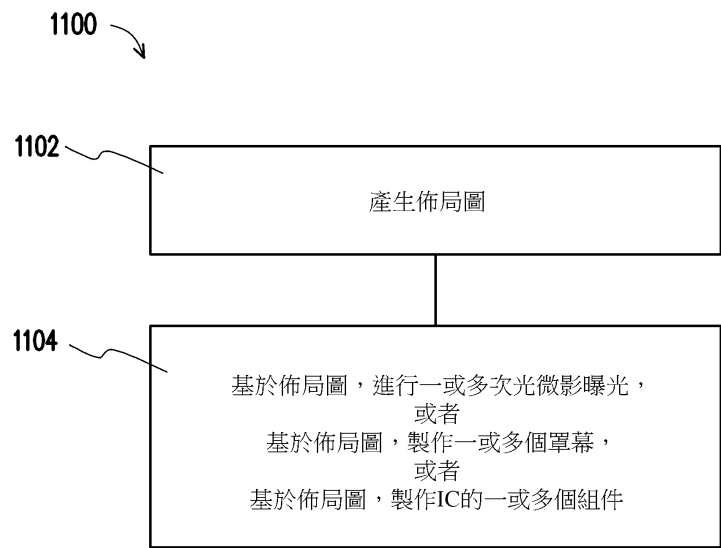


【圖9A】



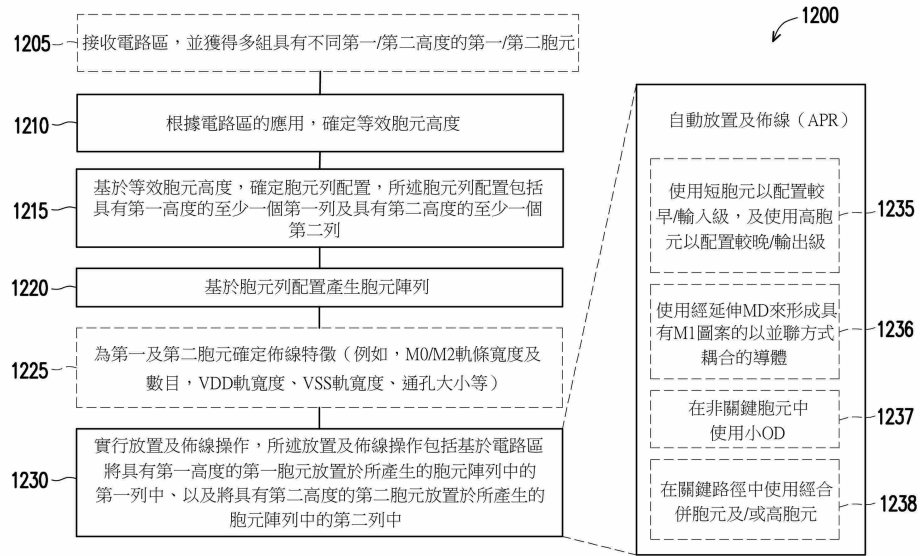


【圖10】

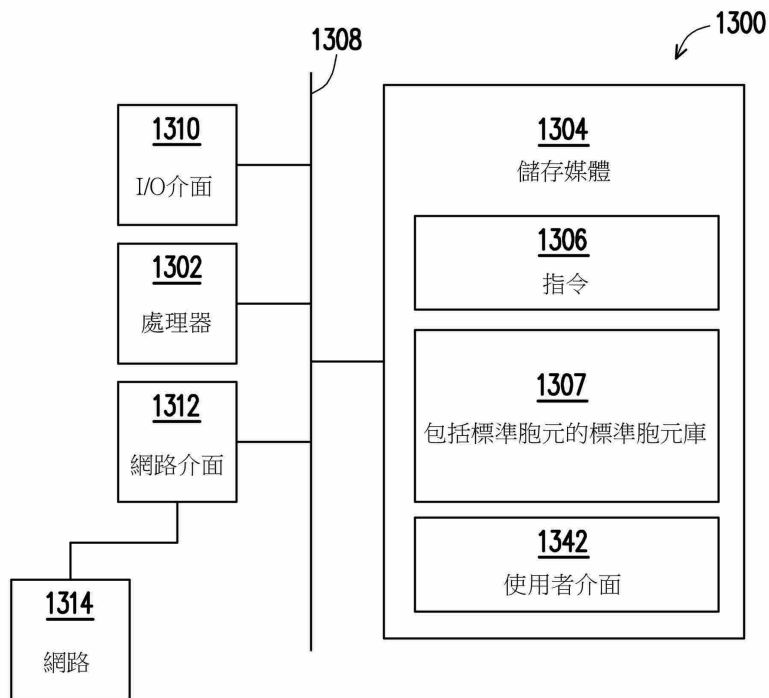


【圖11】

(23)

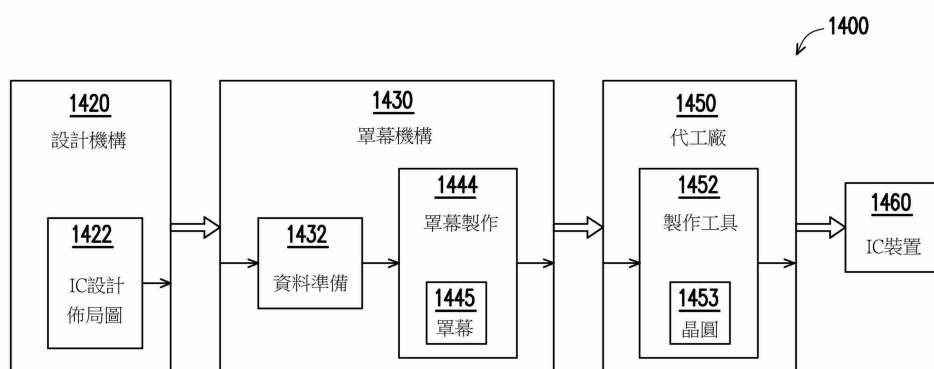


【圖12】



【圖13】

(24)



【圖14】