

【11】證書號數：I938622

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/00 (2026.01) H10D30/01 (2025.01)
H10P10/00 (2026.01) H10W20/40 (2026.01)

發明

全 47 頁

【54】名稱：半導體元件及其形成方法

【21】申請案號：113126095

【22】申請日：中華民國 113 (2024) 年 07 月 11 日

【11】公開編號：202510206

【43】公開日期：中華民國 114 (2025) 年 03 月 01 日

【30】優先權：2023/07/19

美國

18/355,258

【72】發明人：吳偉豪 (TW) WU, WEI-HAO；陳冠宇 (TW) CHEN, KUAN YU

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：李世章；秦建譜

【56】參考文獻：

TW I741269B

審查人員：董柏昌

【57】申請專利範圍

1. 一種半導體元件的形成方法，包括以下步驟：

在一基材中形成一第一磊晶源極/汲極區及一第二磊晶源極/汲極區；

在該第一磊晶源極/汲極區及該第二磊晶源極/汲極區上方形成一第一氧化物層；

在該基材上方形成一第一閘極堆疊及一第二閘極堆疊，該第一閘極堆疊插入於該第一磊晶區與該第二磊晶區之間；

在該第一閘極堆疊上方形成一氮化物遮罩；

蝕刻該第一氧化物層以暴露該第一磊晶源極/汲極區及該第二磊晶源極/汲極區；

在該第一磊晶源極/汲極區上方形成一第一導電特徵，且在該第二磊晶源極/汲極區上方形成一第二導電特徵；

在該氮化物遮罩及該第一氧化物層上方形成一蝕刻終止層，該蝕刻終止層具有與該氮化物遮罩不同的一蝕刻選擇性；

在該蝕刻終止層上方形成一第二氧化物層；

形成穿過該第二氧化物層及該蝕刻終止層的一第三導電特徵，該第三導電特徵實體接觸該第一導電特徵；及

在該第一閘極堆疊上方形成一閘極栓塞且與該第一閘極堆疊實體接觸。

2. 如請求項 1 所述之半導體元件的形成方法，其中形成該氮化物遮罩之步驟包括以下步驟：

使該閘極堆疊凹陷；

在該閘極堆疊上方沉積一金屬介電襯墊；及

在該金屬介電襯墊上方沉積一氮化物層。

3. 如請求項 1 所述之半導體元件的形成方法，其中該第三導電特徵處於該第一磊晶區及該第二磊晶區正上方。

4. 如請求項 1 所述之半導體元件的形成方法，其中該第三導電特徵與該閘極栓塞實體接觸。

(2)

5. 一種半導體元件的形成方法，包括以下步驟：
在一基材中形成一第一磊晶區及一第二磊晶區；
在該第一磊晶區及該第二磊晶區上方形成一第一氧化物層；
在該基材上方形成一第一閘極堆疊及一第二閘極堆疊，該第一閘極堆疊插入於該第一磊晶區與該第二磊晶區之間；
在該第一閘極堆疊上方形成一氮化物遮罩；
蝕刻該第一氧化物層以暴露該第一磊晶區及該第二磊晶區；
在該第一磊晶區上方形成一第一導電特徵，且在該第二磊晶區上方形成一第二導電特徵；
在該氮化物遮罩及該第一氧化物層上方形成一蝕刻終止層；
在該蝕刻終止層上方形成一第二氧化物層；
在該第一閘極堆疊上方形成一閘極栓塞且與該第一閘極堆疊實體接觸；及
形成穿過該第二氧化物層及該蝕刻終止層的一第三導電特徵，該第三導電特徵實體接觸該第一導電特徵。
6. 如請求項 5 所述之半導體元件的形成方法，其中在一平面圖中，該第三導電特徵具有一矩形形狀，且其中該矩形形狀的一長度比該矩形形狀的一寬度大二至三倍。
7. 如請求項 6 所述之半導體元件的形成方法，其中該第三導電特徵處於該第一磊晶區、該第一閘極堆疊及該第二閘極堆疊正上方。
8. 一種半導體元件，包括：
一第一磊晶區，處於一基材中；
一第二磊晶區，處於該基材中；
一第一閘極堆疊，處於該基材上方，該第一閘極堆疊插入於該第一磊晶區與該第二磊晶區之間；
一第二閘極堆疊，處於該基材上方；
一金屬介電襯墊，處於該第一閘極堆疊上方；
一氮化物遮罩，處於該金屬介電襯墊上方；
一第一氧化物層，處於該基材上方，且處於該第一磊晶區以及該第二磊晶區上方，該第一氧化物層的一頂表面與該氮化物遮罩的一頂表面齊平，該第一氧化物層具有一第一開口以及一第二開口，該第一開口暴露該第一磊晶區，該第二開口暴露該第二磊晶區；
一第一導電特徵，處於該第一開口中，且處於該第一磊晶區上方，該第一導電特徵的一頂表面與該氮化物遮罩的該頂表面齊平；
一第二導電特徵，處於該第二開口中，且處於該第二磊晶區上方；
一蝕刻終止層，處於該氮化物遮罩及該第一氧化物層上方，該介電層為與該氮化物遮罩不同的一材料；
一第二氧化物層，處於該蝕刻終止層上方；
一第三導電特徵，延伸穿過該第二氧化物層及該蝕刻終止層，該第三導電特徵實體接觸該第一導電特徵；及
一閘極栓塞，處於該第一閘極堆疊上方，且與該第一閘極堆疊實體接觸。
9. 如請求項 8 所述之半導體元件，其中在一平面圖中，該第三導電特徵具有一矩形形狀，且其中該矩形形狀的一長度比該矩形形狀的一寬度大二至三倍。
10. 如請求項 9 所述之半導體元件，其中該第三導電特徵處於該第一磊晶區、該第一閘極堆疊及該第二閘極堆疊正上方。

圖式簡單說明

(3)

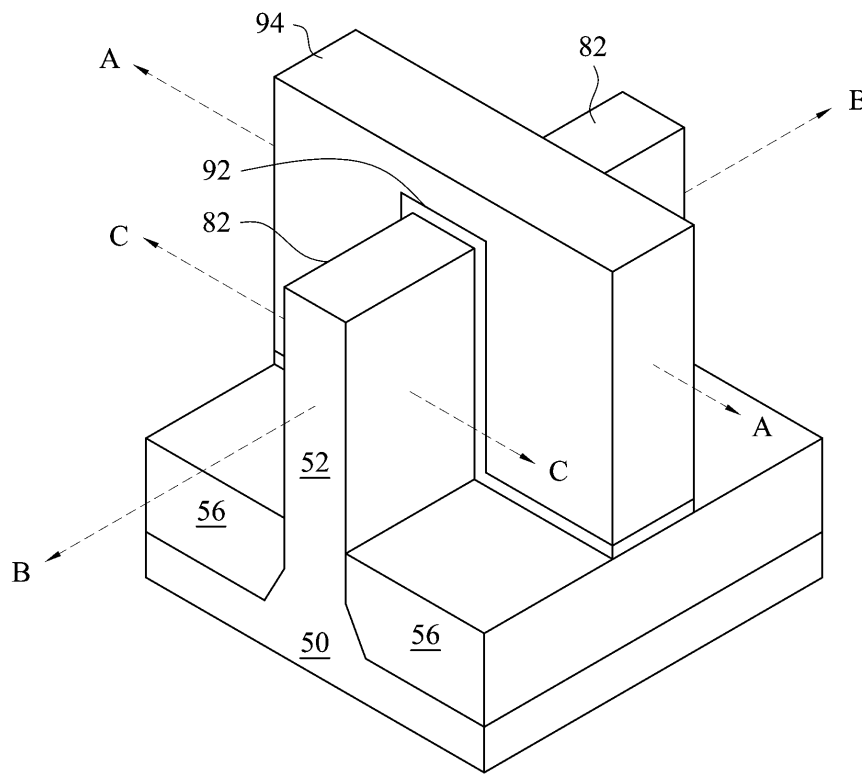
當結合隨附圖式閱讀時，根據以下詳細描述最佳地理解本揭露的態樣。應注意，根據行業中的標準實踐，未按比例繪製各種特徵。實務上，為論述清楚起見，各種特徵的尺寸可以任意增加或減小。

第 1 圖以三維視圖說明根據一些實施例的 FinFET 的實例。

第 2 圖、第 3 圖、第 4 圖、第 5 圖、第 6 圖、第 7 圖、第 8A 圖、第 8B 圖、第 9A 圖、第 9B 圖、第 10A 圖、第 10B 圖、第 10C 圖、第 10D 圖、第 11A 圖、第 11B 圖、第 12A 圖、第 12B 圖、第 13A 圖、第 13B 圖、第 14A 圖、第 14B 圖、第 14C 圖、第 15A 圖、第 15B 圖、第 16A 圖、第 16B 圖、第 17A 圖、第 17B 圖、第 18A 圖、第 18B 圖、第 19A 圖、第 19B 圖、第 20A 圖、第 20B 圖、第 21A 圖、第 21B 圖、第 22A 圖、第 22B 圖、第 23A 圖、第 23B 圖、第 24A 圖、第 24B 圖、第 25A 圖、第 25B 圖、第 25C 圖、第 25D 圖、第 25E 圖、第 25F 圖、第 26A 圖、第 26B 圖、第 26C 圖、第 26D 圖、第 26E 圖、第 26F 圖、第 27A 圖、第 27B 圖、第 27C 圖、第 27D 圖、第 27E 圖及第 27F 圖為根據一些實施例的製造 FinFET 元件的中間階段的橫截面圖。

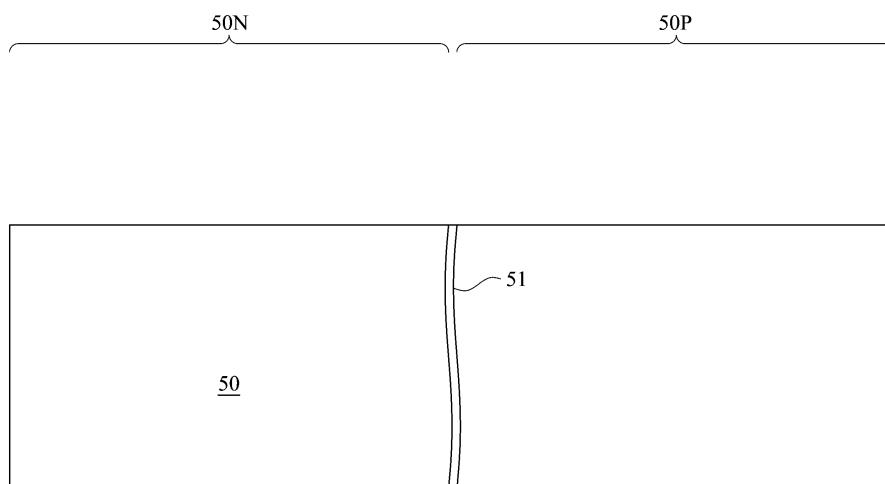
第 25G 圖及第 26G 圖為根據一些實施例的製造 FinFET 元件的中間階段的平面示意圖。

第 26H 圖及第 26I 圖為根據一些實施例的製造 FinFET 元件的中間階段的各種元件的圖。

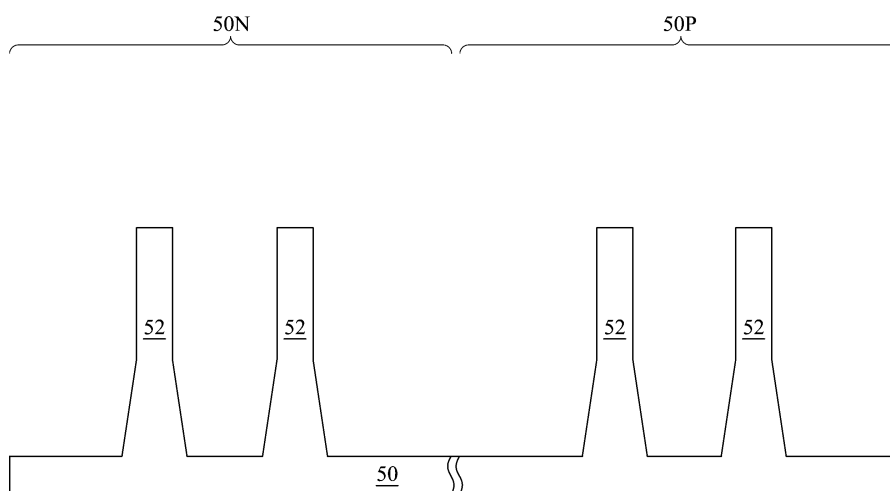


第 1 圖

(4)

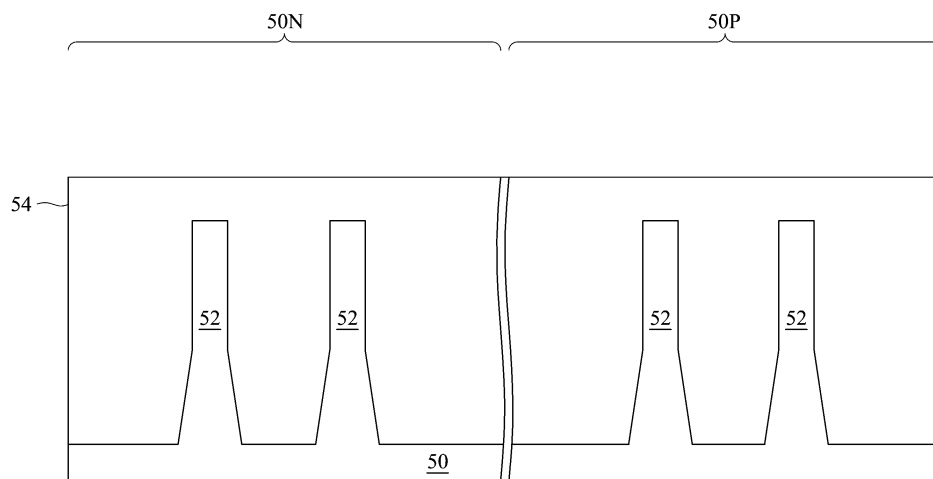


第 2 圖

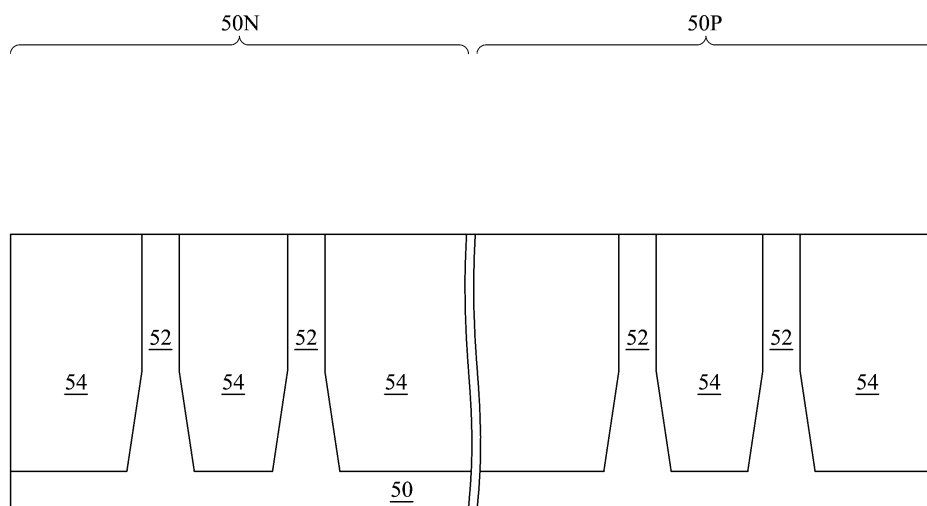


第 3 圖

(5)

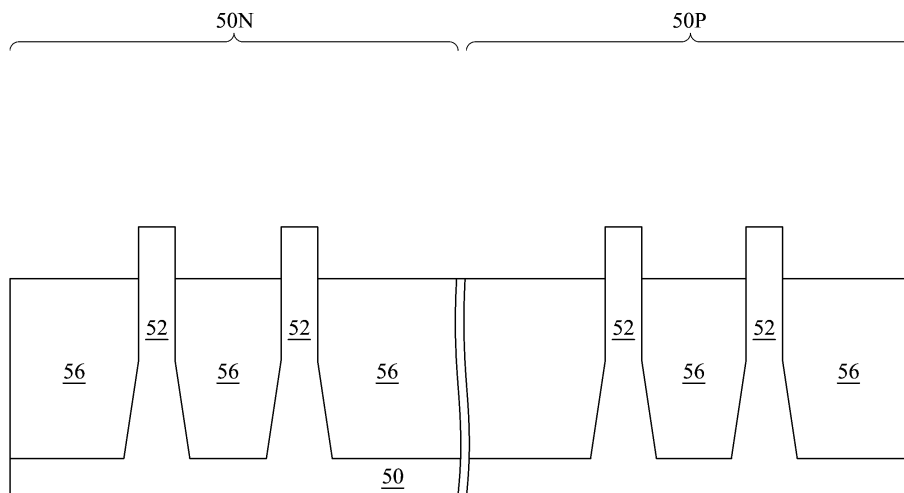


第 4 圖

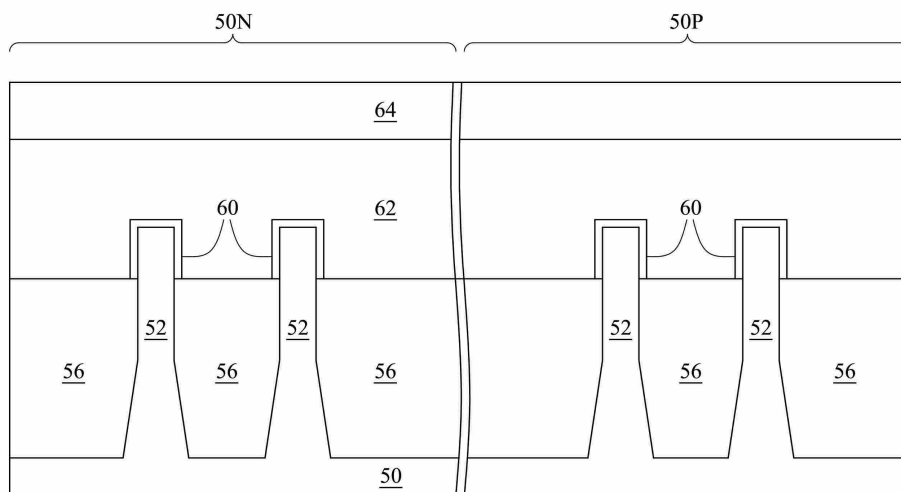


第 5 圖

(6)

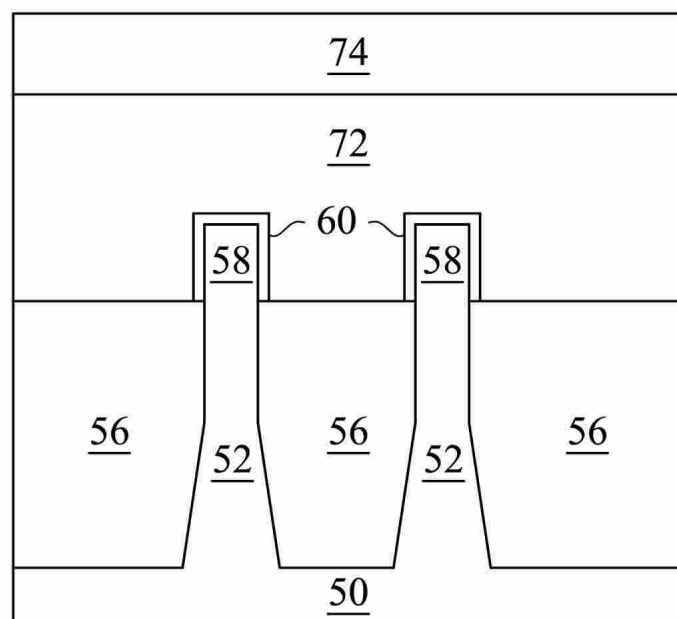


第 6 圖

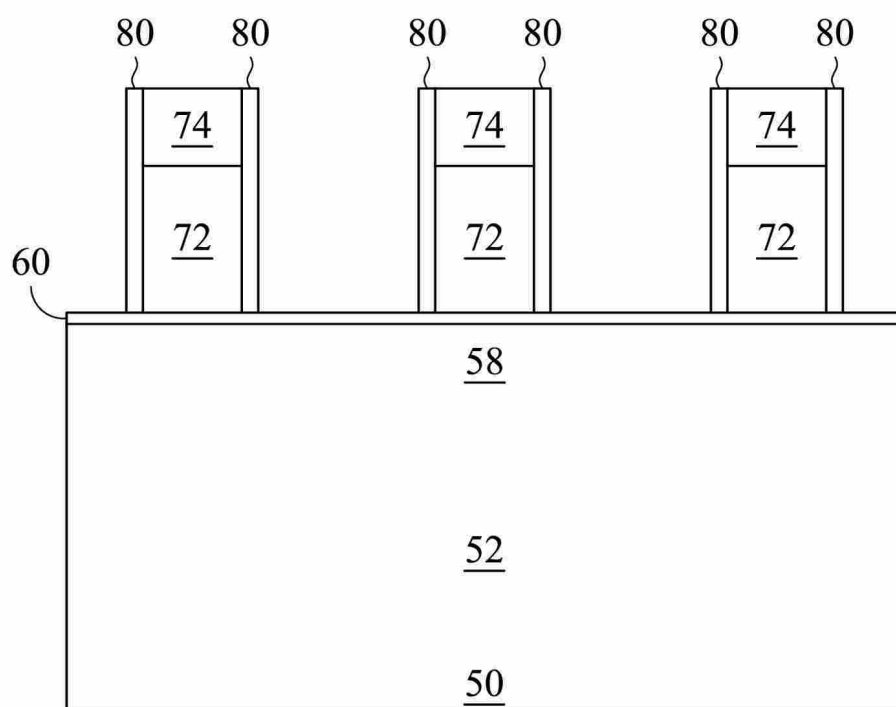


第 7 圖

(7)

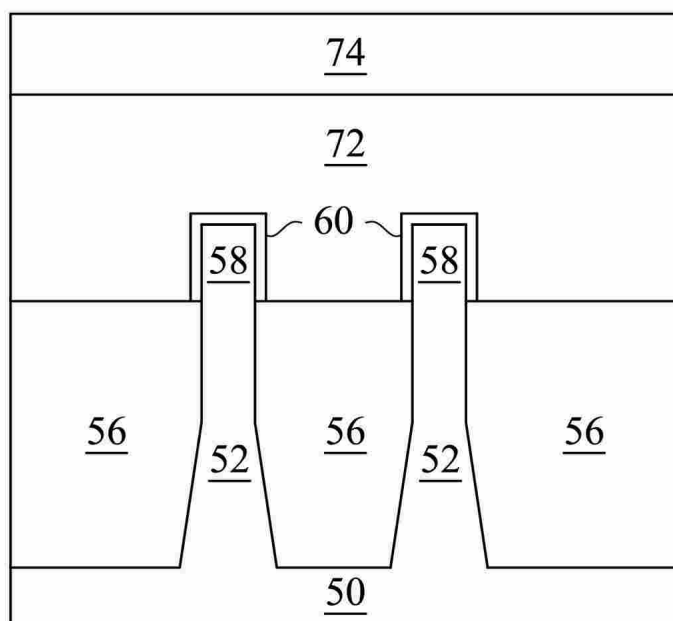


第 8A 圖

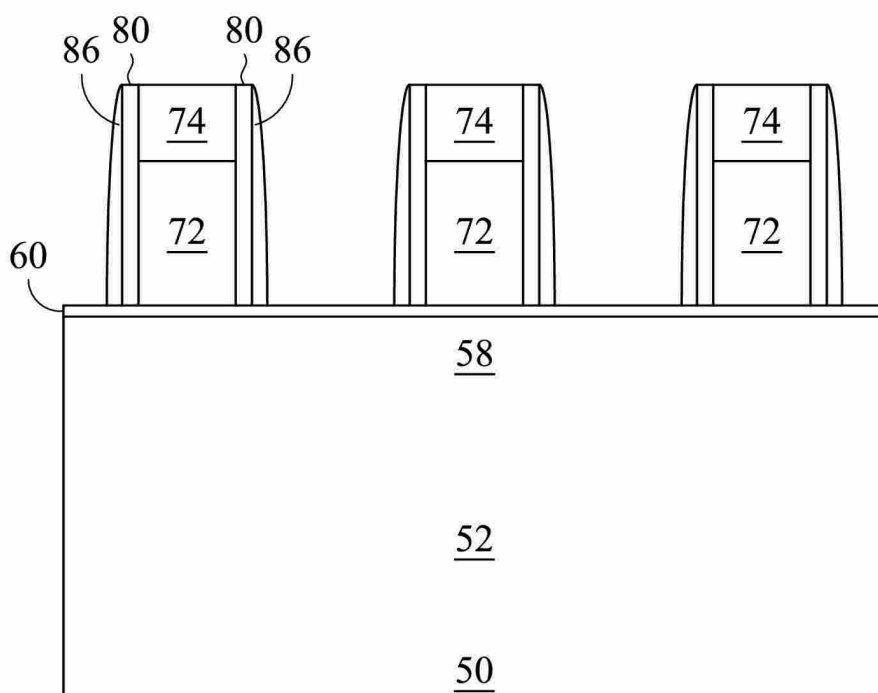


第 8B 圖

(8)

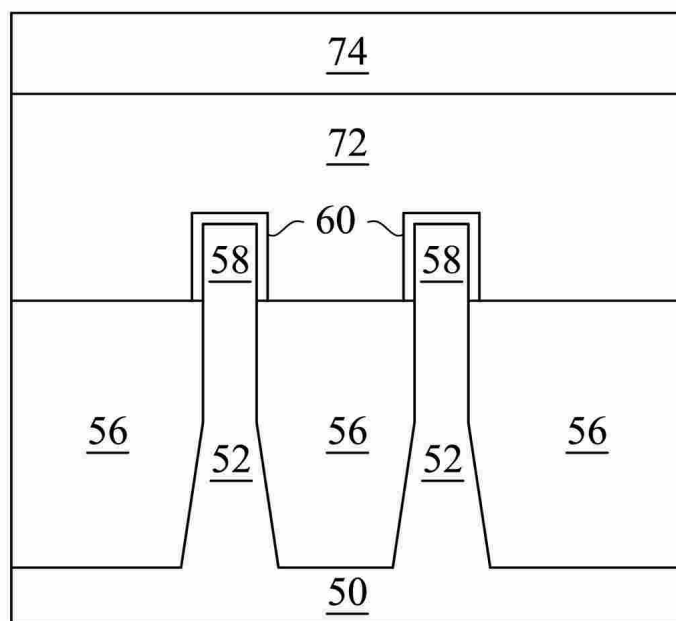


第 9A 圖

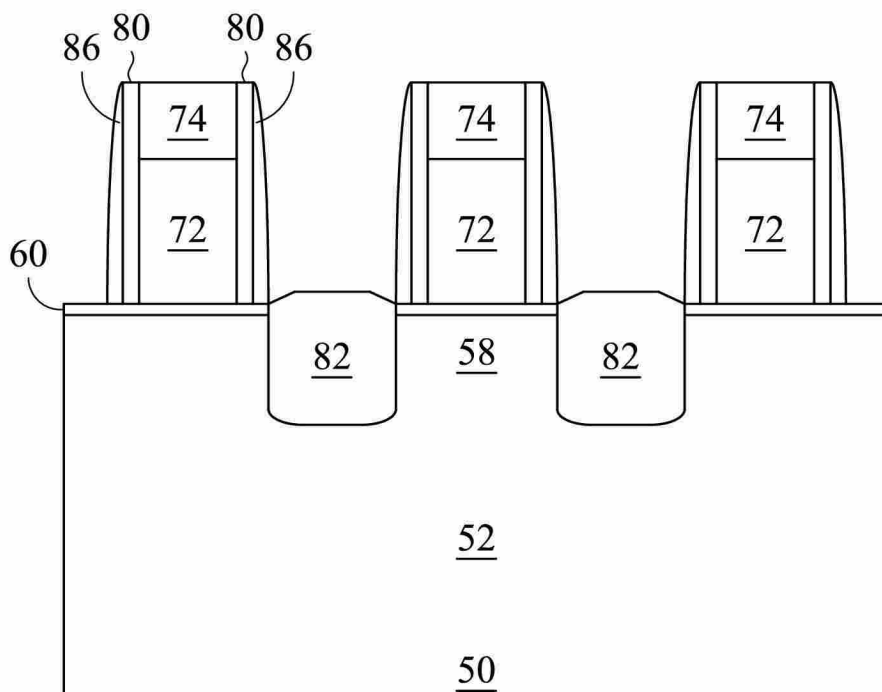


第 9B 圖

(9)

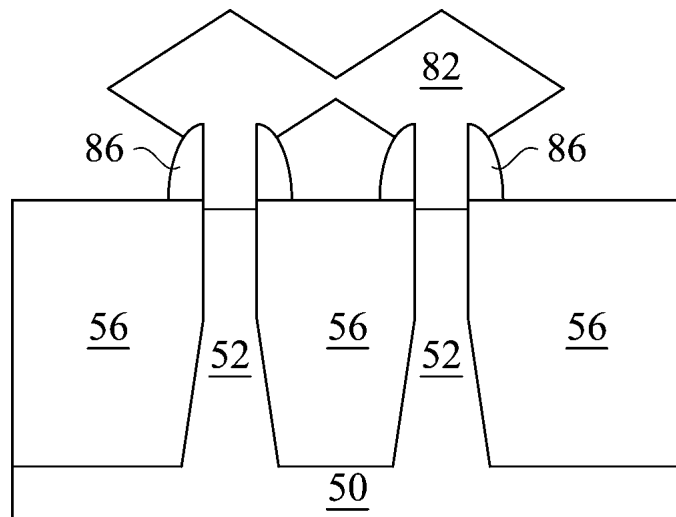


第 10A 圖

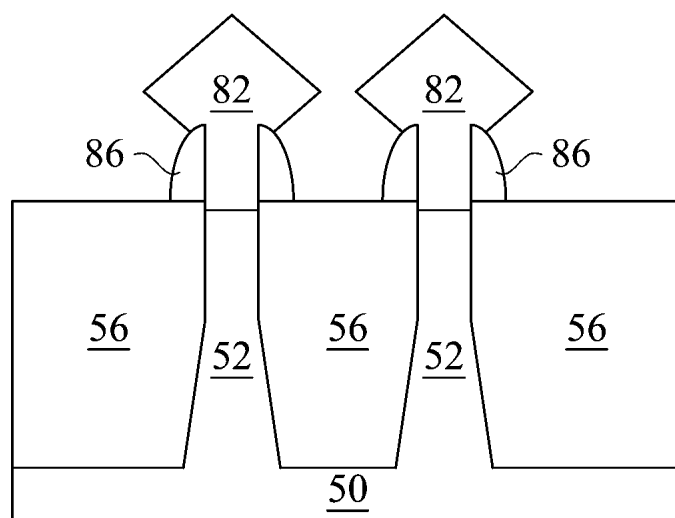


第 10B 圖

(10)

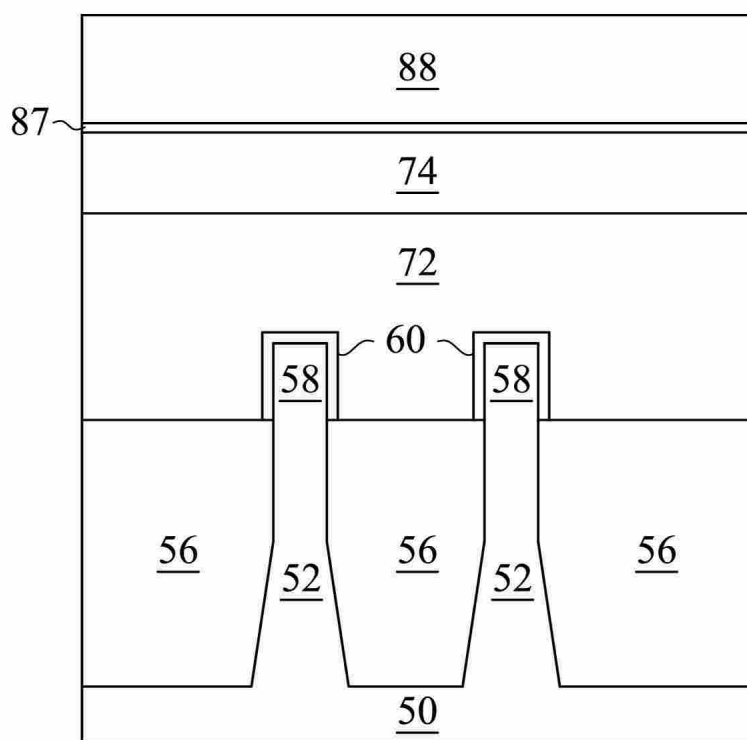


第 10C 圖

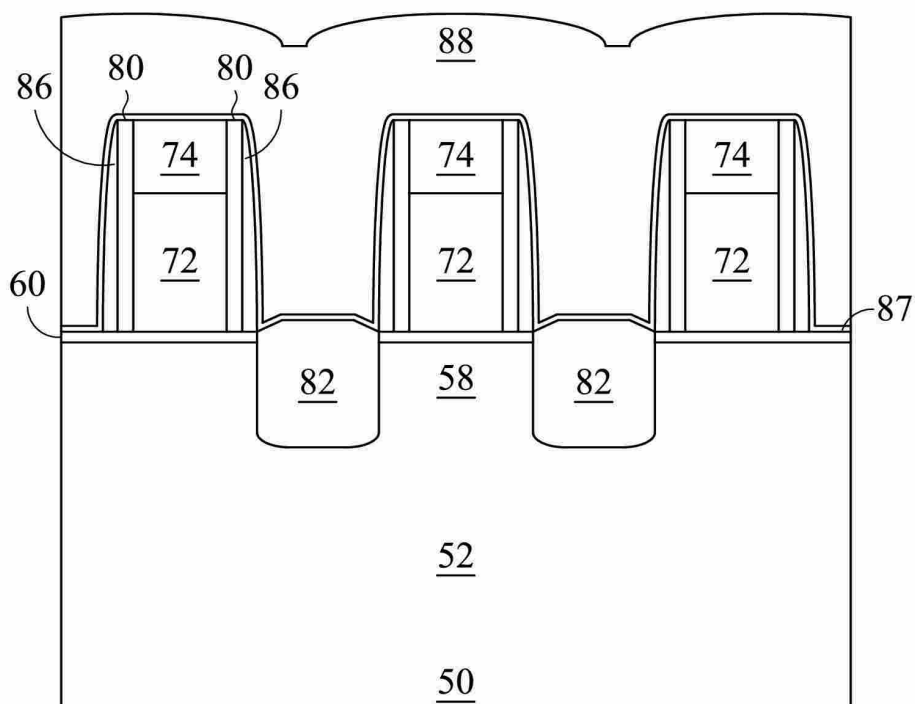


第 10D 圖

(11)

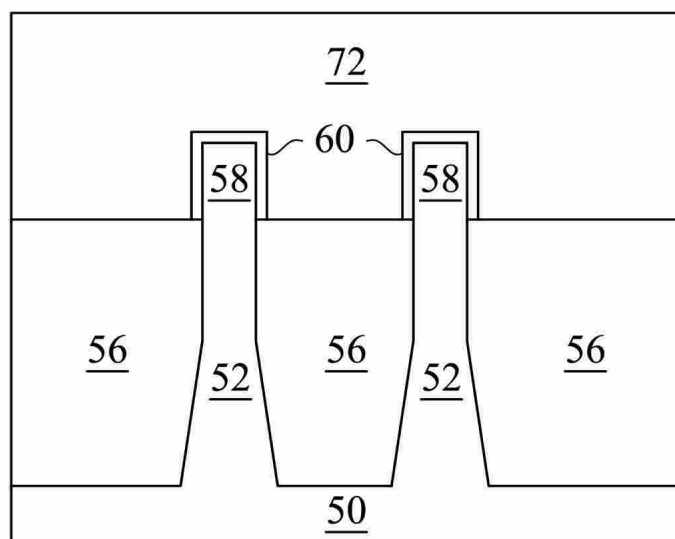


第 11A 圖

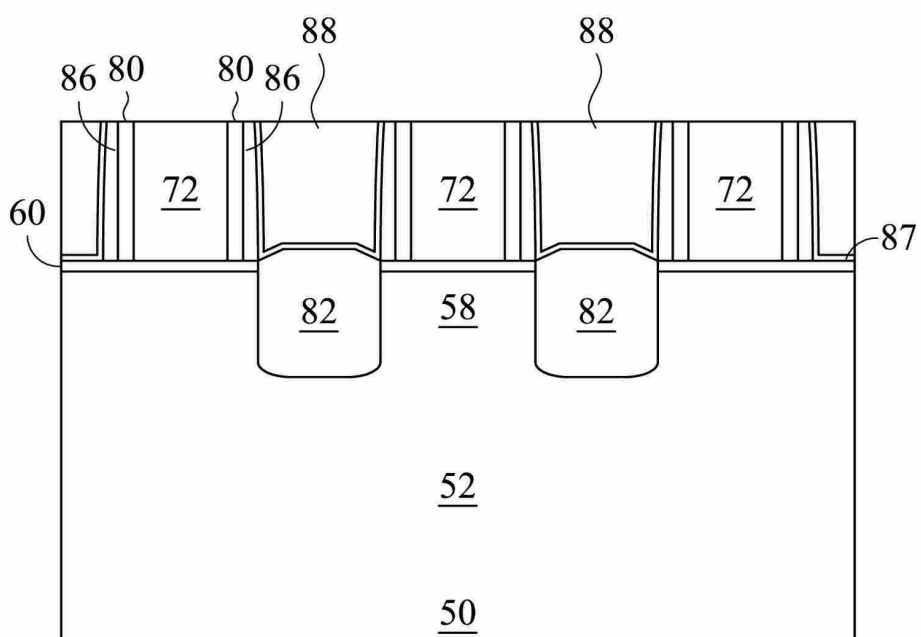


第 11B 圖

(12)

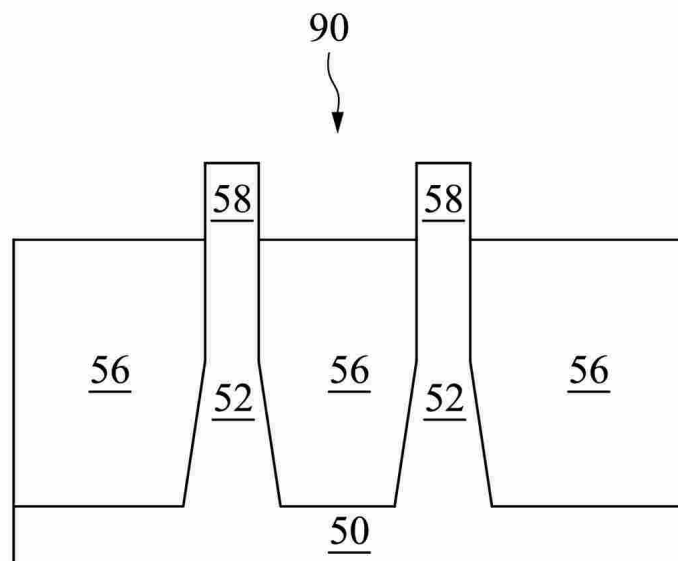


第 12A 圖

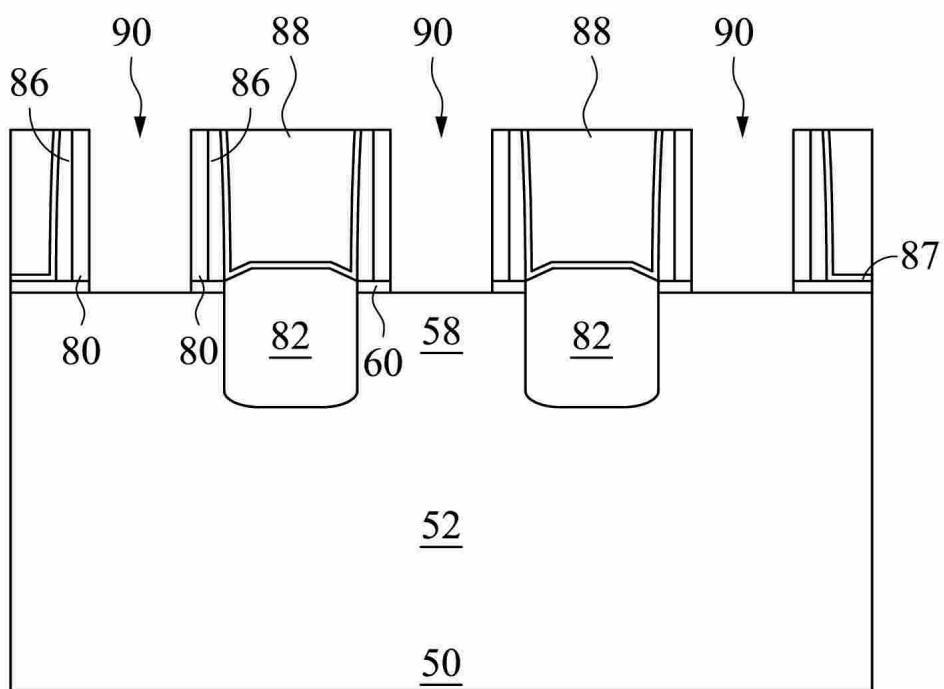


第 12B 圖

(13)

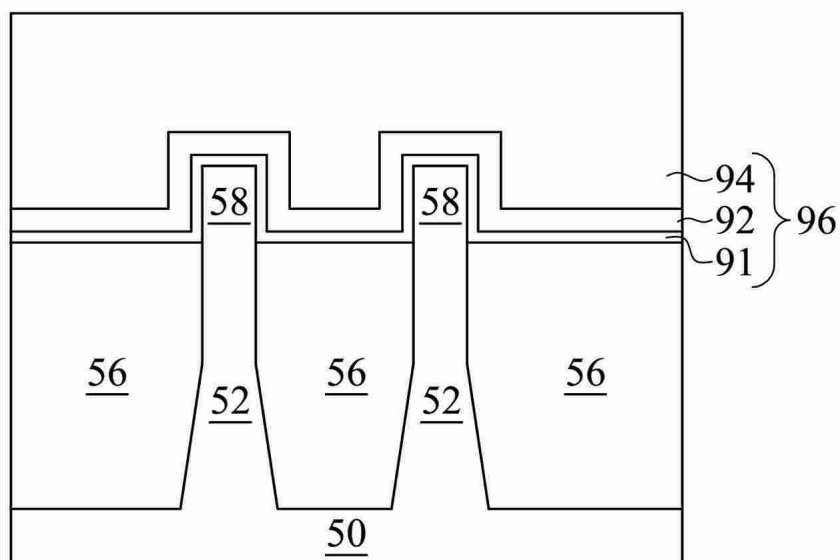


第 13A 圖

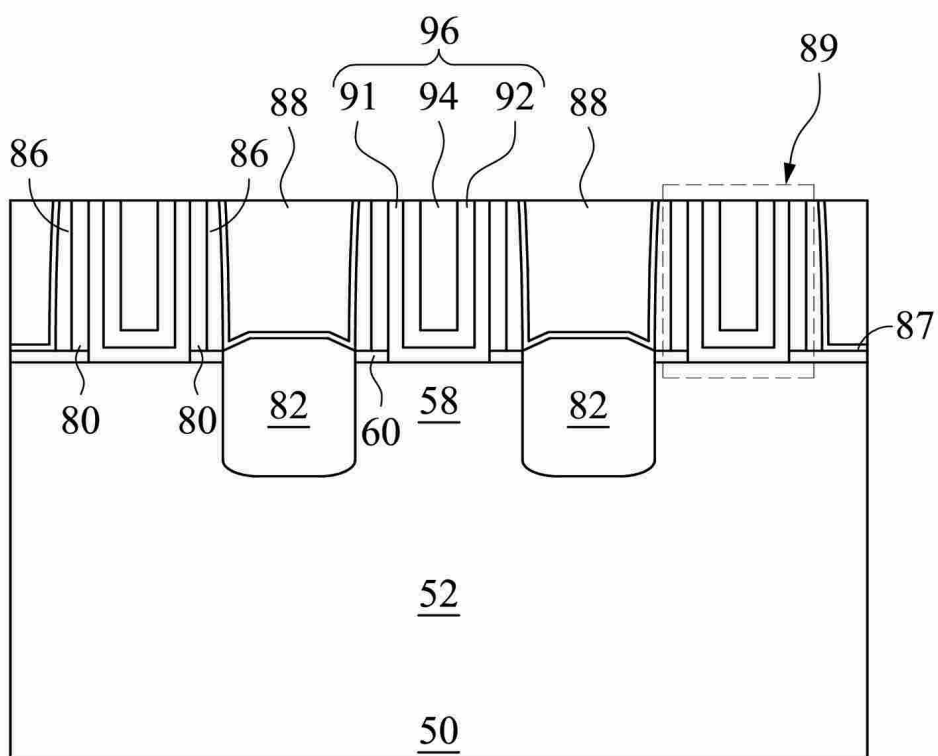


第 13B 圖

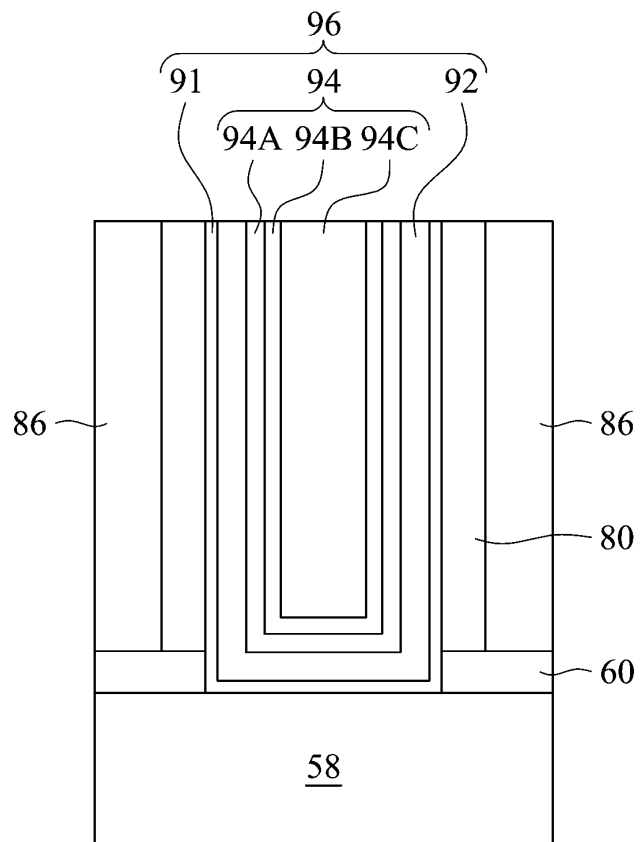
(14)



第 14A 圖

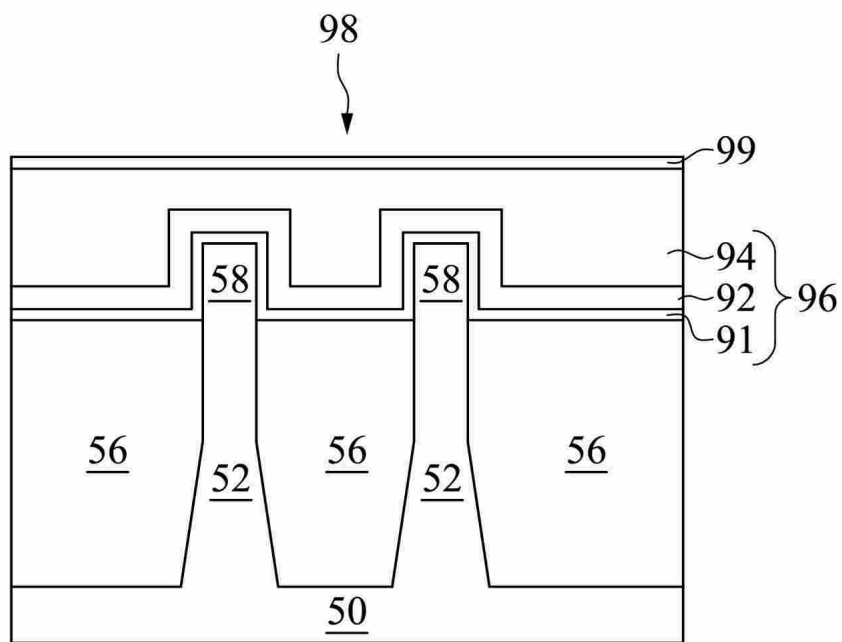


第 14B 圖

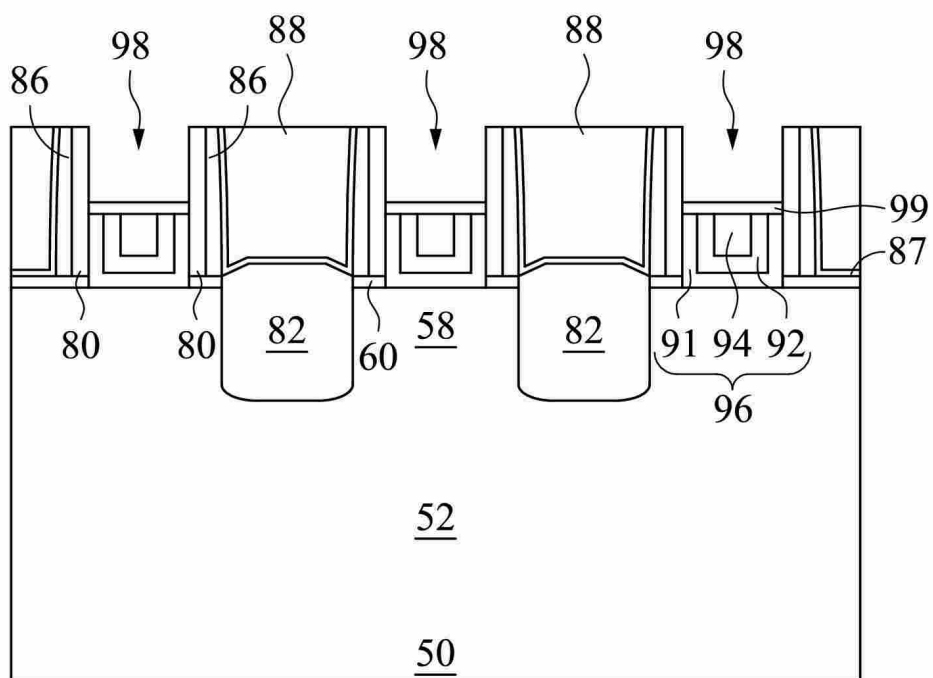


第 14C 圖

(16)

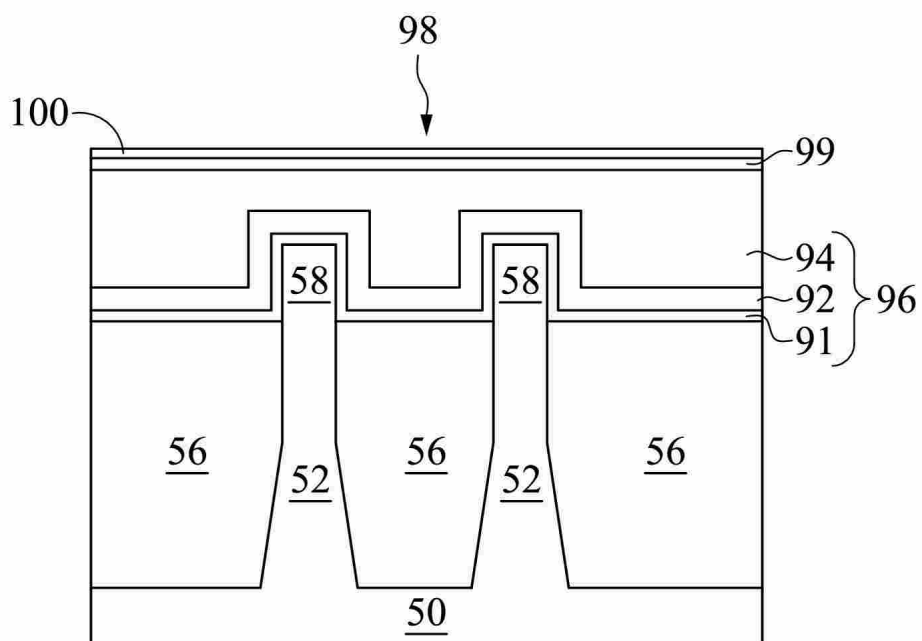


第 15A 圖

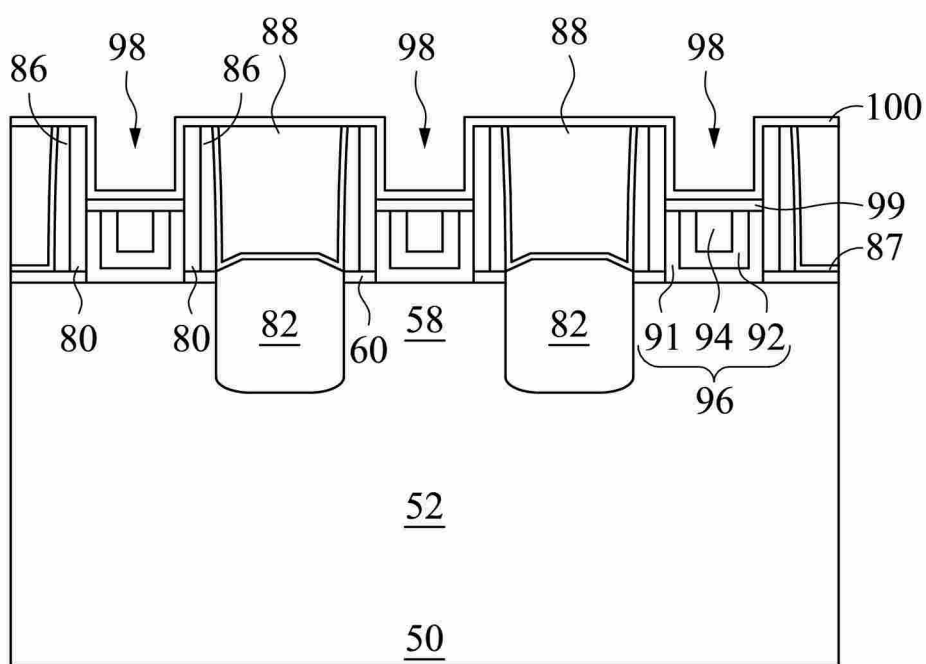


第 15B 圖

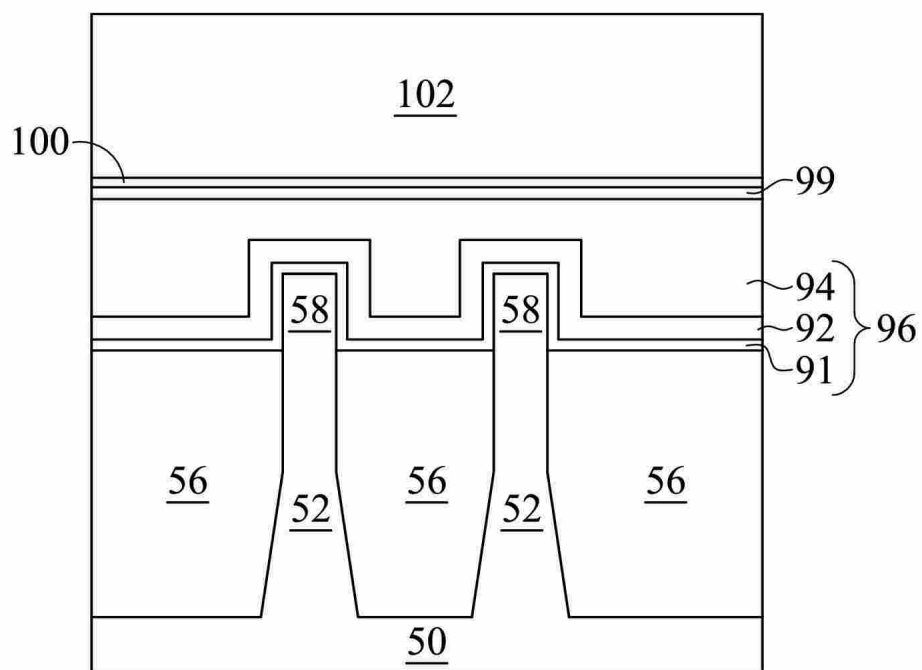
(17)



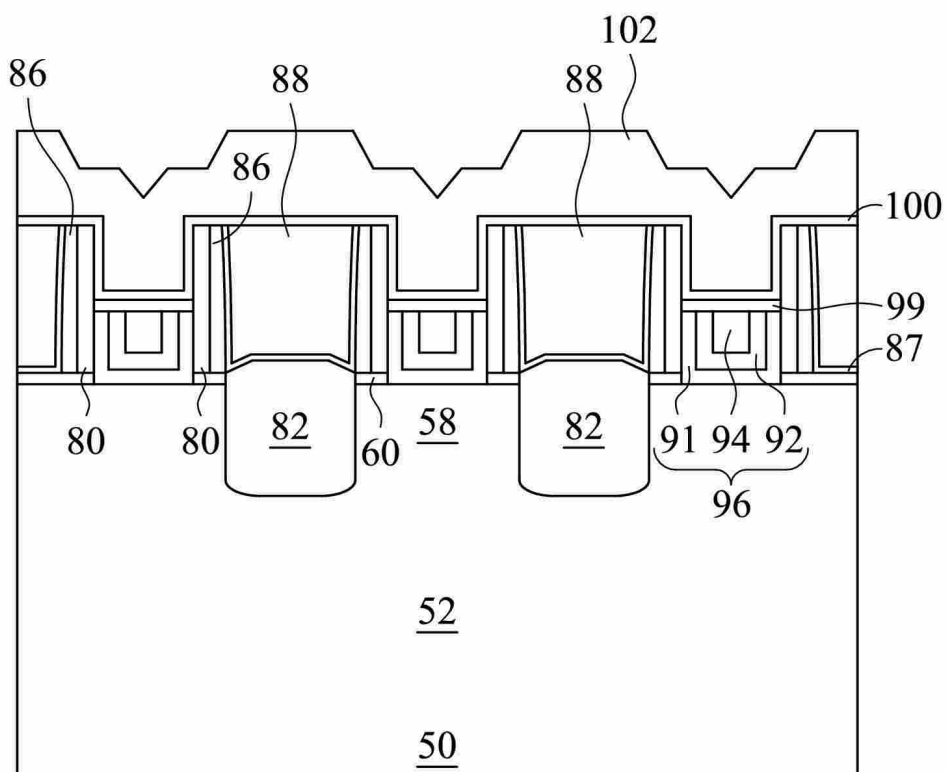
第 16A 圖



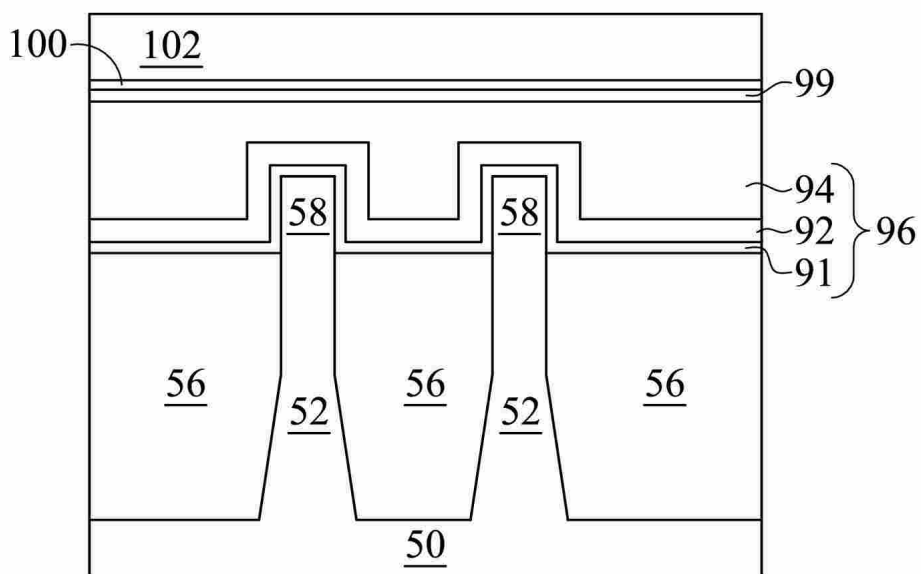
第 16B 圖



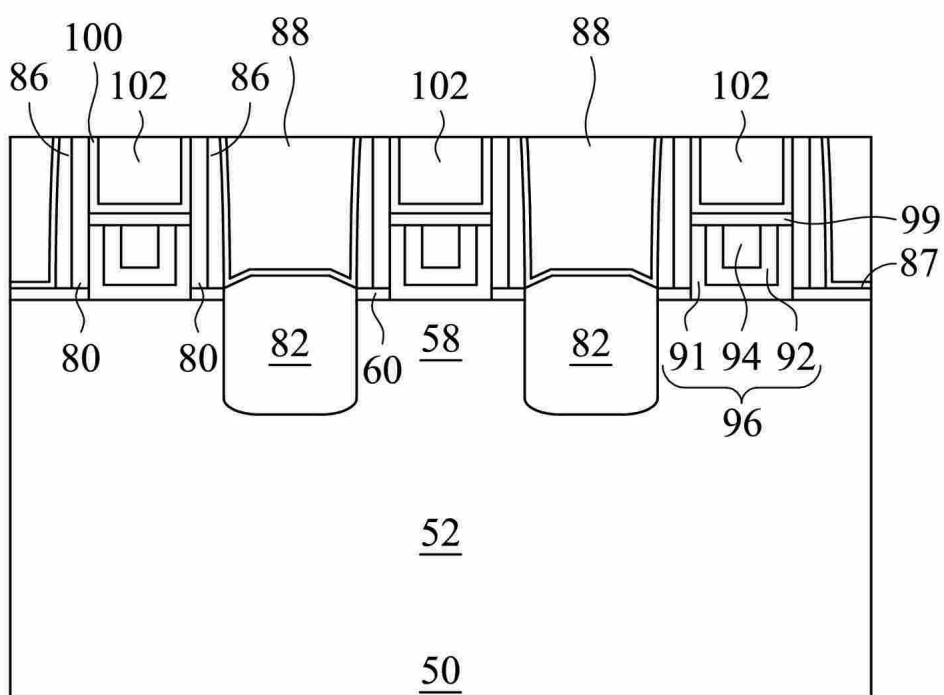
第 17A 圖



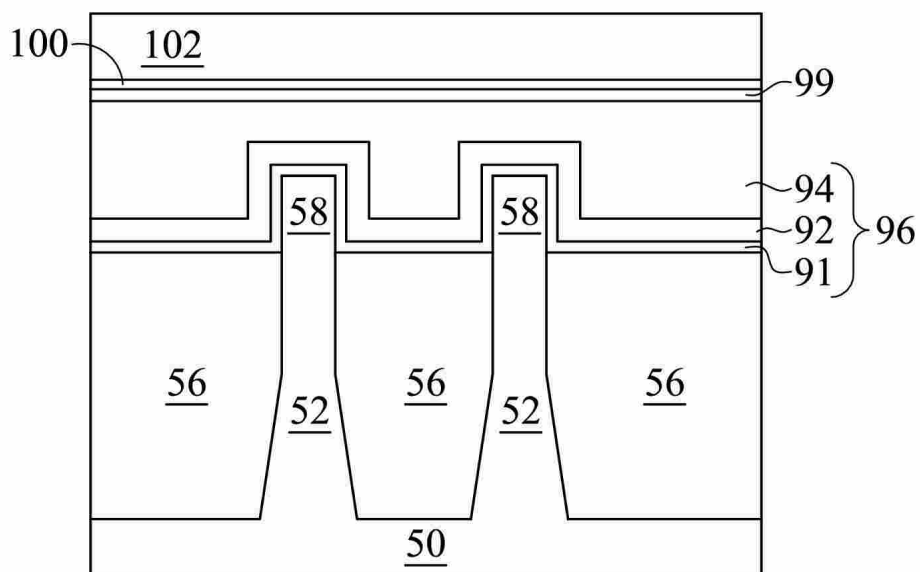
第 17B 圖



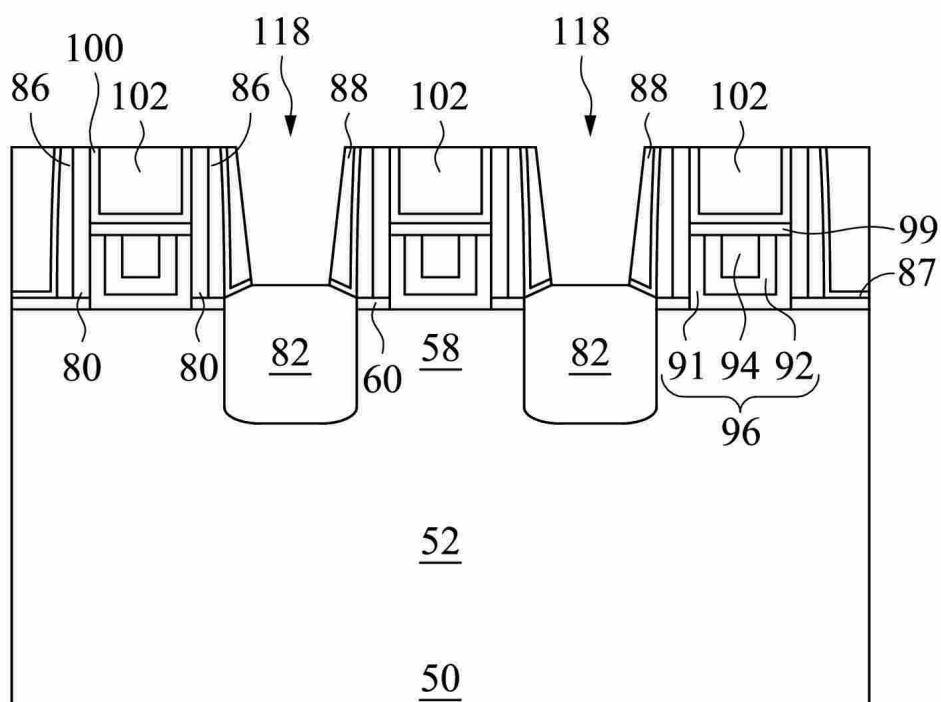
第 18A 圖



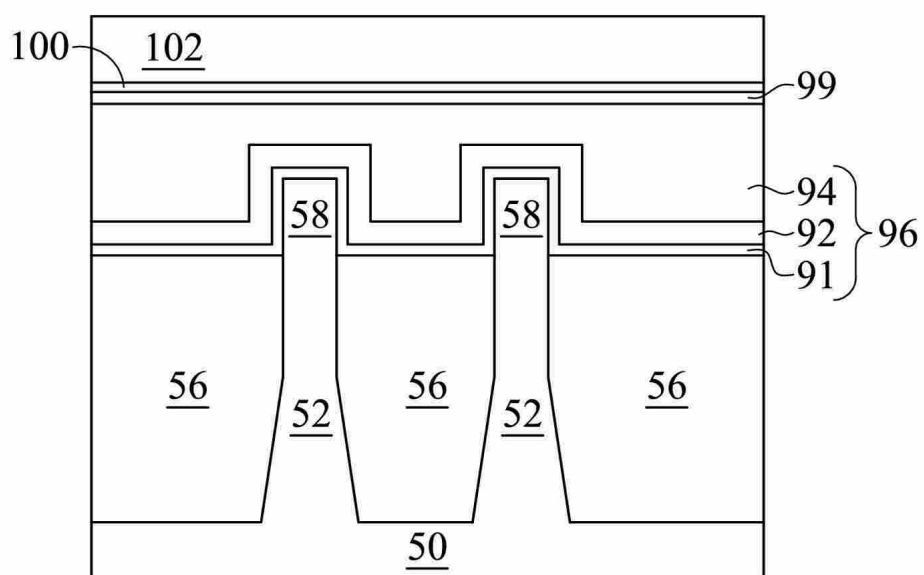
第 18B 圖



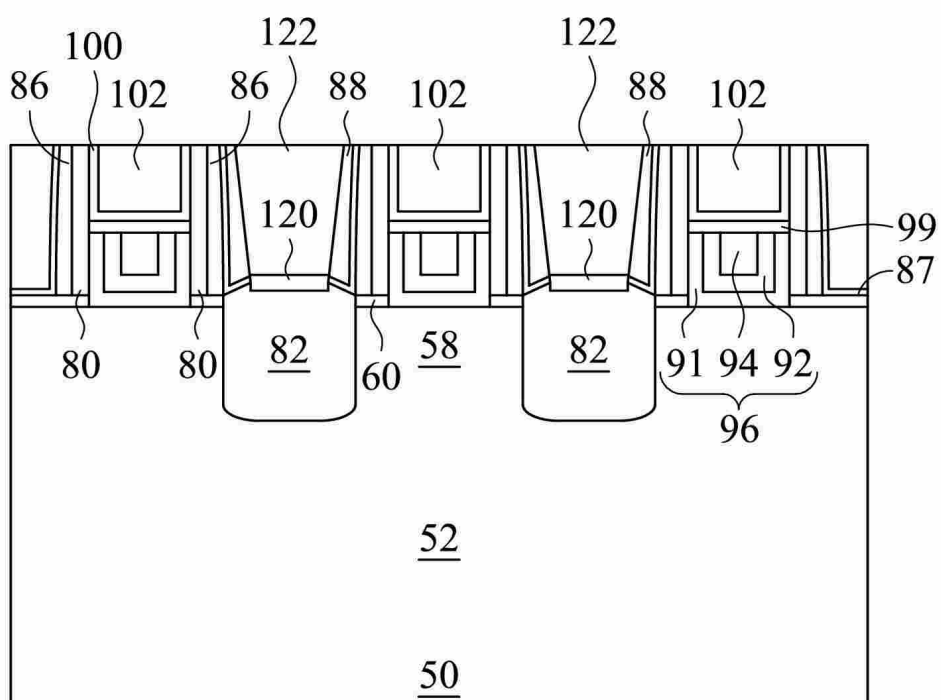
第 19A 圖



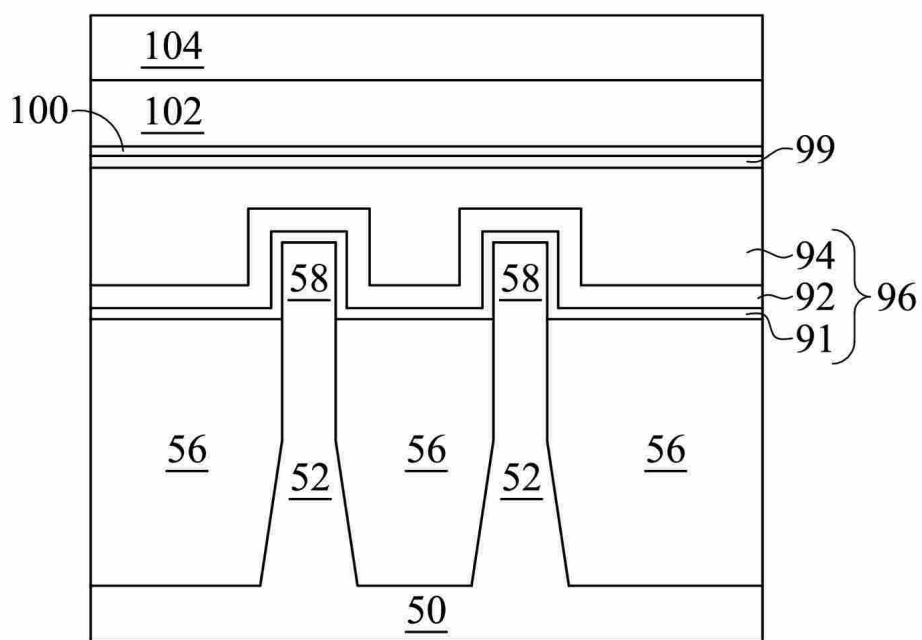
第 19B 圖



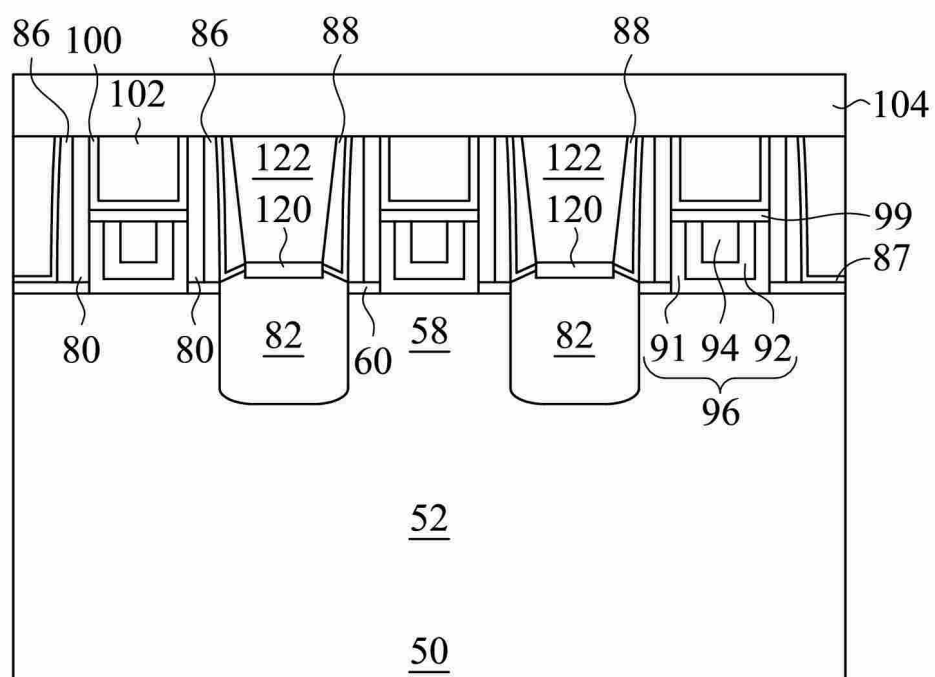
第 20A 圖



第 20B 圖

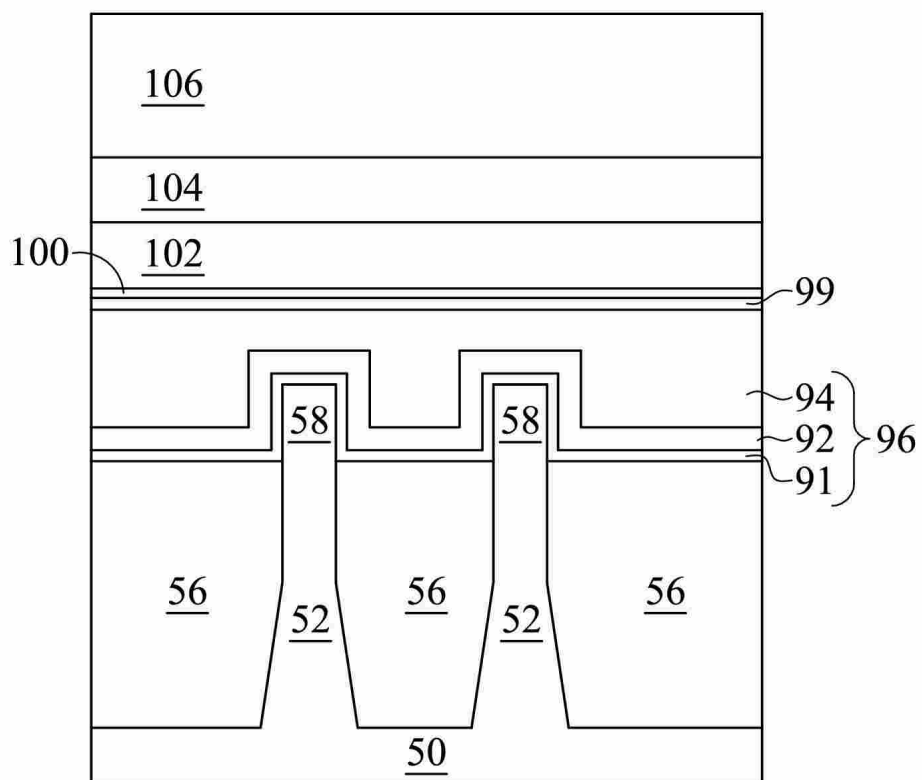


第 21A 圖

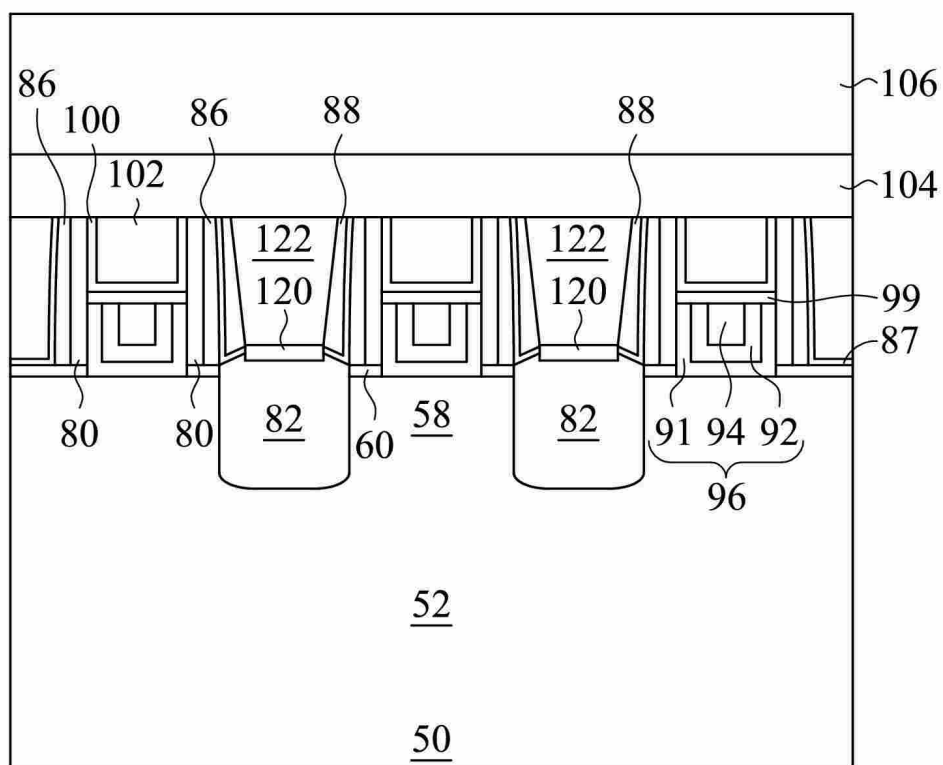


第 21B 圖

(23)

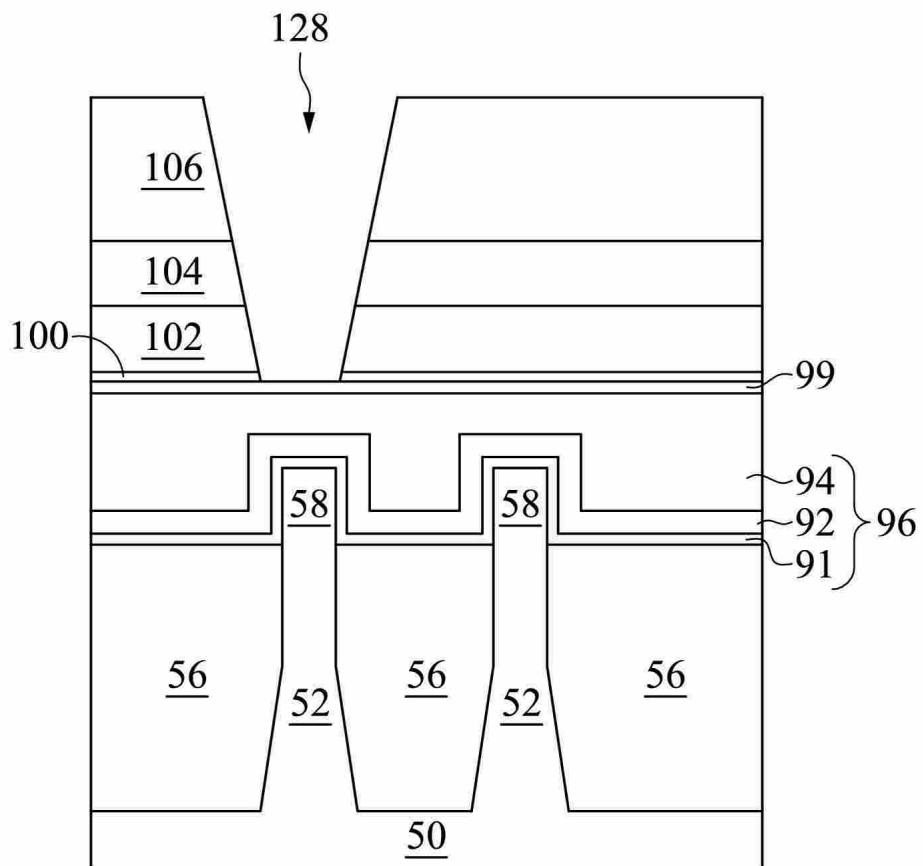


第 22A 圖



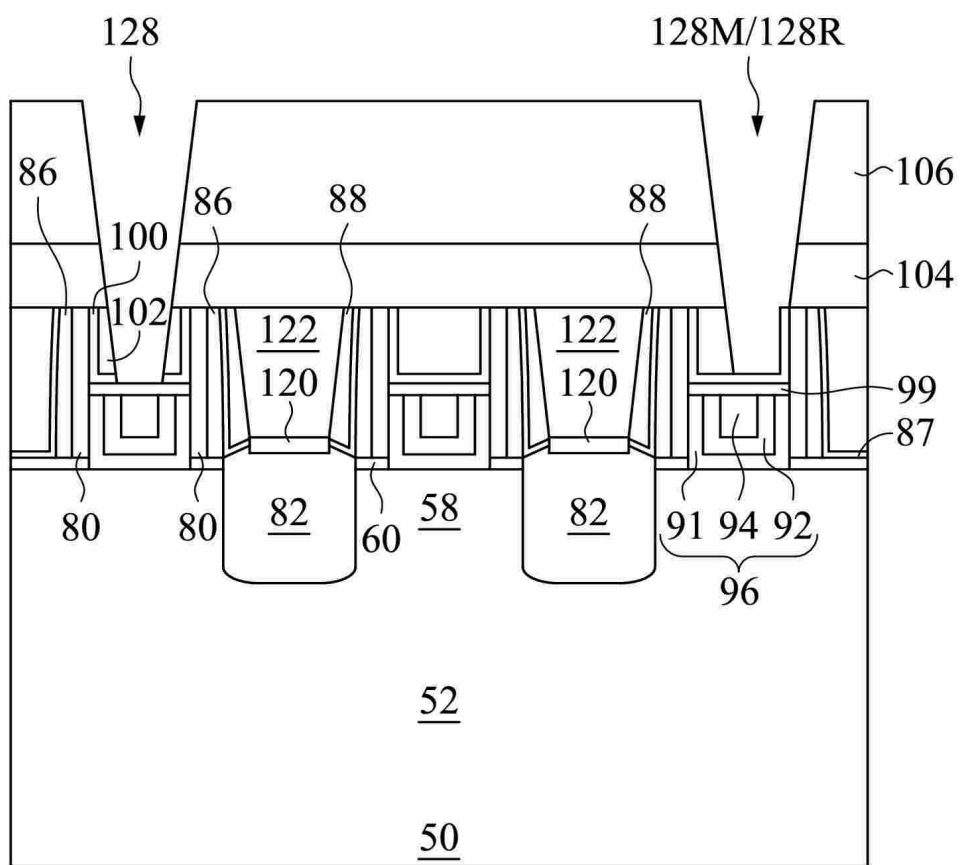
第 22B 圖

(24)

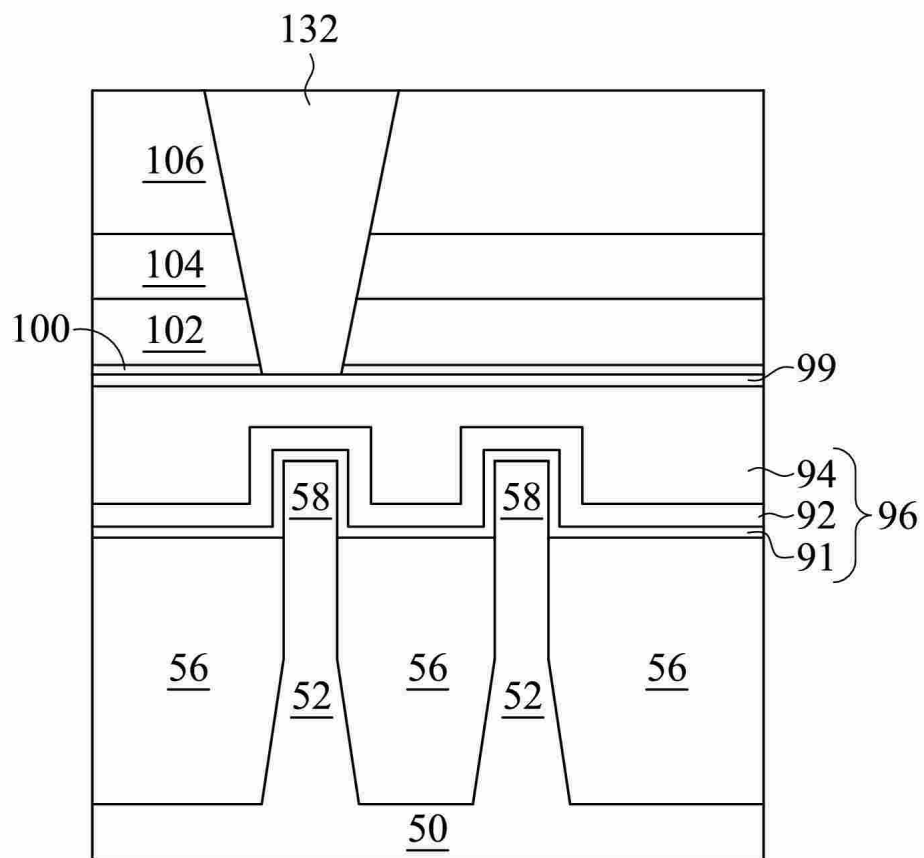


第 23A 圖

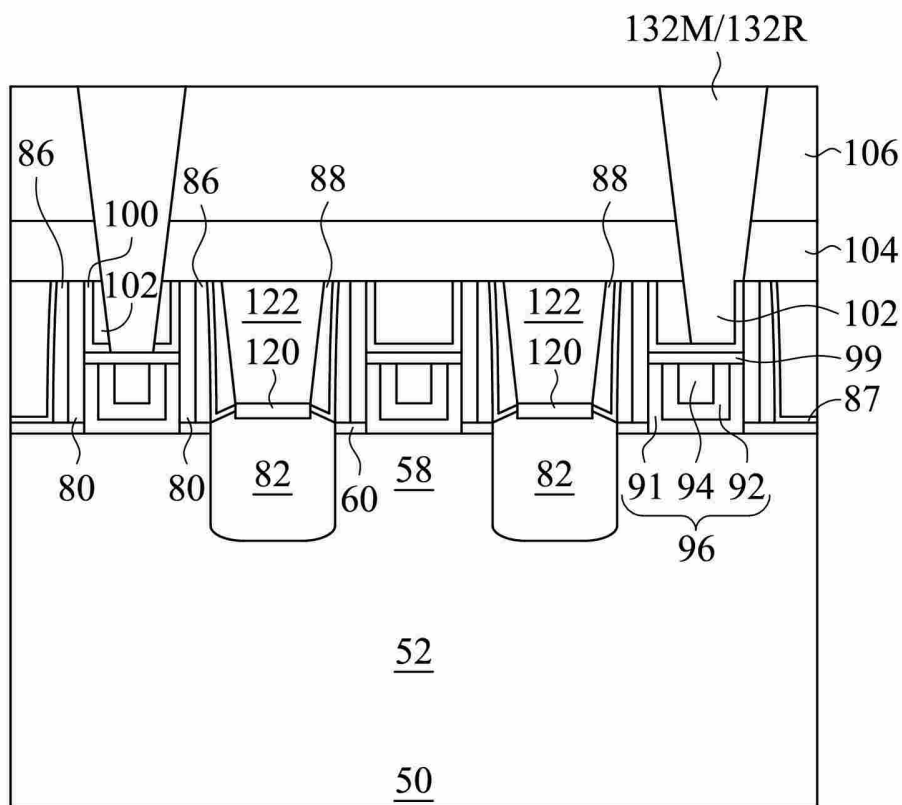
(25)



第 23B 圖

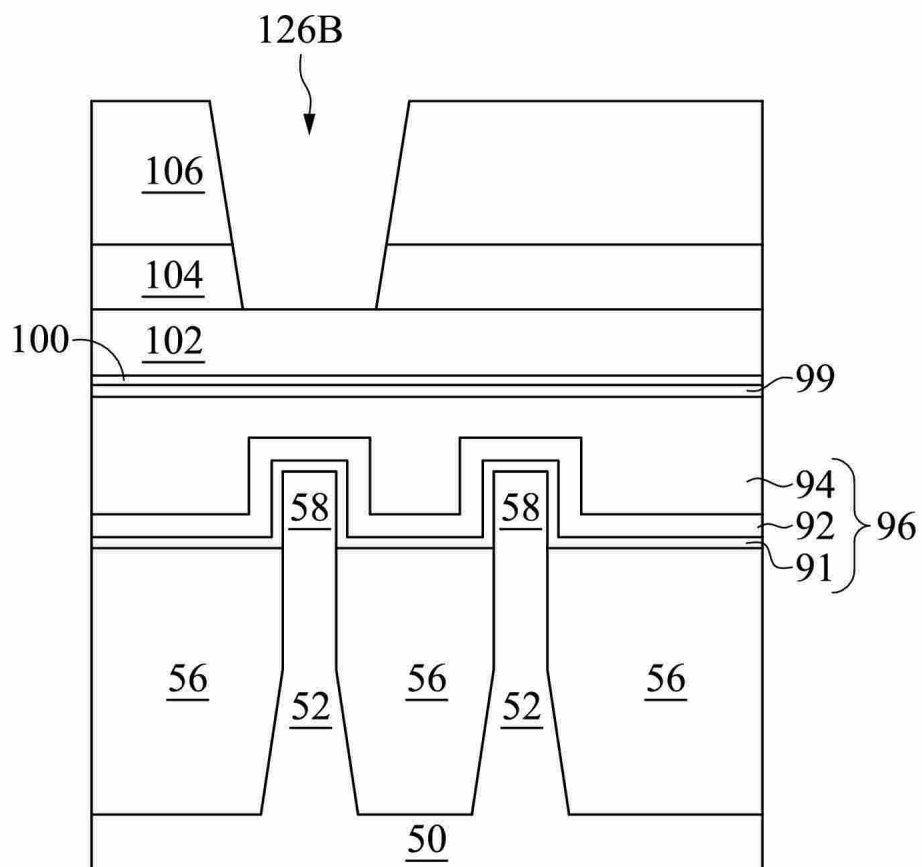


第 24A 圖



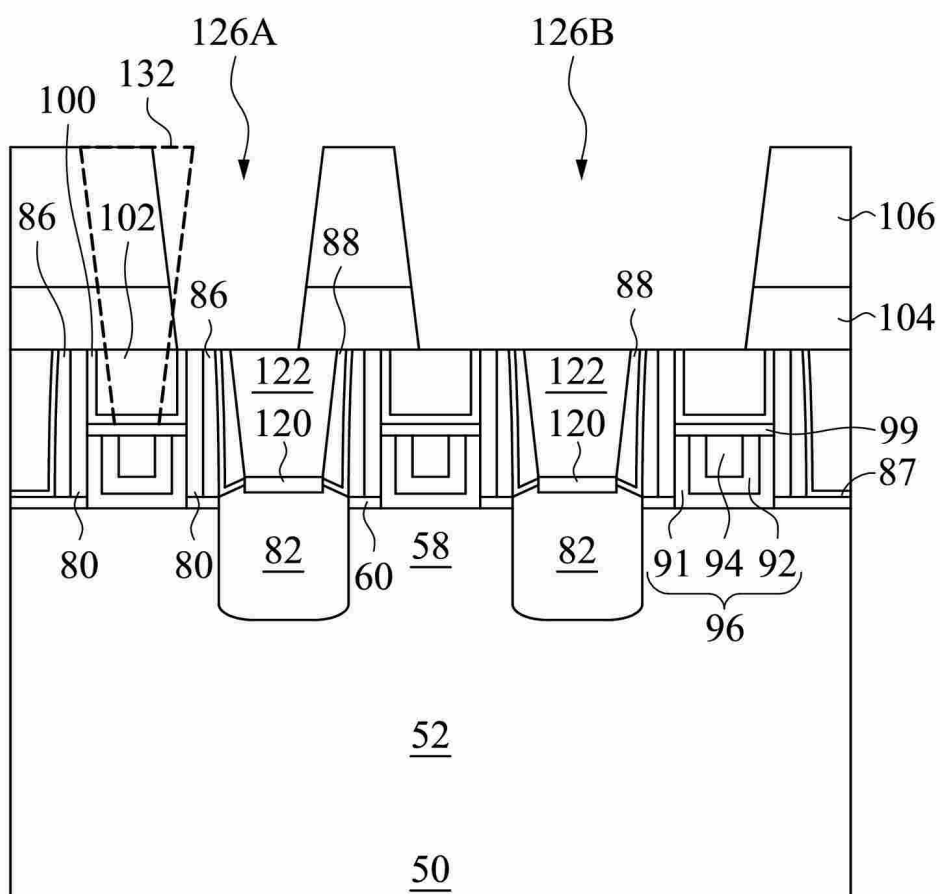
第 24B 圖

(28)



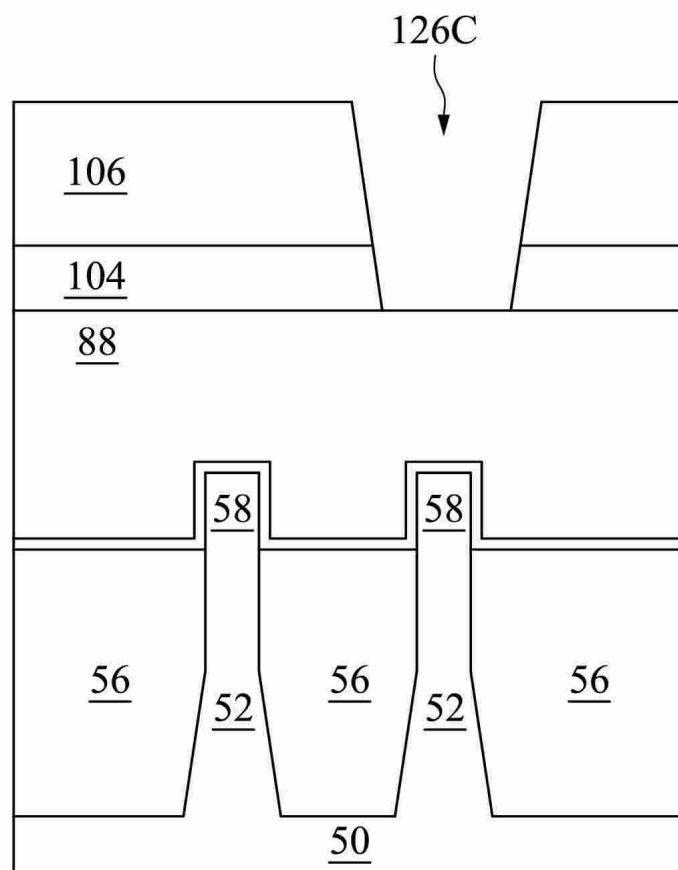
第 25A 圖

(29)



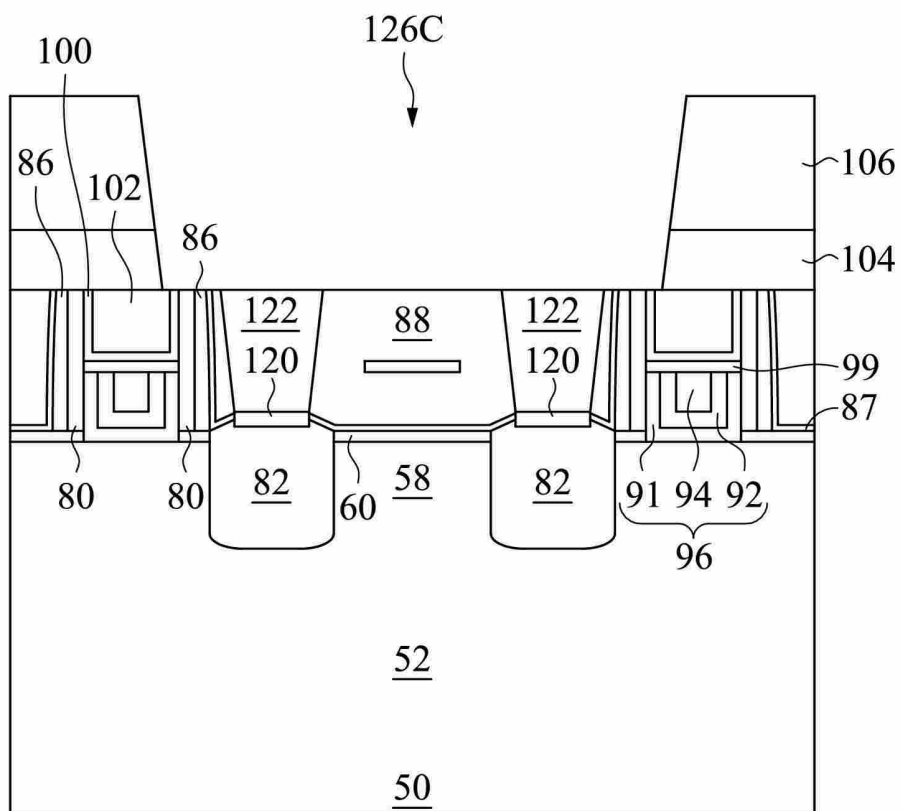
第 25B 圖

(30)



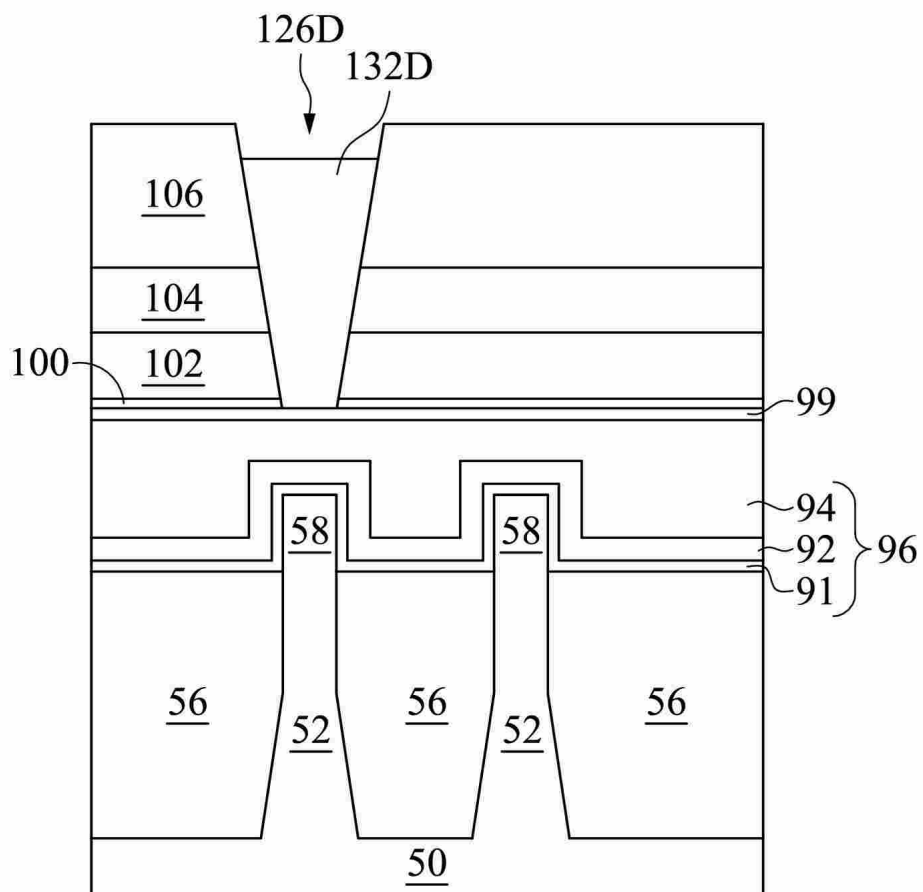
第 25C 圖

(31)



第 25D 圖

(32)

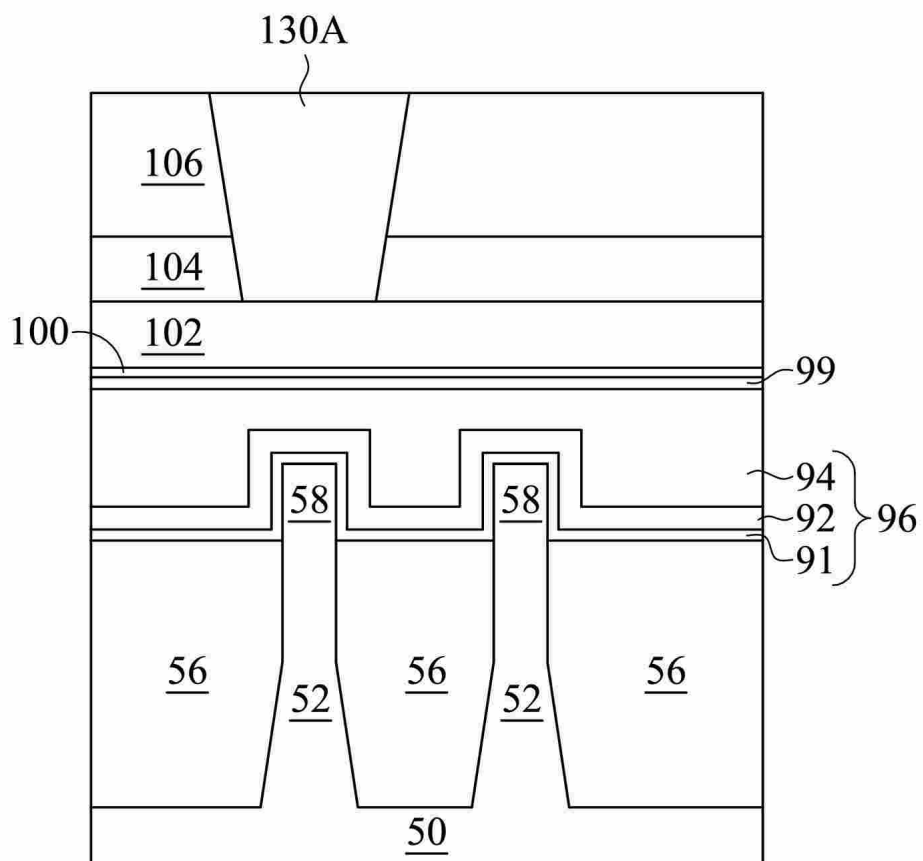


第 25E 圖

[illegible]

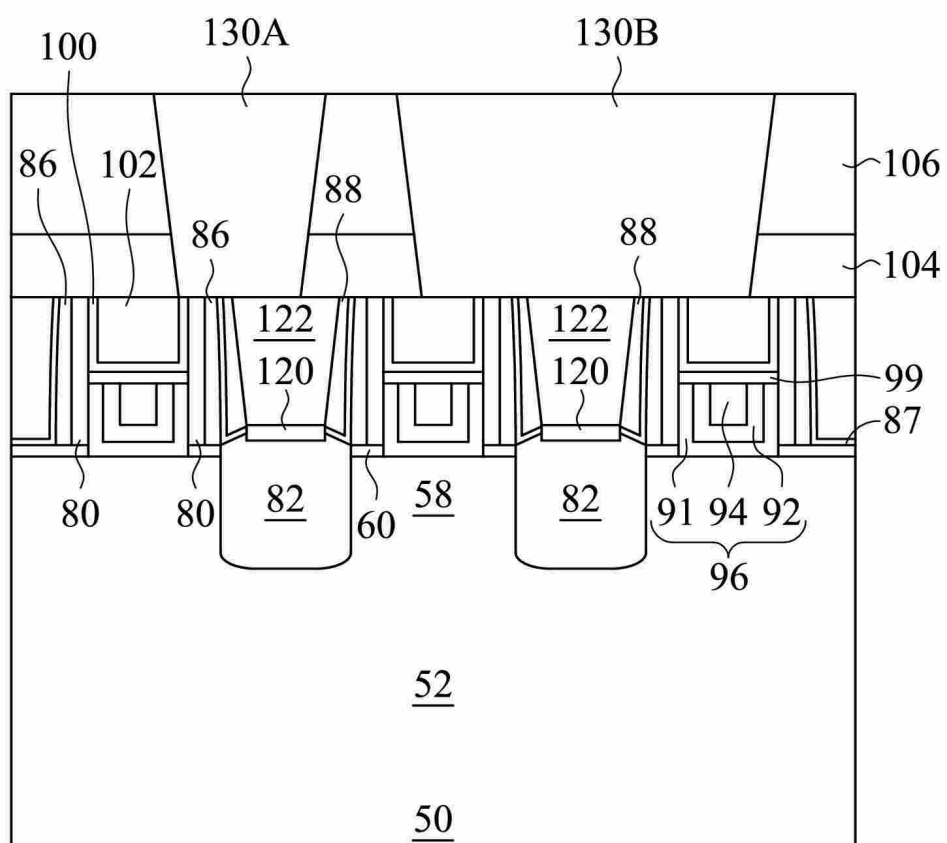
The diagram shows a plan view of a semiconductor device. It features a grid of vertical bars (96) and horizontal bars (126A, 126B, 126C, 126D). Various components are labeled with letters A-F and numbers 96, 132, 132R. A coordinate system (X, Y) is shown at the bottom left.

- 4620 -



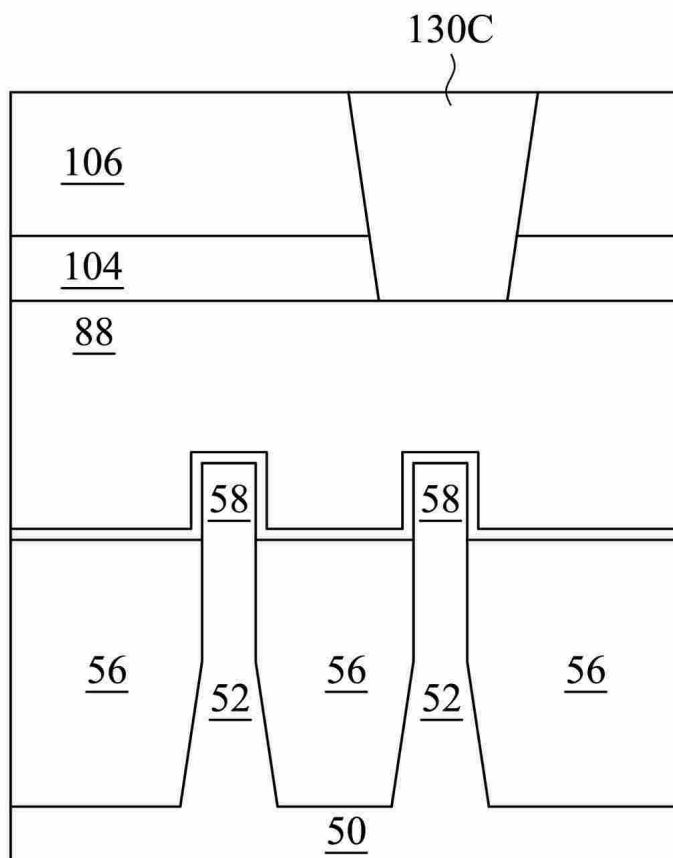
第 26A 圖

(35)



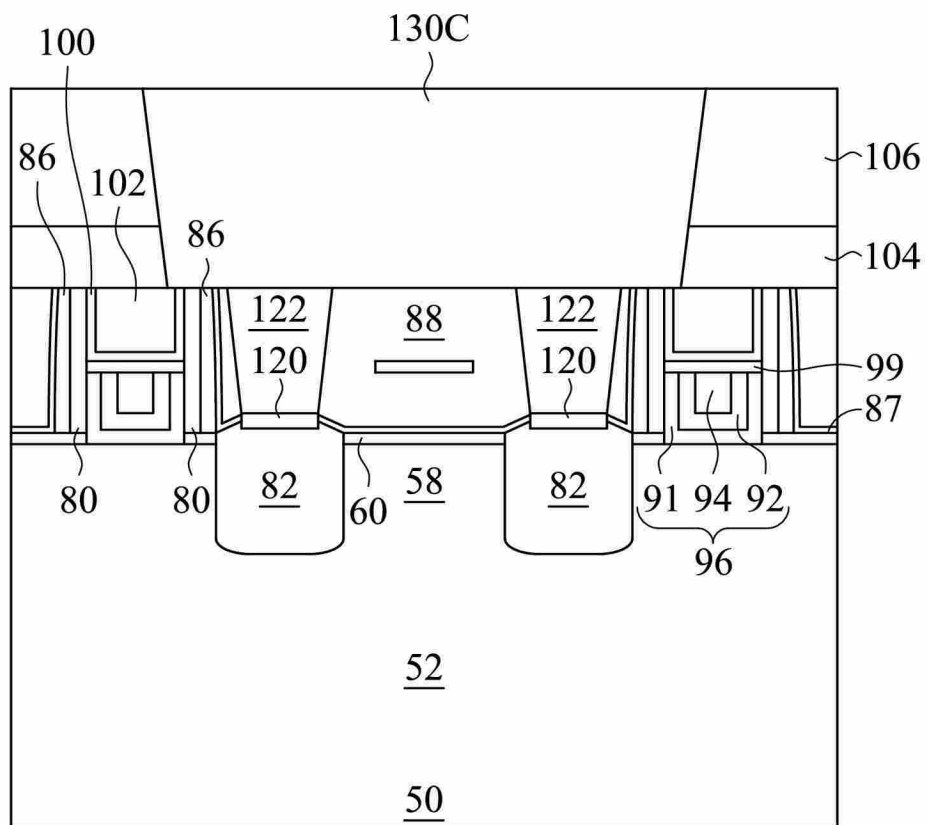
第 26B 圖

(36)

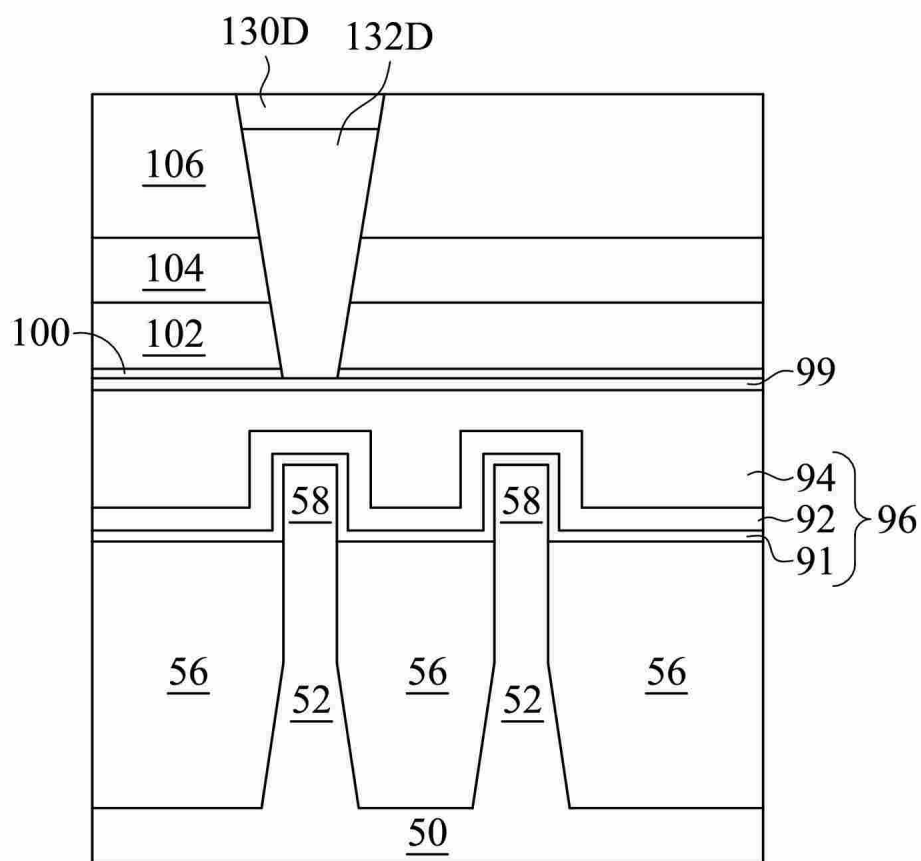


第 26C 圖

(37)



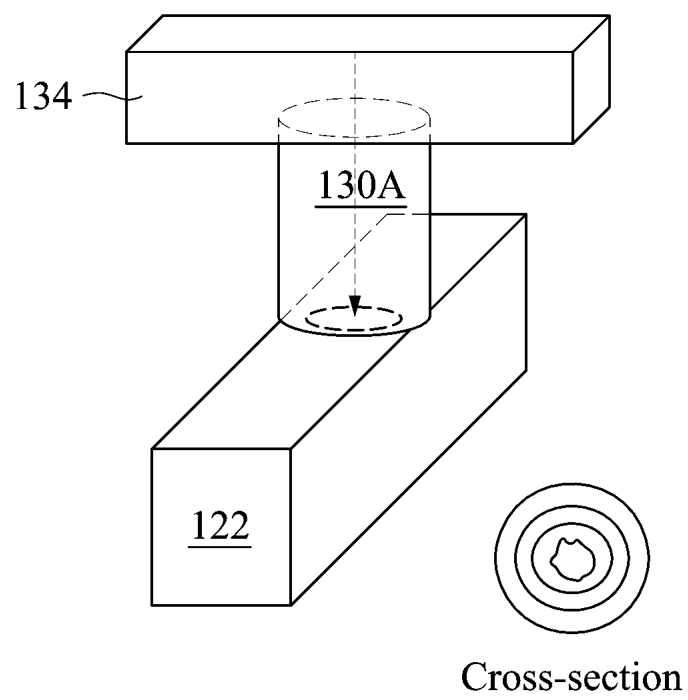
第 26D 圖



第 26E 圖

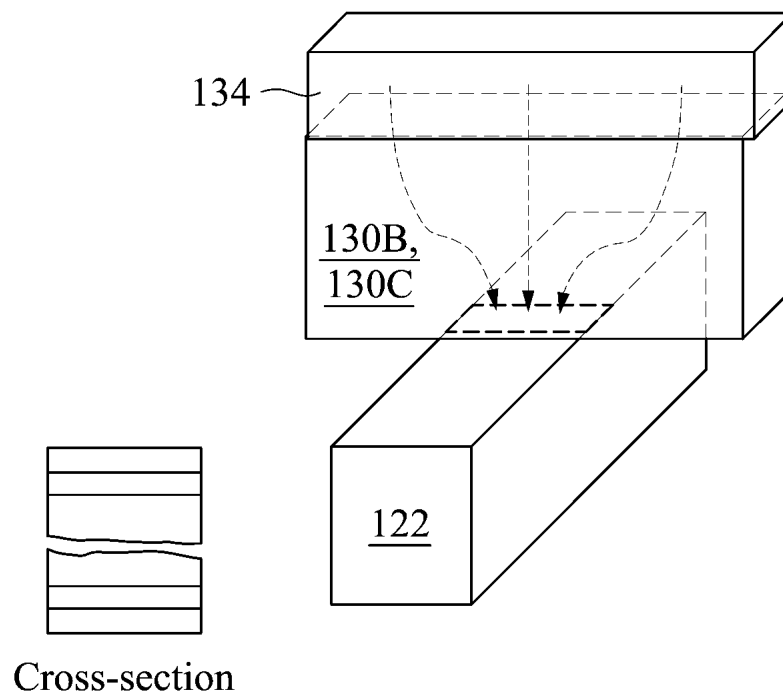
- 4626 -

(40)

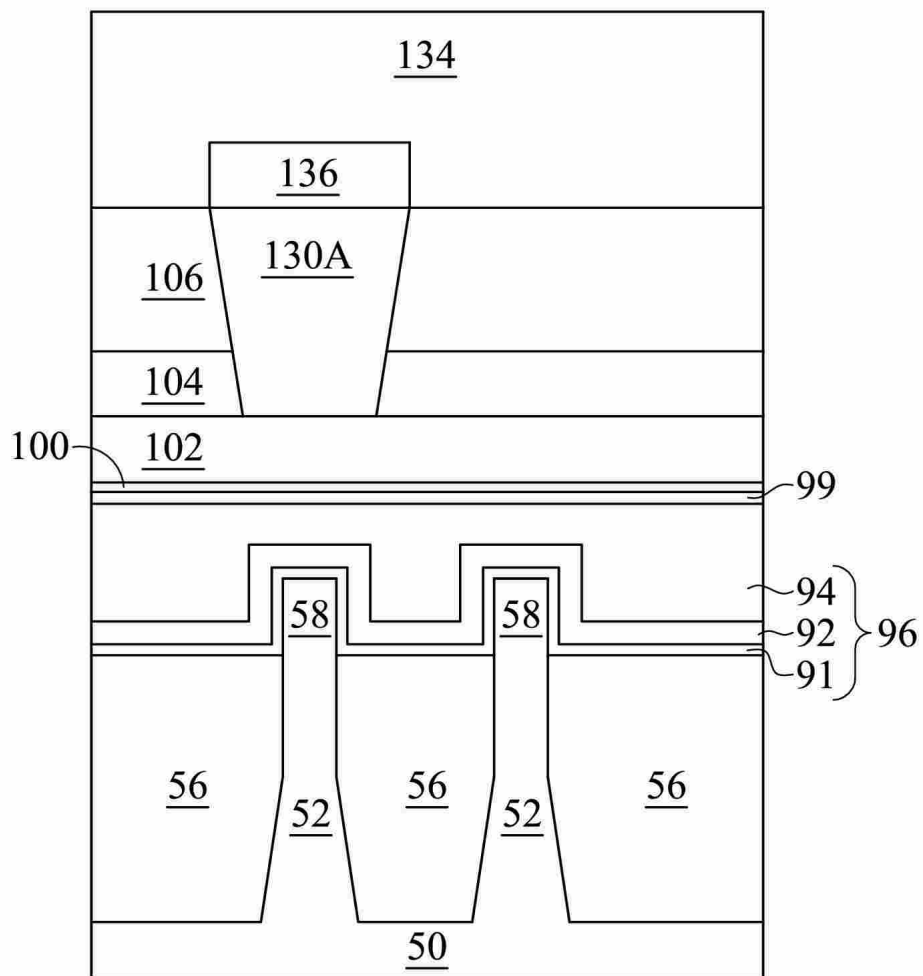


第 26H 圖

(41)

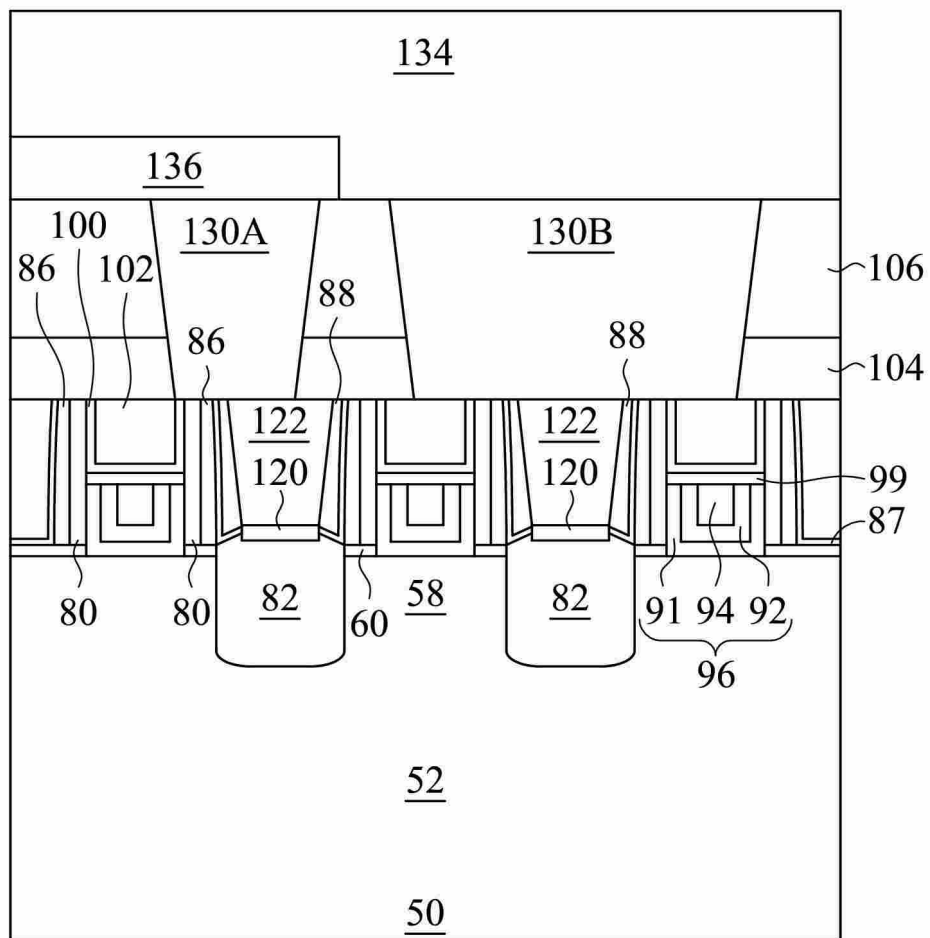


第 26I 圖

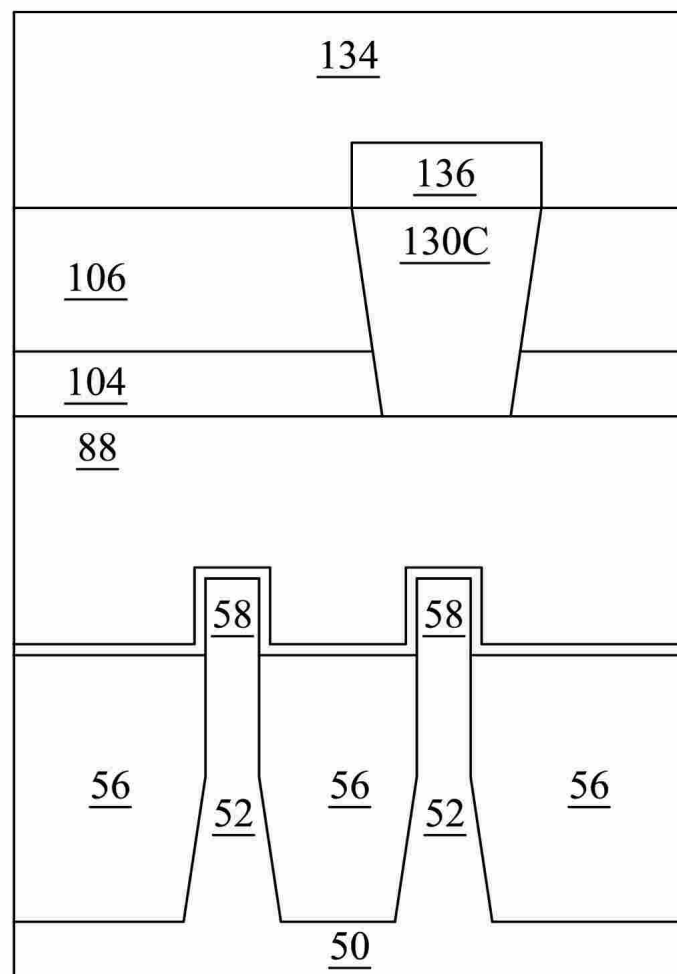


第 27A 圖

(43)

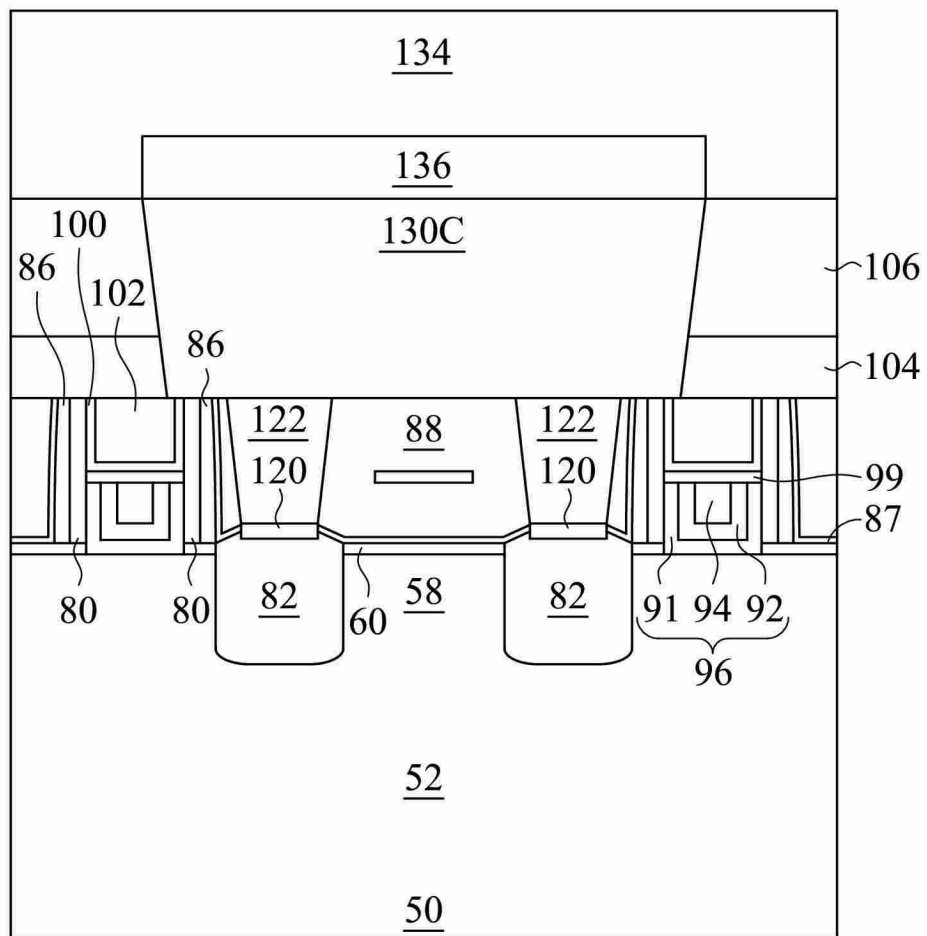


第 27B 圖

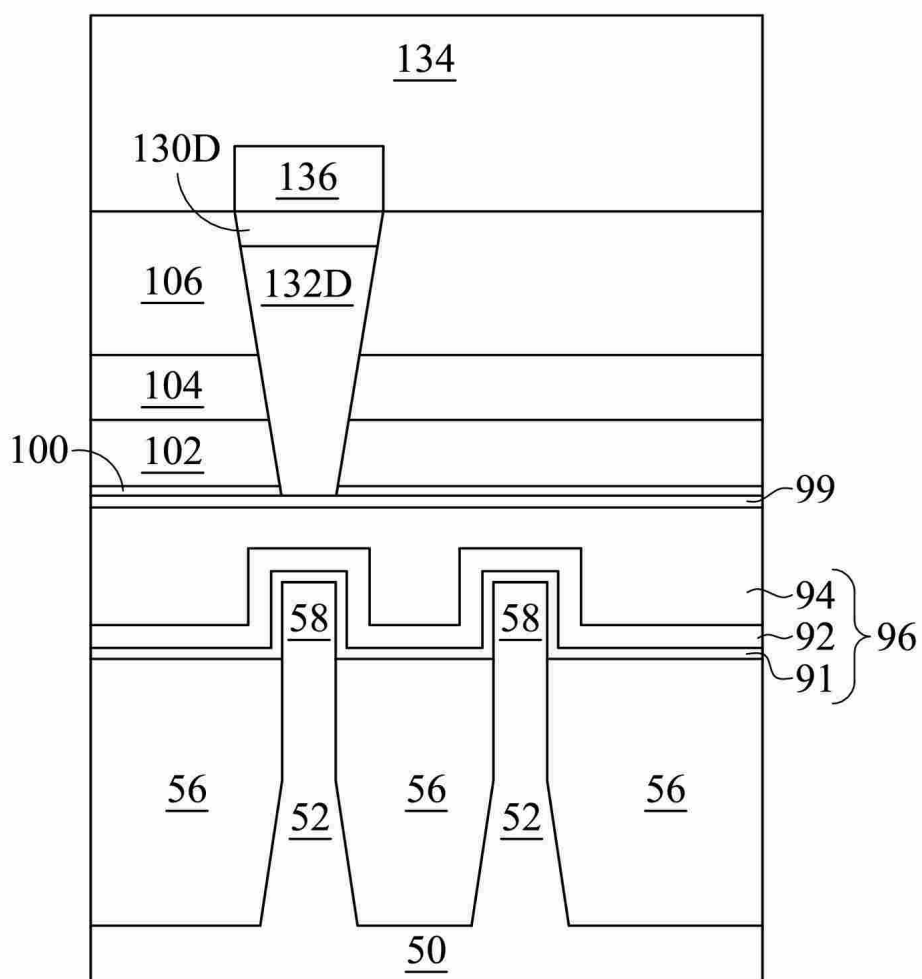


第 27C 圖

(45)

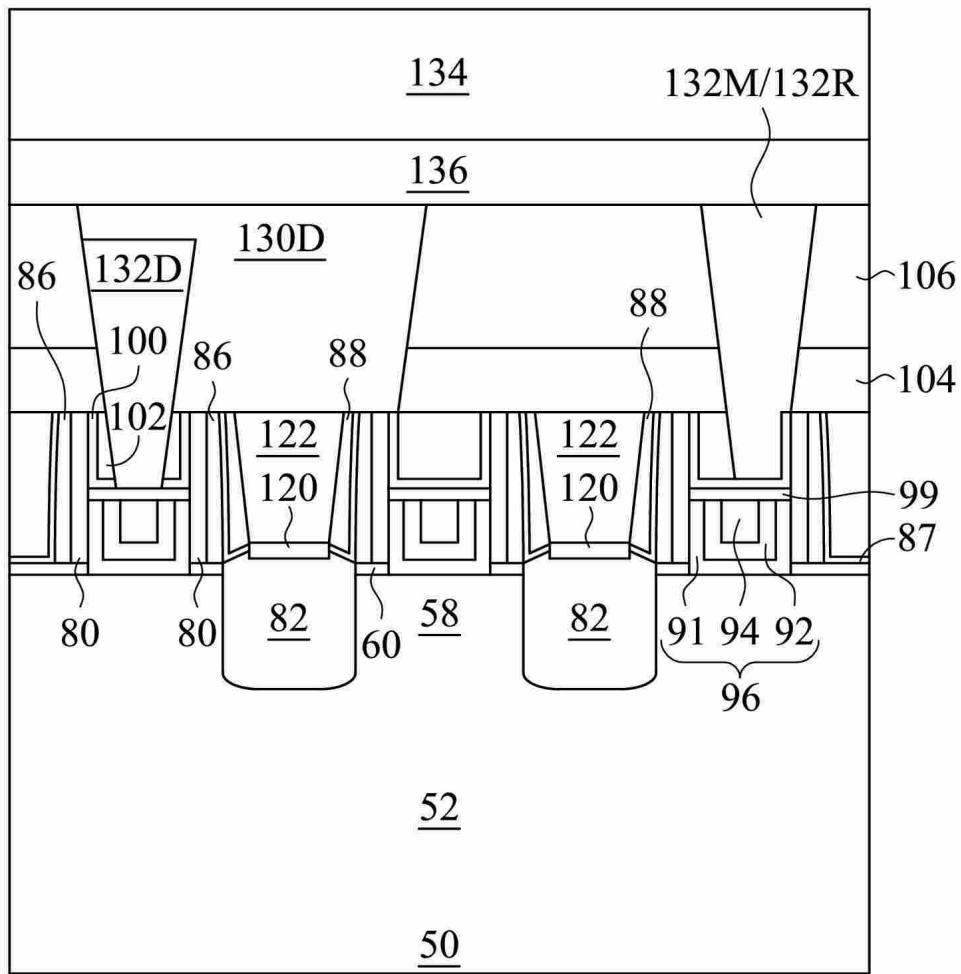


第 27D 圖



第 27E 圖

(47)



第 27F 圖