

【11】證書號數：I938634

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D84/03 (2025.01) H10D84/85 (2025.01)

發明

全 21 頁

【54】名稱：半導體裝置及其形成之方法

【21】申請案號：113130635

【22】申請日：中華民國 113 (2024) 年 08 月 15 日

【11】公開編號：202539436

【43】公開日期：中華民國 114 (2025) 年 10 月 01 日

【30】優先權：2024/03/19

美國

63/567,228

2024/06/20

美國

18/749,295

【72】發明人：黃詠騫 (TW) HUANG, YUNG-CHIEN；黃泰維 (TW) HWANG, TAI-WEI；鍾鴻欽 (TW) CHUNG, HUNG-CHIN；李達元 (TW) LEE, DA-YUAN；陳建豪 (TW) CHEN, CHIEN-HAO；張文 (TW) CHANG, WENG；徐志安 (US) CHUI, CHI ON；蔡明興 (TW) TSAI, MING-HSING

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR

MANUFACTURING COMPANY, LTD.

新竹科學園區力行六路八號

【74】代理人：何愛文；王仁君

【56】參考文獻：

TW 202114065A

TW 202230722A

US 2021/0118743A1

US 2023/0099540A1

US 2024/0014282A1

審查人員：陳憶緣

## 【57】申請專利範圍

## 1. 一種形成半導體裝置之方法，包含：

形成沿著垂直於一半導體裝置的一半導體基板的一方向佈置的第一複數個奈米結構通道層；

形成沿著垂直於該半導體基板的該方向佈置的第二複數個奈米結構通道層；

形成圍繞該第一複數個奈米結構通道層中各者的一第一類型金屬層；

在該第一類型金屬層上形成一自組裝單層膜；以及

在該第二複數個奈米結構通道層上形成一第二類型金屬層，

其中該自組裝單層膜抑制該第二類型金屬層在該第一類型金屬層上的形成。

## 2. 如請求項 1 所述的方法，其中形成該自組裝單層膜包含：

藉由旋塗沉積包含該自組裝單層膜的材料的一溶液；以及

執行旋轉乾燥操作以固化該溶液以形成該自組裝單層膜。

## 3. 如請求項 1 所述的方法，進一步包含：

在形成該第二類型金屬層之後去除該自組裝單層膜。

## 4. 如請求項 3 所述的的方法，其中在去除該自組裝單層膜之後，該自組裝單層膜的一殘留物保留在該第一類型金屬層上。

## 5. 如請求項 3 所述的的方法，其中去除該自組裝單層膜包含：

對該自組裝單層膜執行熱分解操作以分解該自組裝單層膜的烴鏈。

## 6. 如請求項 5 所述的的方法，其中執行該熱分解操作包含：

將該自組裝單層薄膜加熱至包括在約 300 攝氏度至約 500 攝氏度範圍內的一溫度。

7. 如請求項 3 所述的方法，其中，去除該自組裝單層膜包含：  
對該自組裝單層膜執行電漿處理操作以去除該自組裝單層膜。
8. 如請求項 1 所述的方法，其中形成該自組裝單層膜包含：  
將該自組裝單層膜形成為一不連續薄膜。
9. 一種形成半導體裝置之方法，包括：  
形成沿著垂直於一半導體裝置的一半導體基板的一方向佈置的第一複數個奈米結構通道層；  
形成沿著垂直於該半導體基板的該方向佈置的第二複數個奈米結構通道層；  
形成圍繞該第一複數個奈米結構通道層並圍繞該第二複數個奈米結構通道層的一閘極介電質層；  
在圍繞該第二複數個奈米結構通道層的該閘極介電質層上形成一自組裝單層膜；  
在該第一複數個奈米結構溝道層上形成一第一閘極結構的一 p 型金屬層，  
其中該自組裝單層膜的材料抑制該 p 型金屬層吸附在圍繞該第二複數個奈米結構溝道層的該閘極介電質層上；以及  
在形成該 p 型金屬層之後，在該第二複數個奈米結構溝道層上形成一第二閘極結構的一 n 型金屬層。
10. 一種半導體裝置，包含：  
第一複數個奈米結構溝道層，沿著垂直於該半導體裝置的一半導體基板的一方向佈置；  
第二複數個奈米結構溝道層，與該第一複數個奈米結構通道層相鄰，並沿垂直於該半導體基板的該方向佈置；  
一第一閘極結構，圍繞該第一複數個奈米結構通道層，該第一閘極結構包含：  
一 p 型金屬層；及  
一自組裝單層膜殘留物，位於該 p 型金屬層上，該自組裝單層膜殘留物包含下列項中的至少一項的配體：  
硫 (S)，  
矽 (SI)，或  
磷 (P)；以及  
一第二閘極結構，圍繞該第二複數個奈米結構通道層中的各者，該第二閘極結構包含一 n 型金屬層。

#### 圖式簡單說明

結合所附圖式閱讀下面的詳細說明，可以更佳地理解本揭露的各態樣。應注意的是，根據業界標準實務，各種特徵未按比例繪製。事實上，為便於討論，各種特徵的尺寸可任意增大或縮小。

圖 1A 至圖 1C 是本揭露所述的鰭定義製程的範例實現方式的圖示。

圖 2 是本揭露所描述的範例虛設閘極結構形成製程的圖示。

圖 3 是本揭露所描述的源極/汲極凹部形成製程的範例實現方式的圖示。

圖 4A 和圖 4B 是本揭露所描述的內部間隔件形成製程的範例實現方式的圖示。

圖 5 是本揭露所描述的源極/汲極區域形成製程的範例實現方式的圖示。

圖 6 是本揭露所描述的層間介電質形成製程的範例實現方式的圖示。

圖 7A 至圖 7H 是本揭露所述的替代閘極製程的範例實現方式的圖示。

圖 8 是本揭露所描述的奈米結構電晶體的閘極結構中的元素濃度的範例的圖示。

圖 9 是本揭露所描述的奈米結構電晶體的閘極結構中的元素濃度的範例的圖示。

(3)

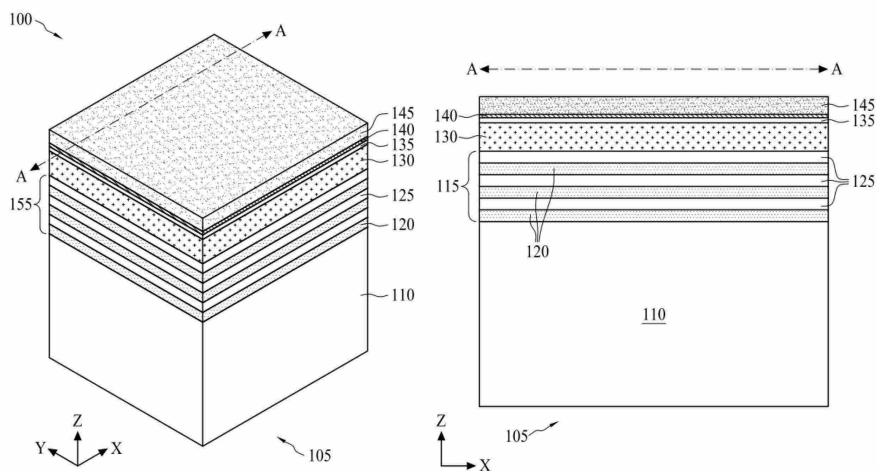
圖 10A 至圖 10D 是本揭露所述的奈米結構電晶體中的閘極結構的範例實現方式的圖示。

圖 11A 和圖 11B 是本揭露所描述的形成奈米結構電晶體的閘極結構的功函數金屬層的範例實現方式的圖示。

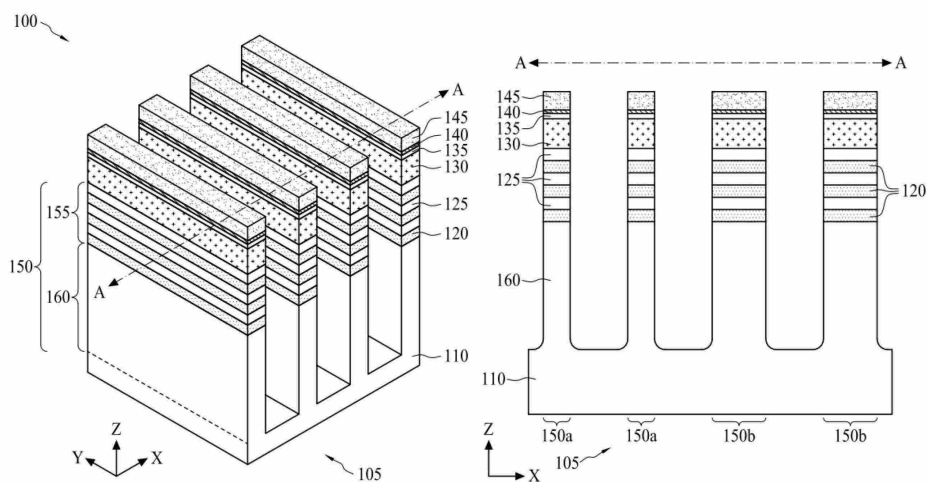
圖 12 和圖 13 是本揭露所描述的與形成半導體裝置相關聯的範例製程的流程圖。

圖 14A 至圖 14I 是本揭露所述的形成奈米結構電晶體的閘極結構的功函數金屬層的範例實現方式的圖示。

圖 15 是本揭露所描述的與形成半導體裝置相關聯的範例製程的流程圖。

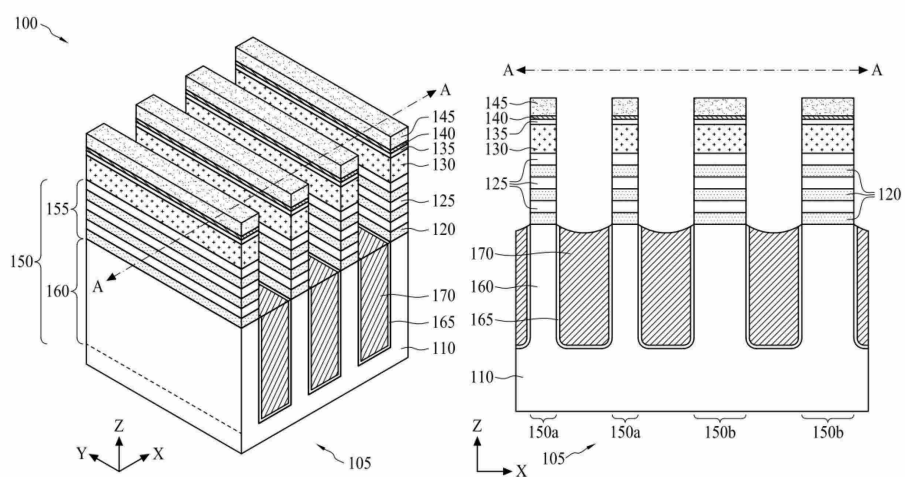


【圖1A】

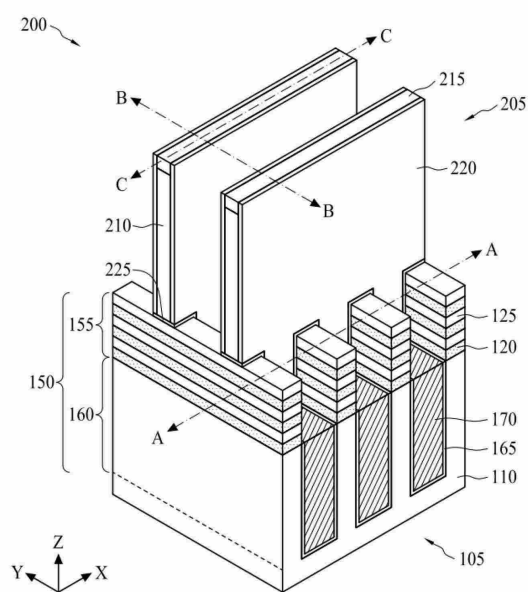


【圖1B】

(4)

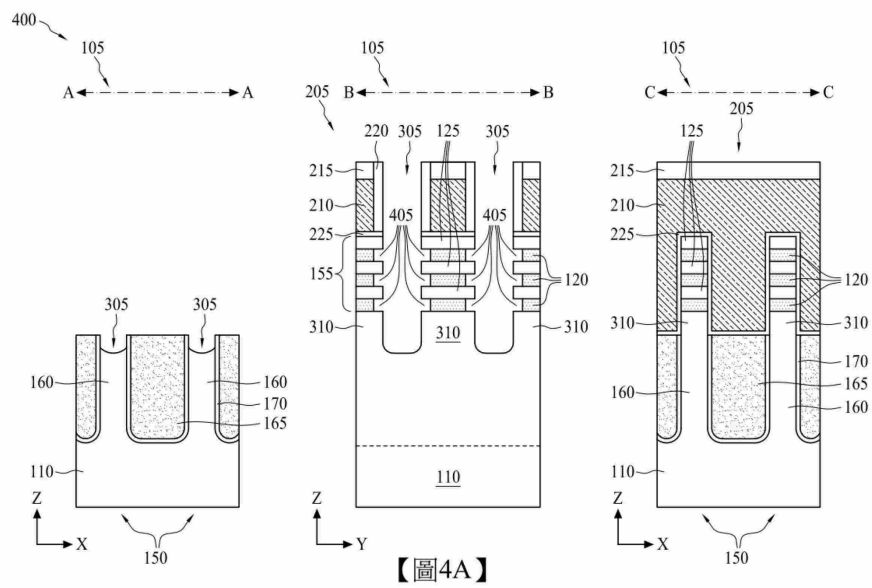
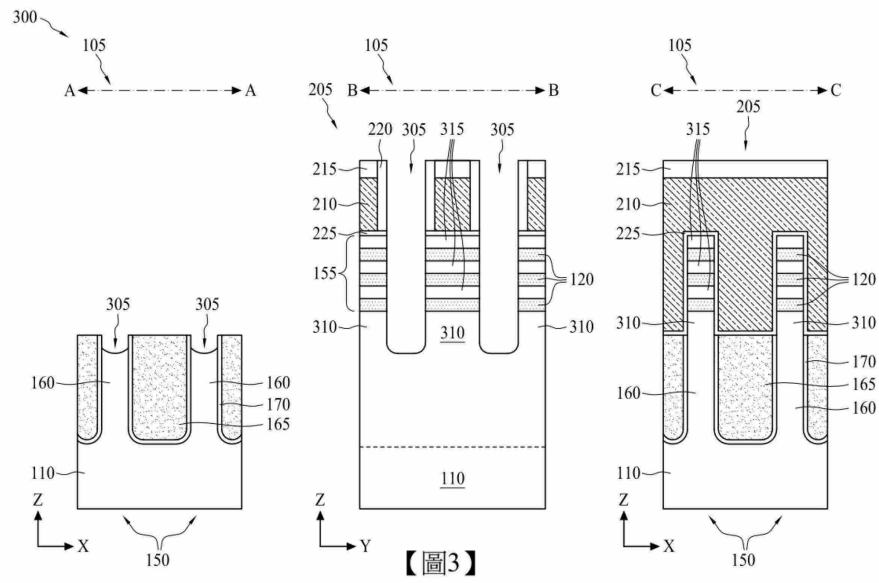


【圖1C】



【圖2】

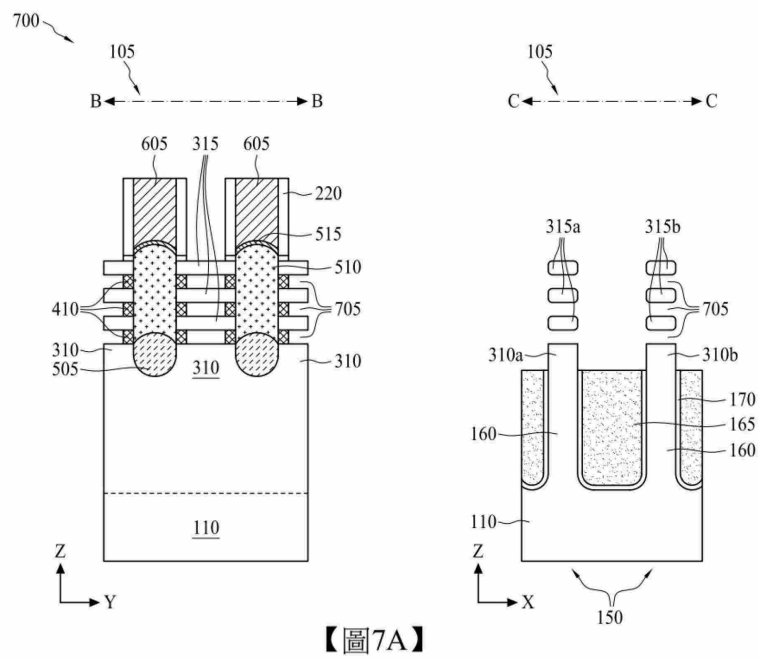
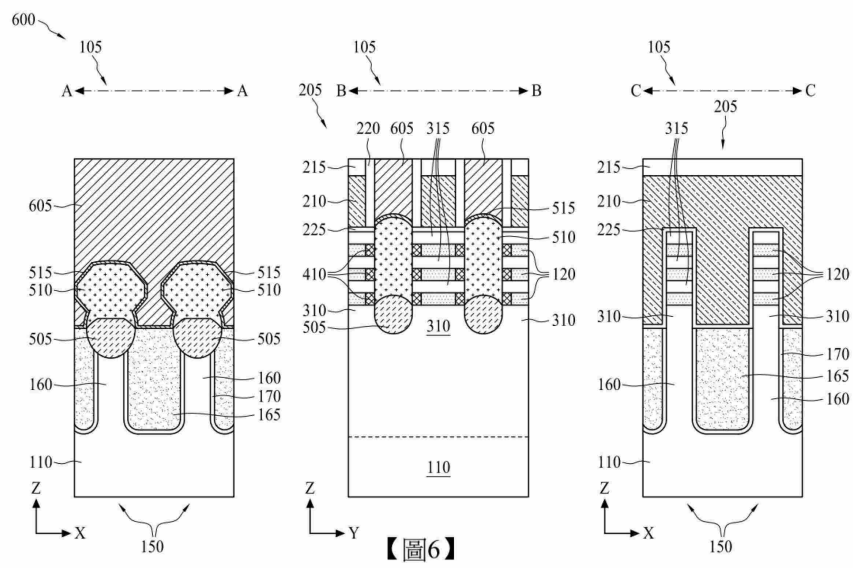
(5)



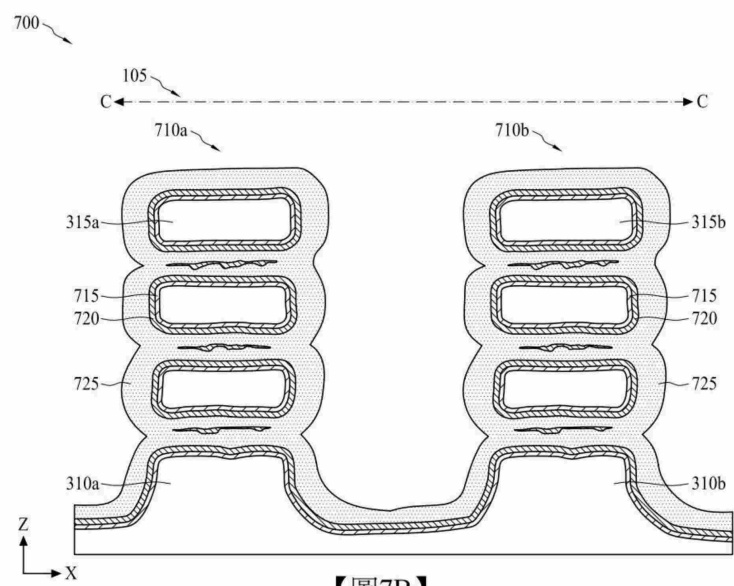
(6)



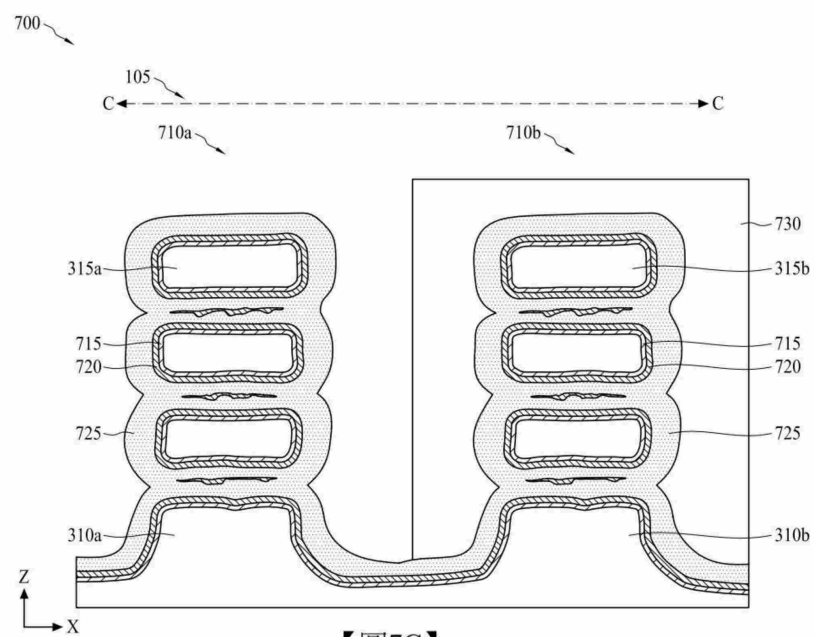
(7)



(8)

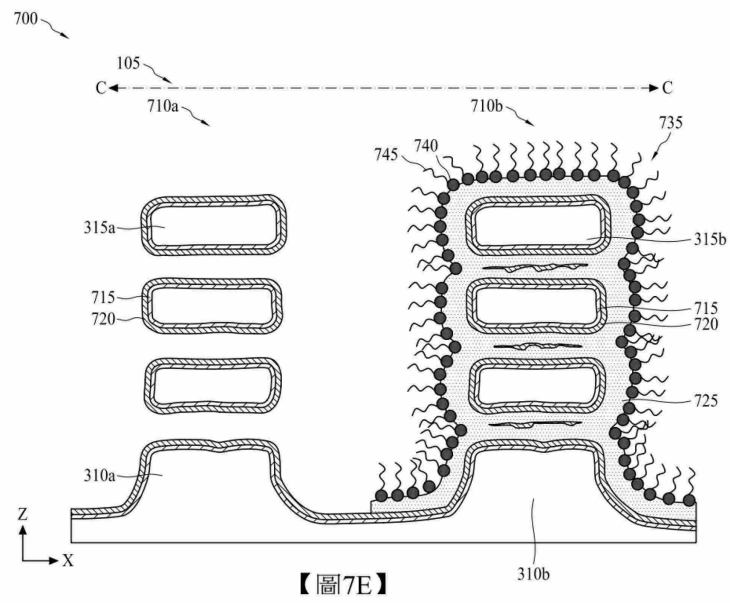
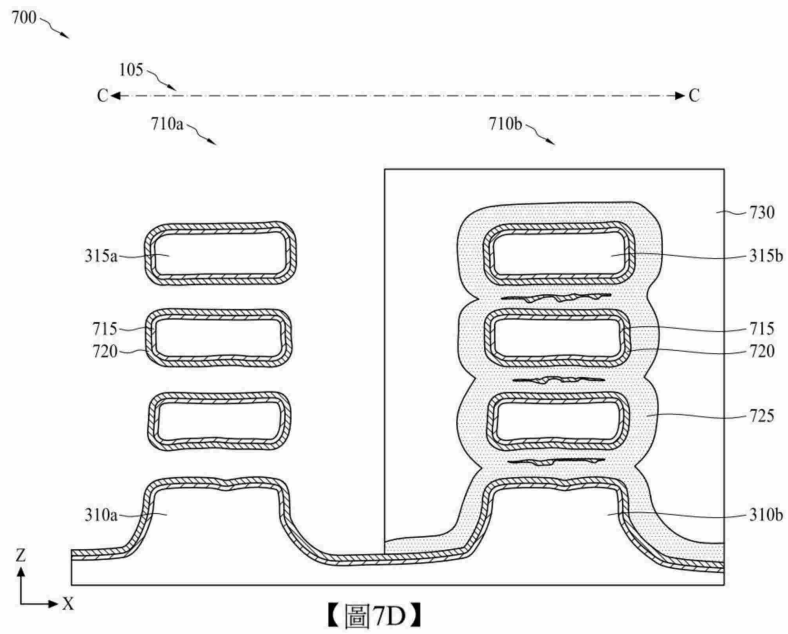


【圖7B】

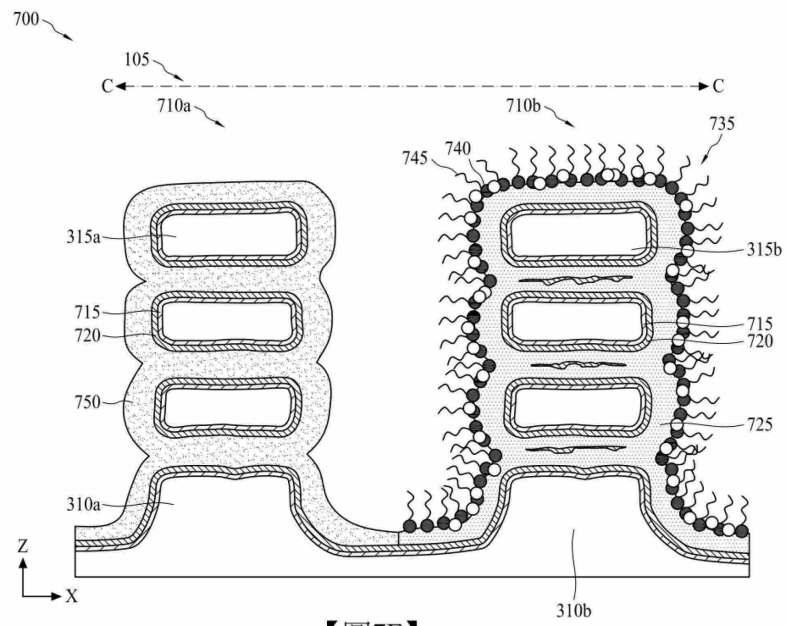


【圖7C】

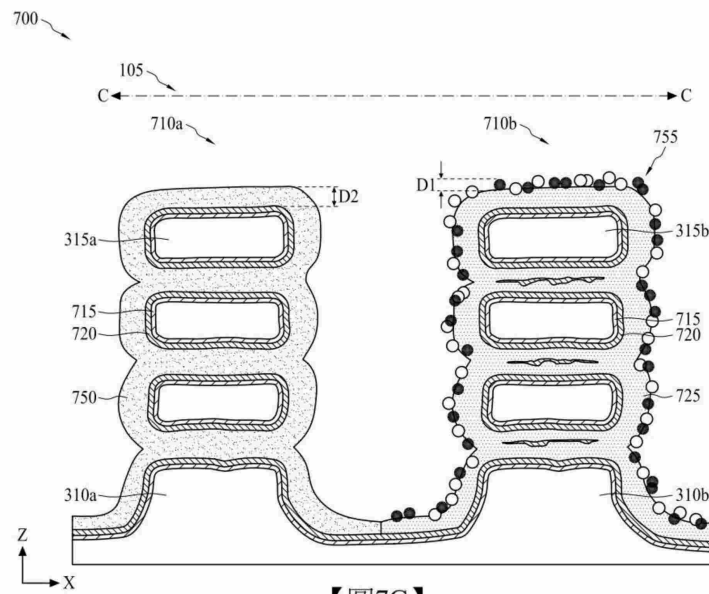
(9)



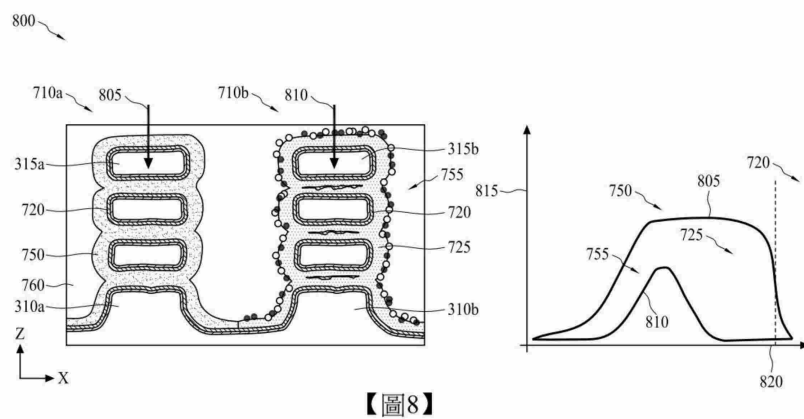
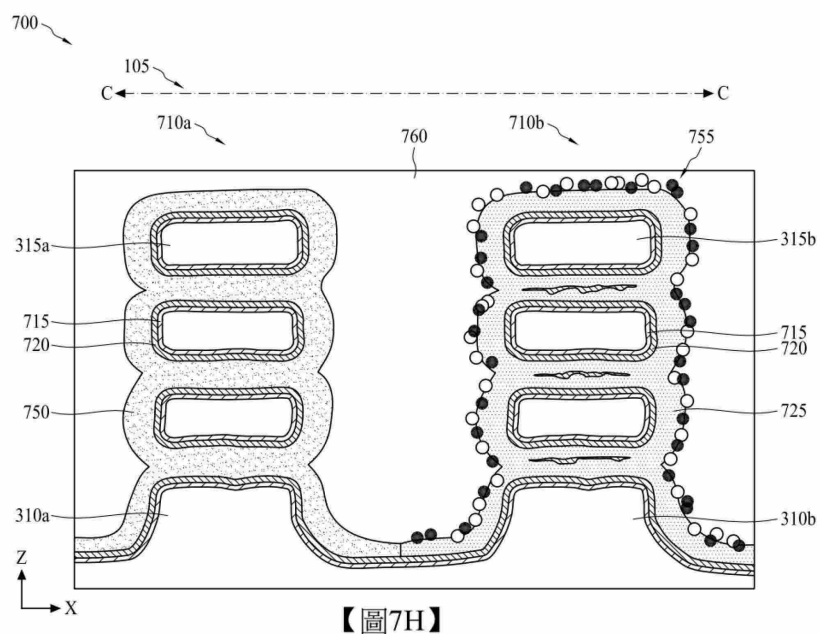
(10)



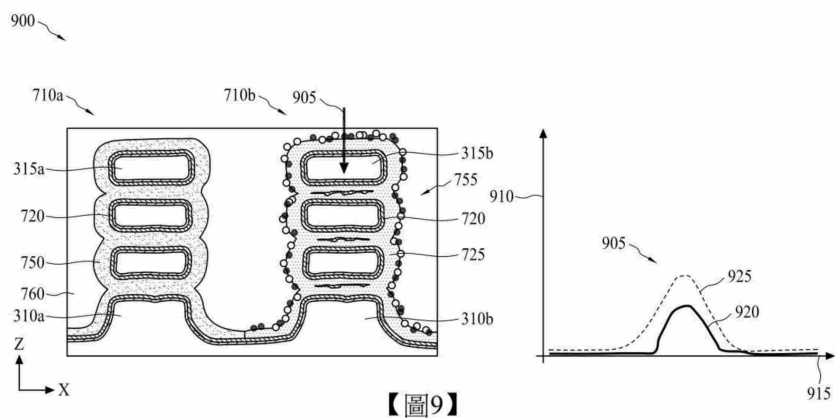
【圖7F】



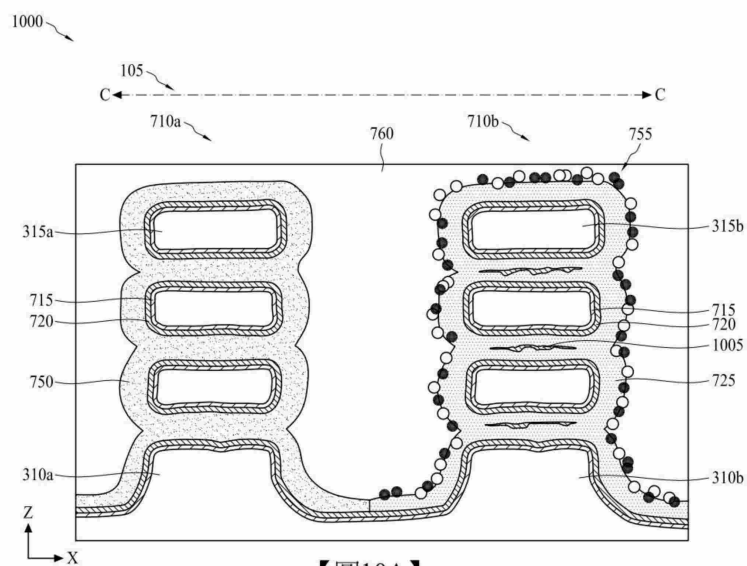
【圖7G】



(12)

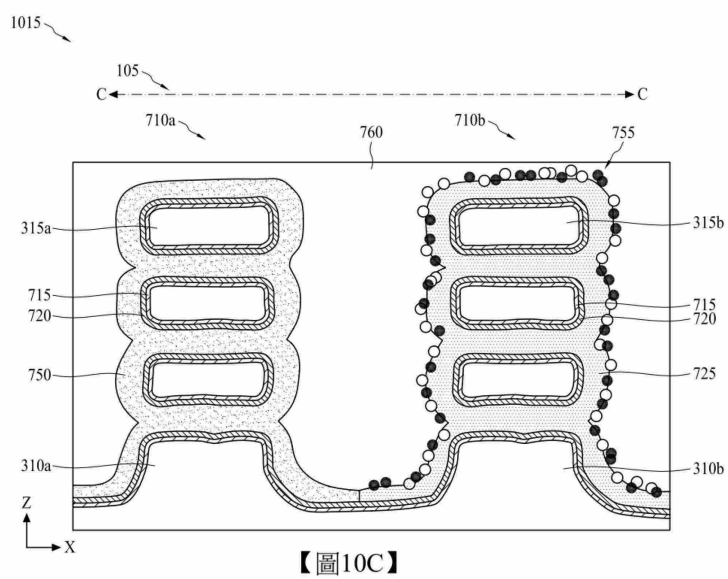
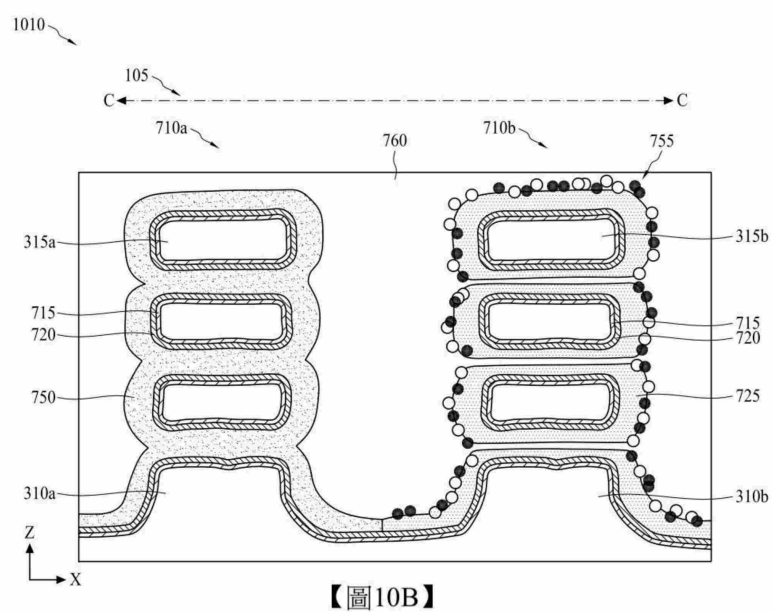


【圖9】

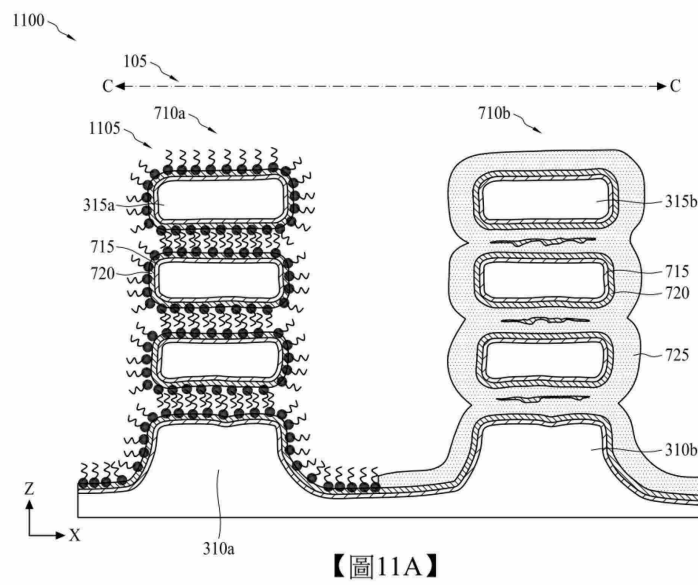
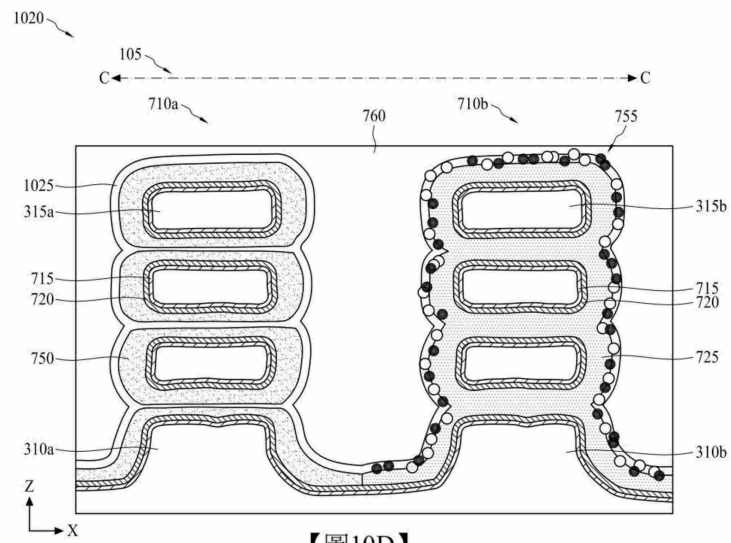


【圖10A】

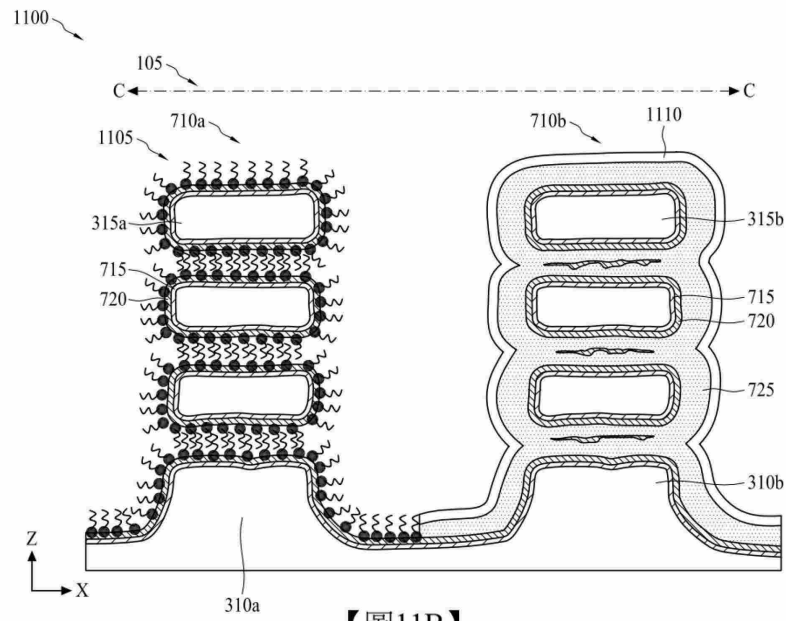
(13)



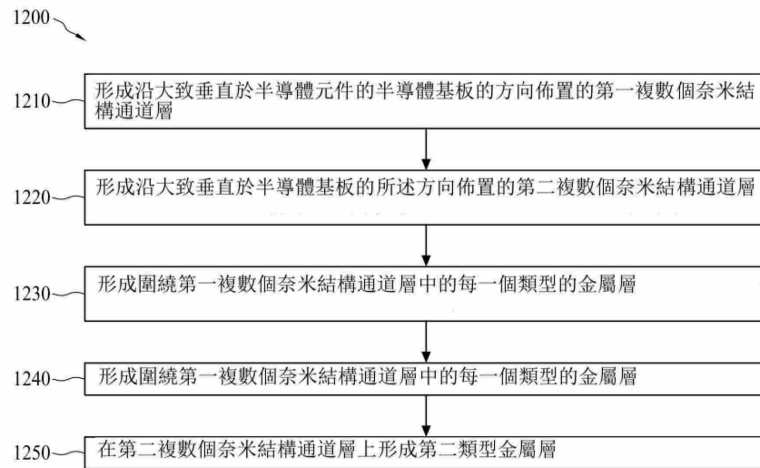
(14)



(15)

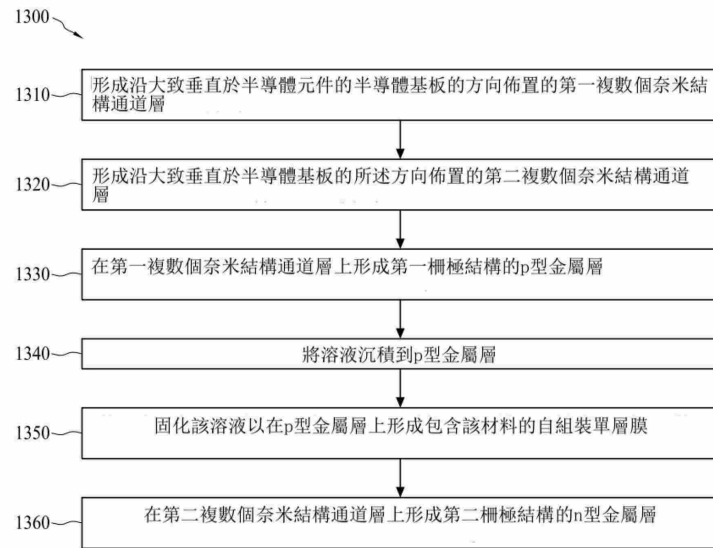


【圖11B】

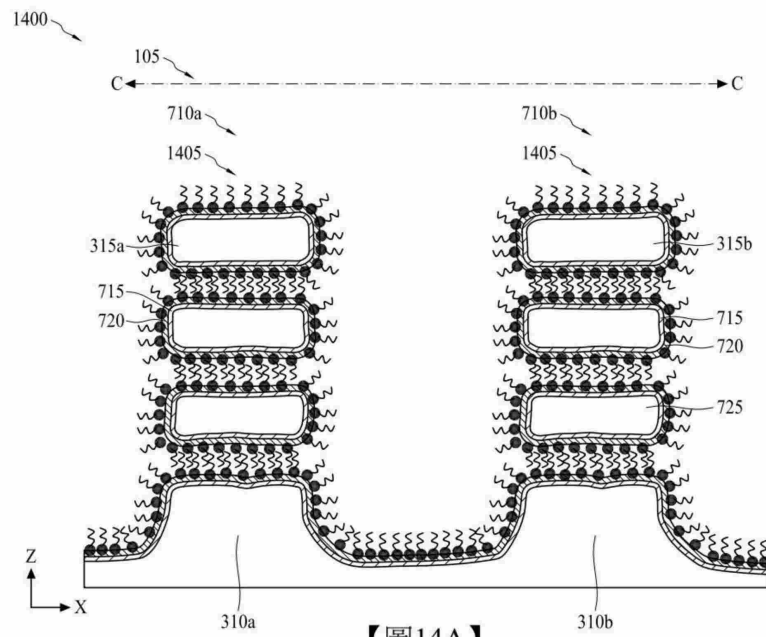


【圖12】

(16)

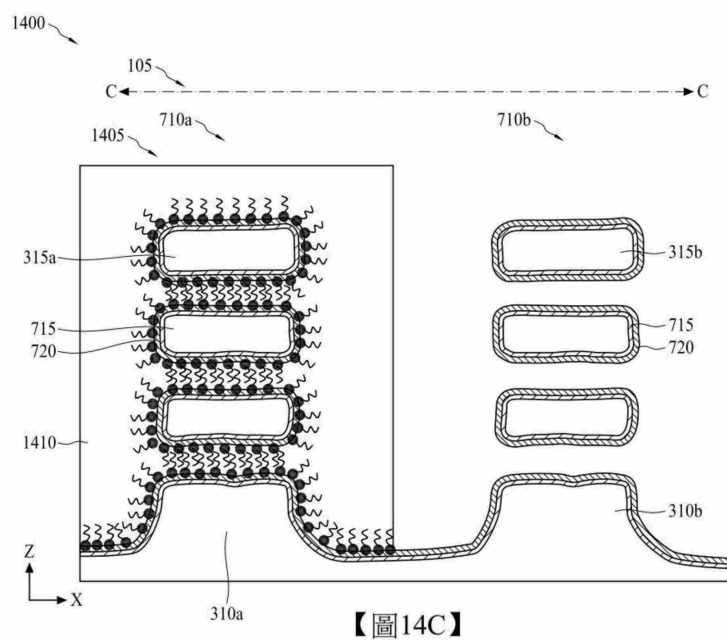
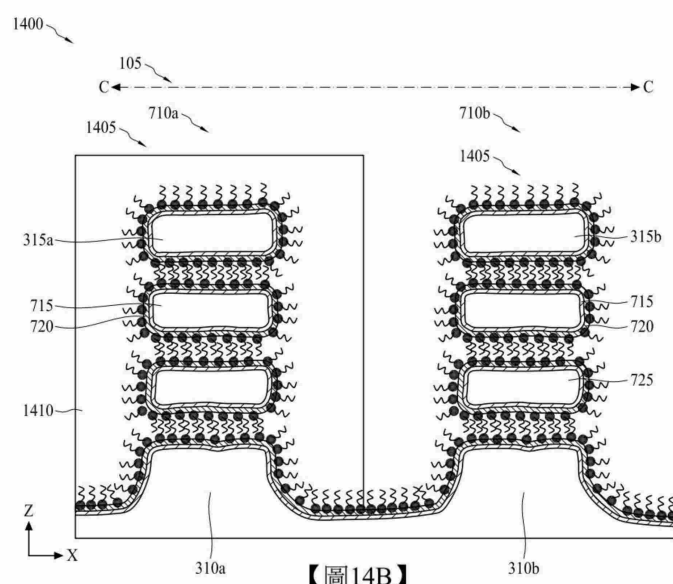


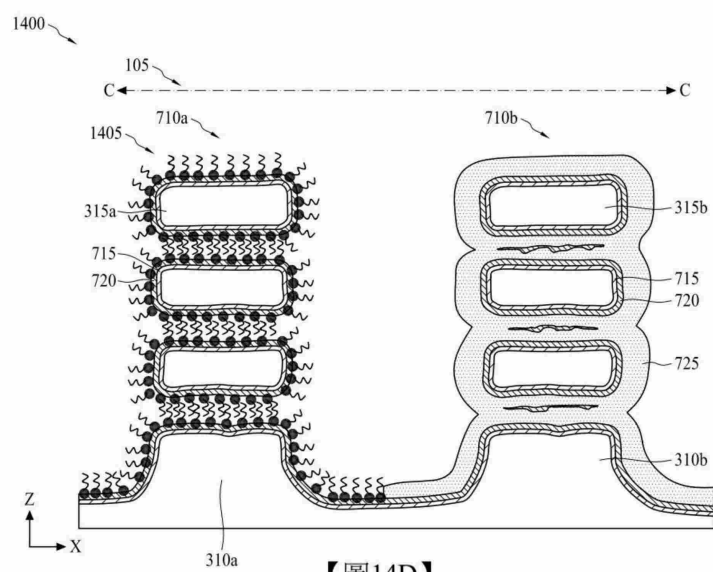
【圖13】



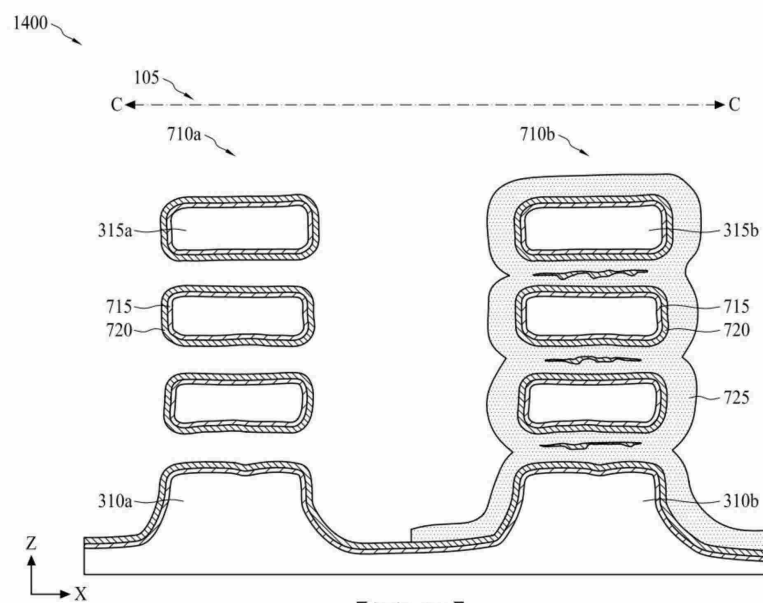
【圖14A】

(17)

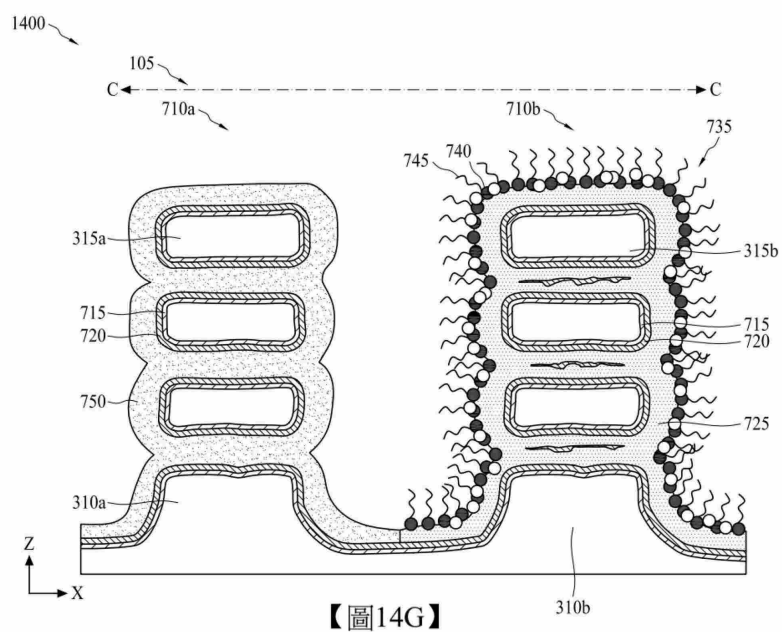
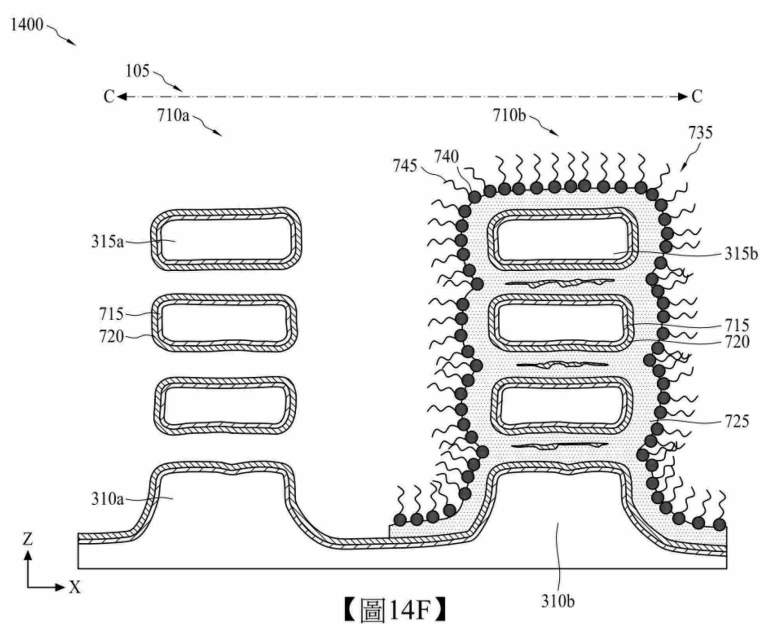


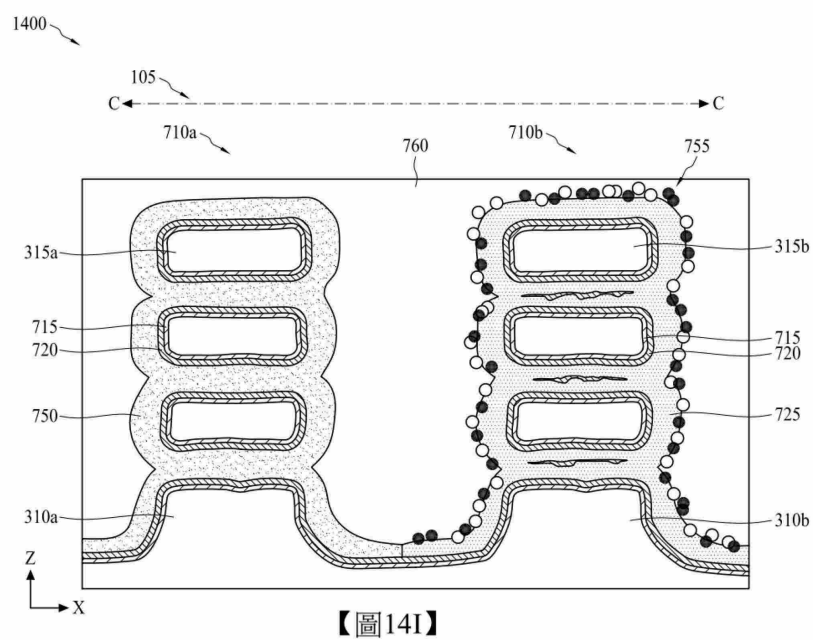
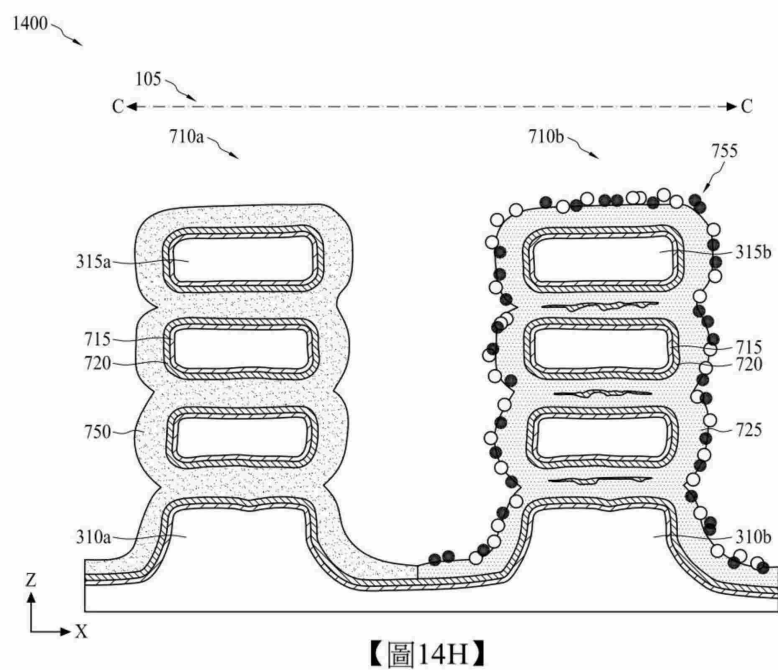


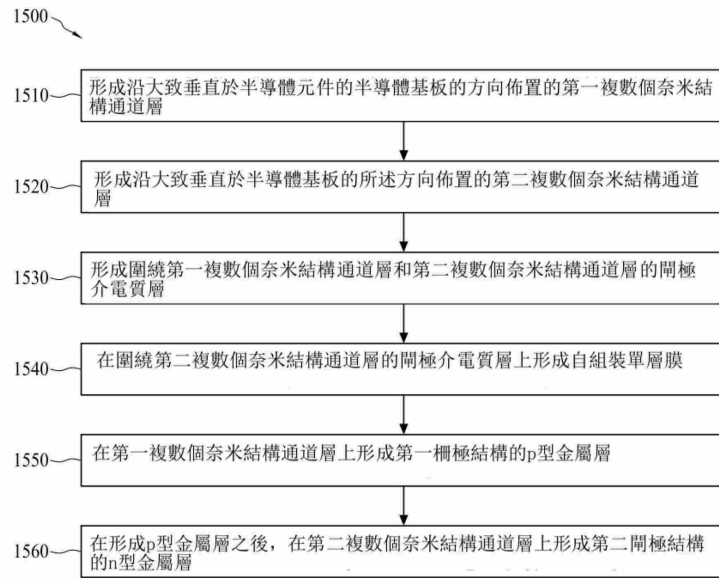
【圖14D】



【圖14E】







【圖15】