

【11】證書號數：I938639

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10B43/00 (2023.01) H10D84/03 (2025.01)
H10W10/00 (2026.01)

發明

全 20 頁

【54】名稱：包含具奈米晶體之空乏層之非揮發性記憶體

【21】申請案號：113132814

【22】申請日：中華民國 113 (2024) 年 08 月 30 日

【11】公開編號：202512884

【43】公開日期：中華民國 114 (2025) 年 03 月 16 日

【30】優先權：2023/09/01

美國

63/580,016

【72】發明人：竹內秀樹 (JP) TAKEUCHI, HIDEKI；柯迪 奈爾斯溫 (US) CODY, NYLES
WYNN；拉歐 阿比謝克 (US) RAOL, ABHISHEK【71】申請人：美商安托梅拉公司
美國

ATOMERA INCORPORATED

【74】代理人：陳絲倩；郭建中

【56】參考文獻：

TW 200623137A

TW 200632914A

TW 201740490A

TW 201743433A

KR 10-1225913B1

US 2008/0239789A1

US 2016/0336406A1

期刊 期刊 Dong Uk Lee ; Tae Hee Lee ; Eun Kyu Kim ; Jin-Wook Shin ;
Won-Ju Cho Analysis of charge loss in nonvolatile memory with
multi-layered SiC nanocrystals APPLIED PHYSICS LETTERS 95
063501 AIP Publishing August 2009 pp.063501-1.

審查人員：劉聖尉

【57】申請專利範圍

1. 一種記憶體元件，其包括：一半導體底材；該半導體底材上之記憶單元陣列，每個記憶單元包括該半導體底材中之一第一井，其具有一第一導電類型；鄰接該第一井之一第二井，其具有一第二導電類型並與該第一井界定出一空乏層；該空乏層內部之複數個奈米晶體，其中該複數個奈米晶體排列成垂直相隔的行，每個奈米晶體包括一半導體材料及碳；鄰接該第二井之隔開的源極區及汲極區，兩者之間定義出一條通道；及覆蓋該通道之一閘極。
2. 如請求項 1 之記憶體元件，其中該複數個奈米晶體係被拘束在相鄰的半導體部分之一晶格內。
3. 如請求項 1 之記憶體元件，其中該複數個奈米晶體彼此橫向相隔。
4. 如請求項 1 之記憶體元件，其中每個記憶單元更包括與該第一井耦合之一基體接觸區。
5. 如請求項 1 之記憶體元件，其中每個奈米晶體包括矽及碳。
6. 如請求項 1 之記憶體元件，其中該些記憶單元包括非揮發記憶單元。
7. 如請求項 1 之記憶體元件，其包括鄰接該源極區和該汲極區並延伸至該第一井內之相應的淺溝槽隔離(STI)區。
8. 如請求項 1 之記憶體元件，其中該第一導電類型包括 n 型，且該第二導電類型包括 p 型。

9. 如請求項 1 之記憶體元件，其包括連接該記憶單元陣列之複數個字元線及位元線。
10. 一種用於製造一記憶體元件之方法，其包括：在一半導體底材上形成一記憶單元陣列，每個記憶單元包括該半導體底材中之一第一井，其具有一第一導電類型；鄰接該第一井之一第二井，其具有一第二導電類型並與該第一井界定出一空乏層；該空乏層內部之複數個奈米晶體，其中該複數個奈米晶體排列成垂直相隔的行，每個奈米晶體包括一半導體材料及碳；鄰接該第二井之隔開的源極區及汲極區，兩者之間定義出一條通道；及覆蓋該通道之一閘極。
11. 如請求項 10 之方法，其中該複數個奈米晶體係被拘束在相鄰的半導體部分之一晶格內。
12. 如請求項 10 之方法，其中該複數個奈米晶體彼此橫向相隔。
13. 如請求項 10 之方法，其更包括形成與每個記憶單元之第一井耦合之一相應基體接觸區。
14. 如請求項 10 之方法，其中每個奈米晶體包括矽及碳。
15. 如請求項 10 之方法，其中該些記憶單元包括非揮發記憶單元。
16. 如請求項 10 之方法，其包括形成鄰接每個記憶單元之源極區和汲極區並延伸至該第一井內之相應的淺溝槽隔離(STI)區。
17. 如請求項 10 之方法，其中該第一導電類型包括 n 型，且該第二導電類型包括 p 型。
18. 如請求項 10 之方法，其包括形成連接該記憶單元陣列之複數個字元線及位元線。

圖式簡單說明

圖 1 為依照一示例實施例之半導體元件用超晶格之放大概要剖視圖。

圖 2 為圖 1 所示超晶格之一部份之透視示意原子圖。

圖 3 為依照另一示例實施例之超晶格放大概要剖視圖。

圖 4 為包含能捕捉電荷的超晶格之非揮發性記憶單元示例實施例之概要剖視圖。

圖 5A 為整合有圖 4 記憶單元之非揮發性記憶體元件在編程期間的俯視平面圖，圖 5B-5D 為圖 5A 記憶體元件內的不同記憶單元在圖 5B 記憶單元編程期間的概要剖視圖。

圖 6 為圖 5B 記憶單元示例性編程操作之電流與電壓關係圖。

圖 7A 為圖 5A 非揮發性記憶體元件在清除(erasing)過程中的俯視平面圖，圖 7B-7D 為圖 5A 記憶體元件內的不同記憶單元在圖 5B 記憶單元清除期間的概要剖視圖。

圖 8 為圖 5B 記憶單元示例性清除操作之電流與電壓關係圖。

圖 9 繪示圖 5B 記憶單元在示例實施例的讀取期間的概要剖視圖。

圖 10A-10C 為一系列概要剖視圖，繪示依照一示例實施例製造圖 4 記憶單元的方法。

圖 11A-11C 為一系列概要剖視圖，繪示依照另一示例實施例製造圖 4 記憶單元的方法。

圖 12A 為繪示圖 4 記憶單元之通道下方的示例性摻雜分佈(doping profile)圖。

圖 12B 為繪示圖 4 記憶單元之源極/汲極區下方的示例性摻雜分佈圖。

圖 12C 描繪一示例實施例中圖 4 記憶單元的汲極洩漏(drain leakage)特性圖。

圖 12D 描繪一示例實施例中圖 4 記憶單元的汲極崩潰電壓與 NWEL 和 PWELL 劑量(dosage)的關係圖。

圖 13 為圖 4 記憶單元空乏層的示例實施例之穿透式電子顯微鏡(TEM)影像，其具有代表性尺寸。

圖 14A-14D 為一系列概要剖視圖，繪示在一示例實施例中包括具有陷阱(trap)的空乏層的另一記憶單元，以及相關製造步驟。

圖 15 為可用於製造圖 14D 記憶單元之 MST-C 超晶格的原子濃度與深度關係圖。

圖 16 為可用於製造圖 14D 記憶單元之 MST-C 超晶格的 TEM 圖。

(3)

圖 17 為圖 16 碳化矽超晶格在退火後形成奈米晶體的 TEM 影像。

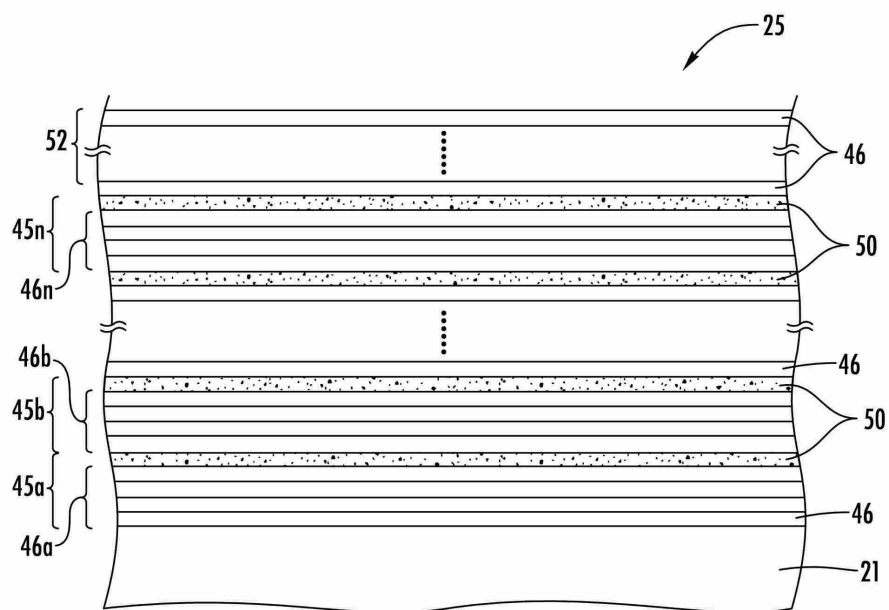


圖 1

(4)

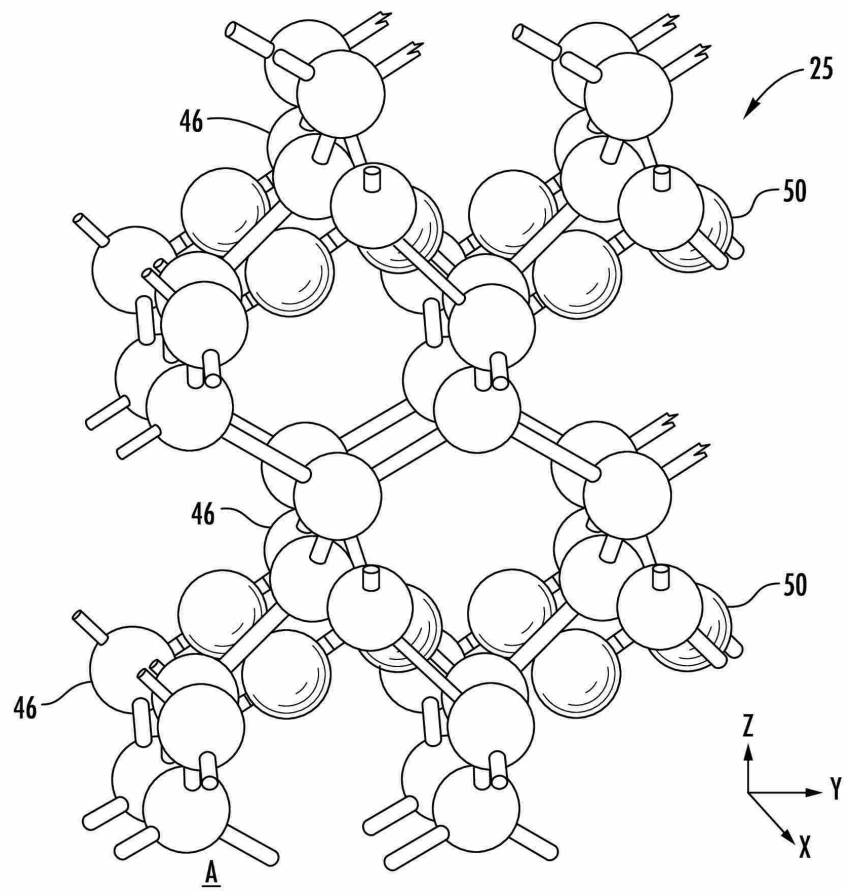


圖2

(5)

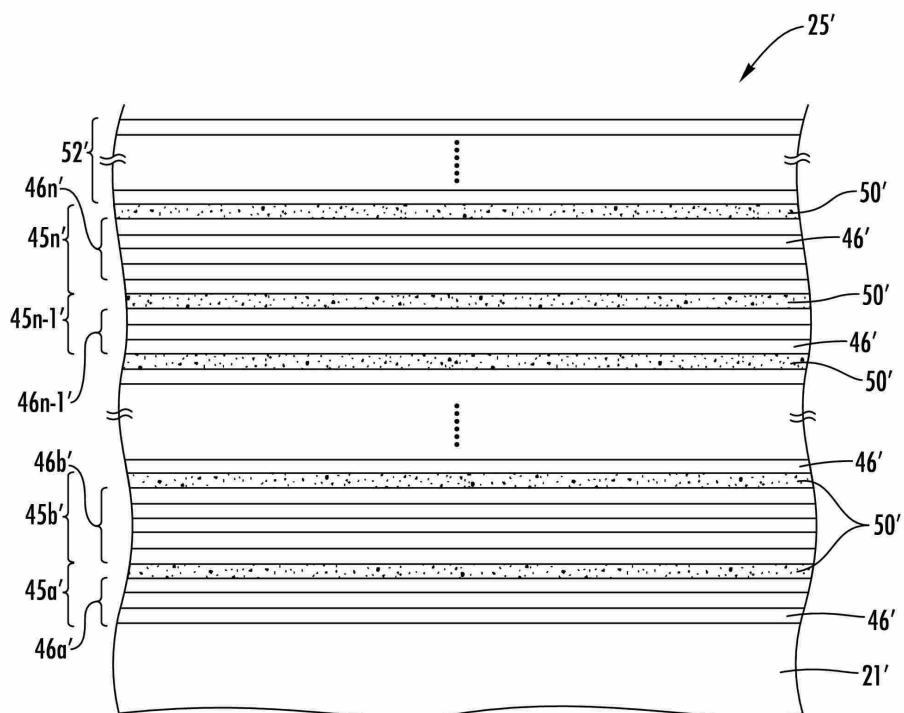


圖3

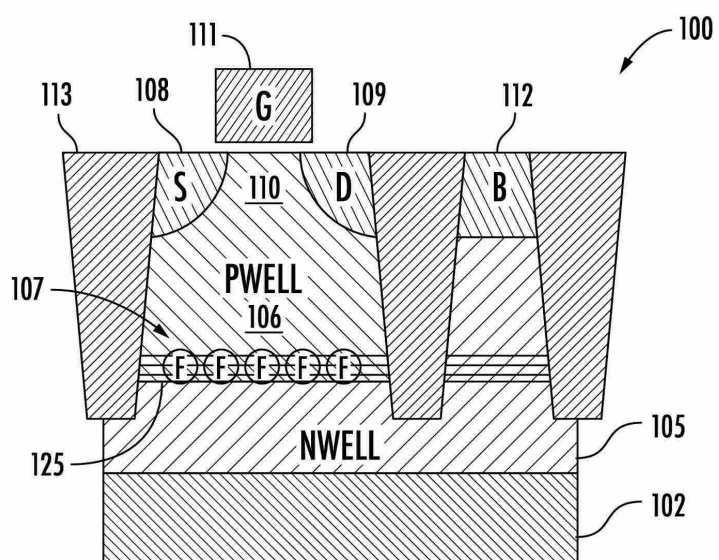


圖4

(6)

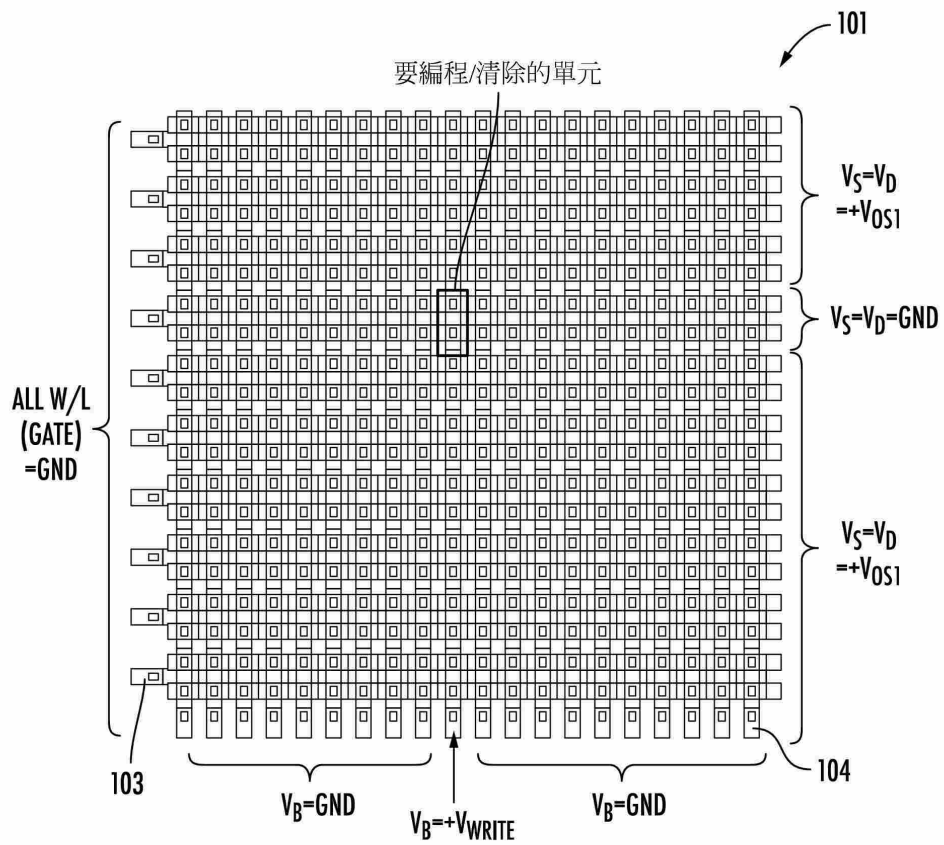


圖5A

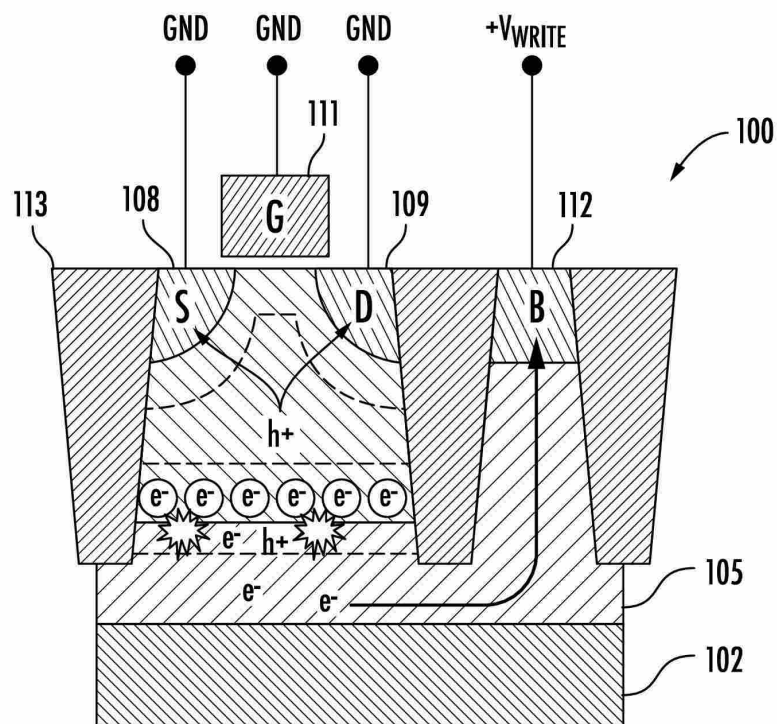


圖5B

(7)

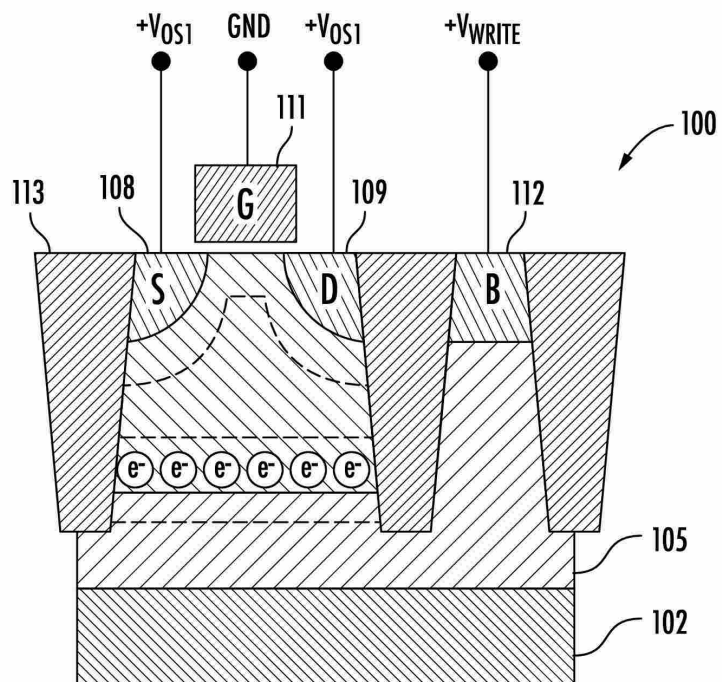


圖5C

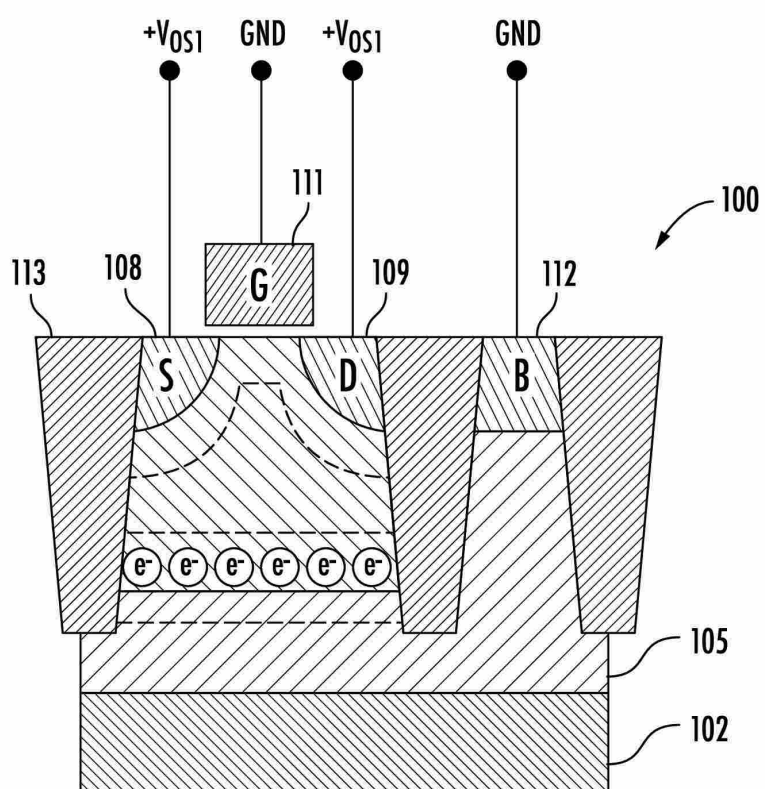


圖5D

(8)

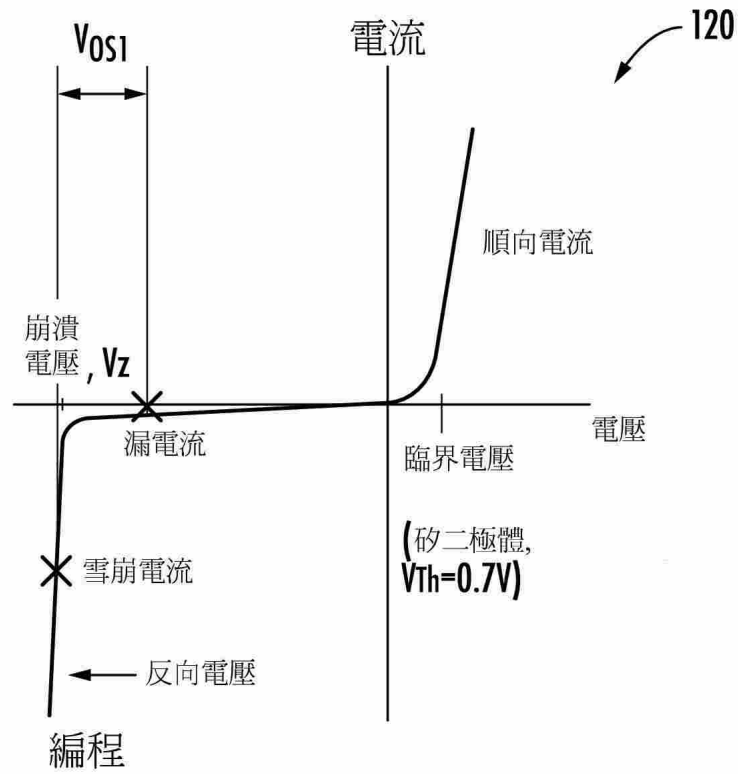


圖6

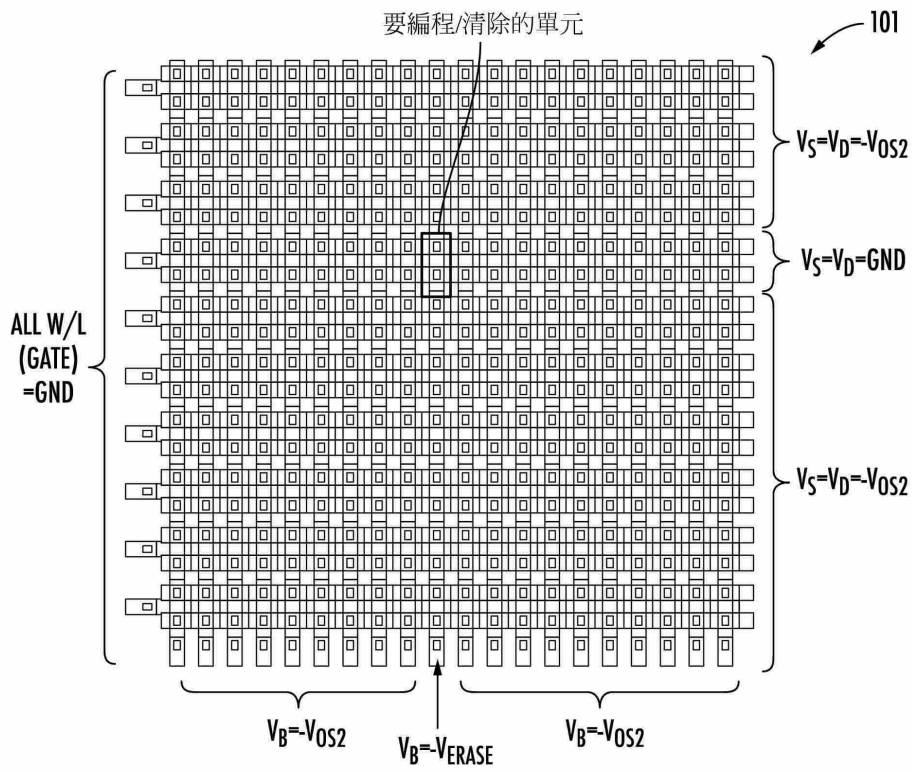


圖7A

(9)

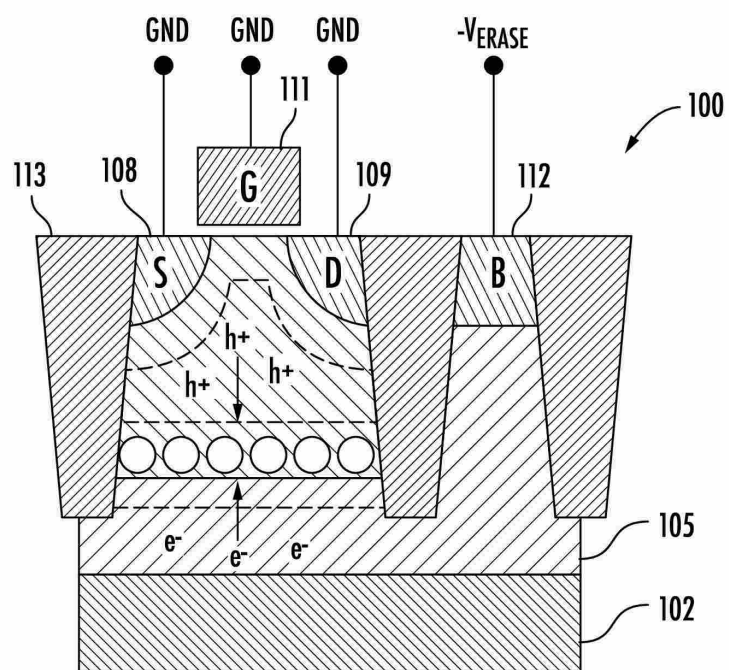


圖7B

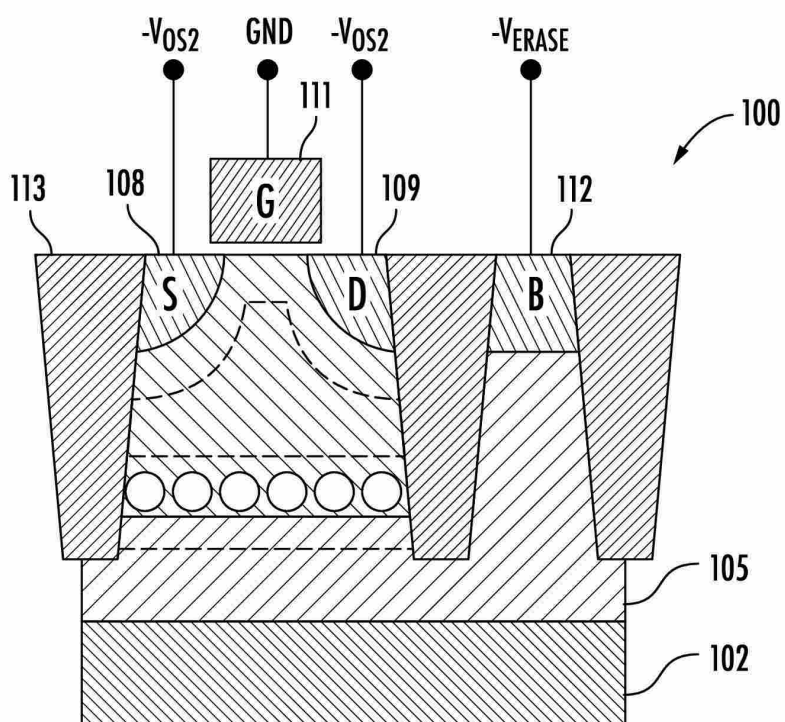


圖7C

(10)

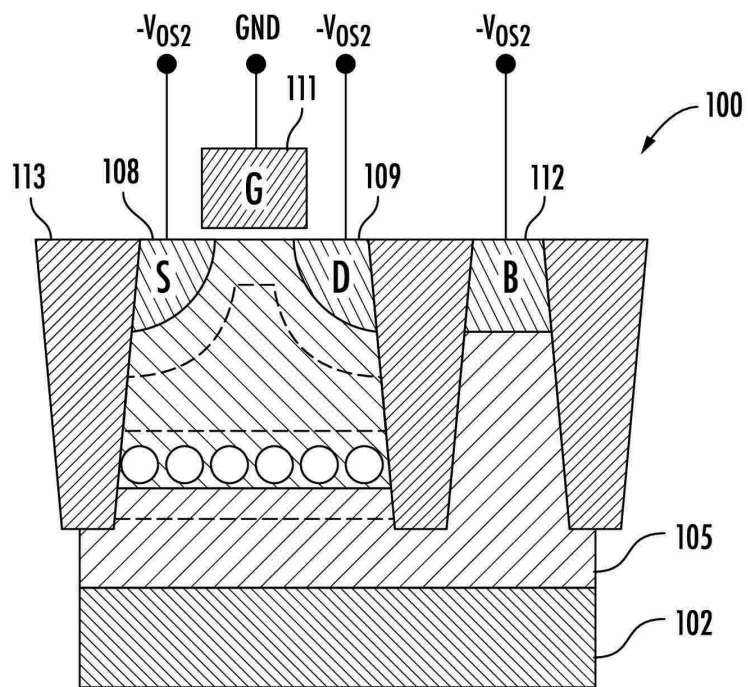


圖7D

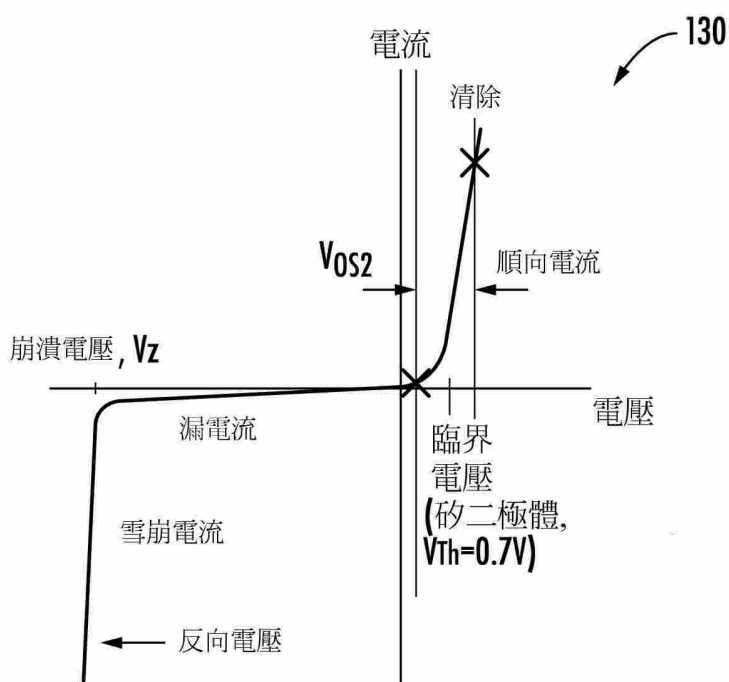


圖8

[illegible]

A cross-sectional view of a substrate 102. The substrate 102 is a rectangular block with diagonal hatching. A central layer 125 is located within the substrate 102, and a top layer 152 is located on the top surface of the substrate 102.

- 4937 -

(12)

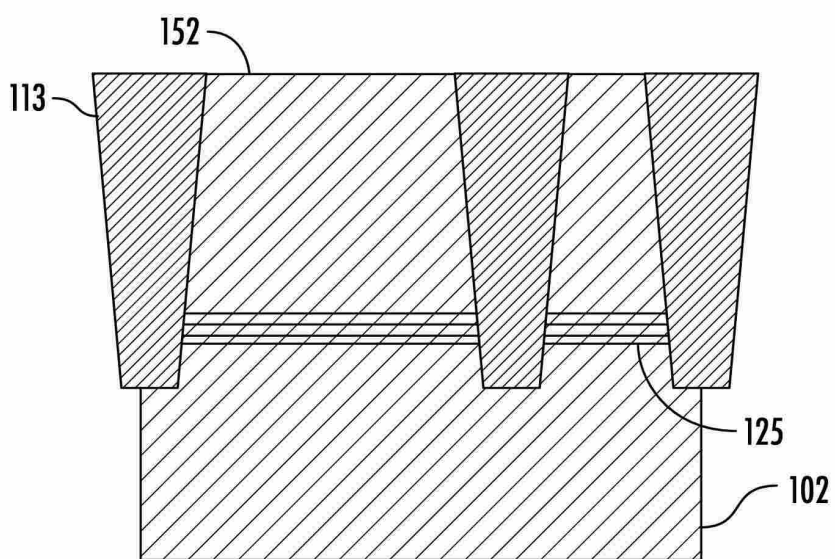


圖 10B

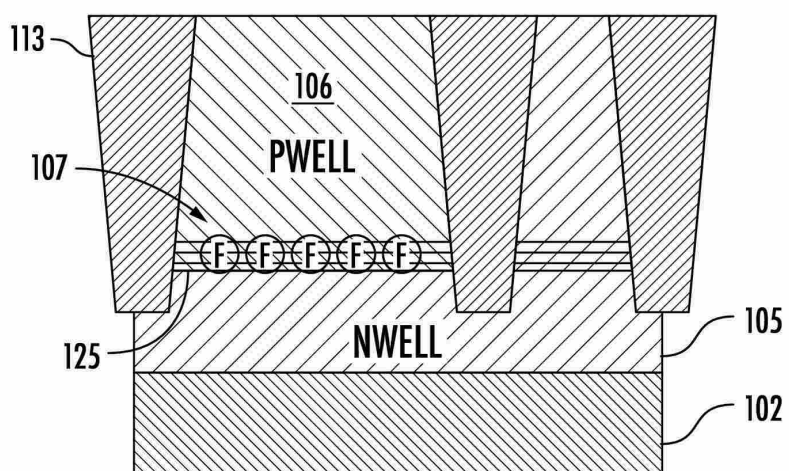


圖 10C

(13)

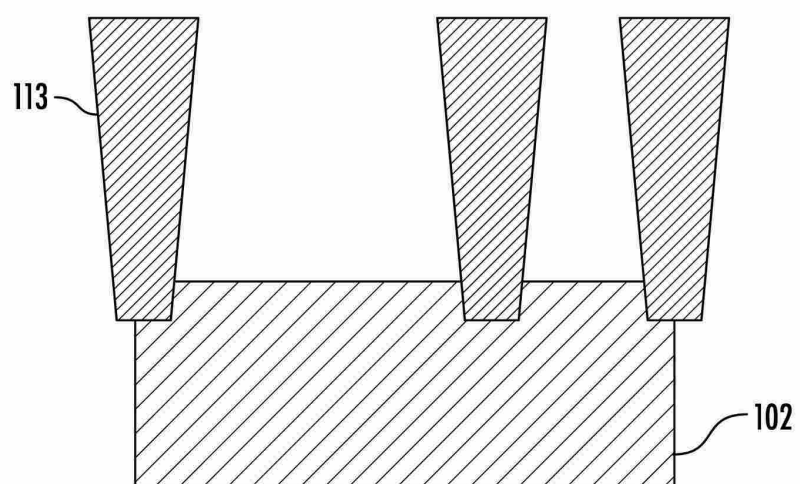


圖 11A

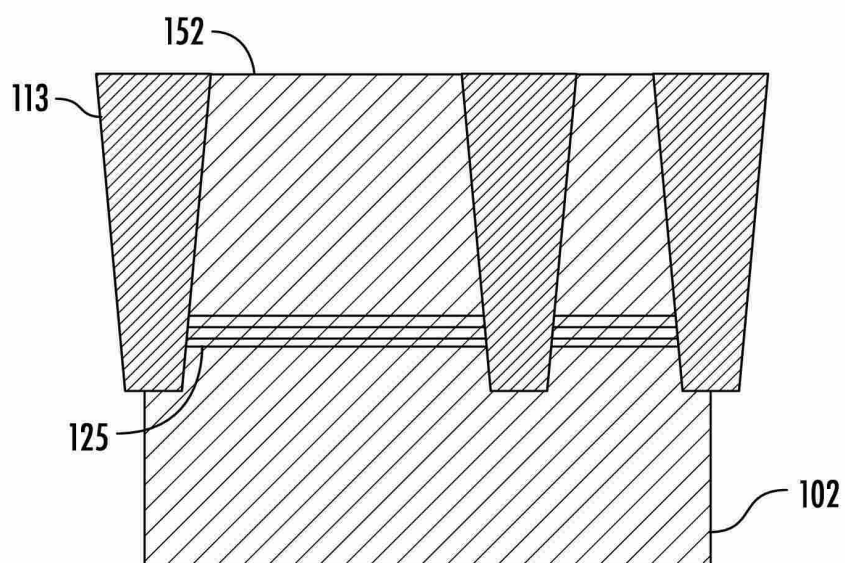


圖 11B

(14)

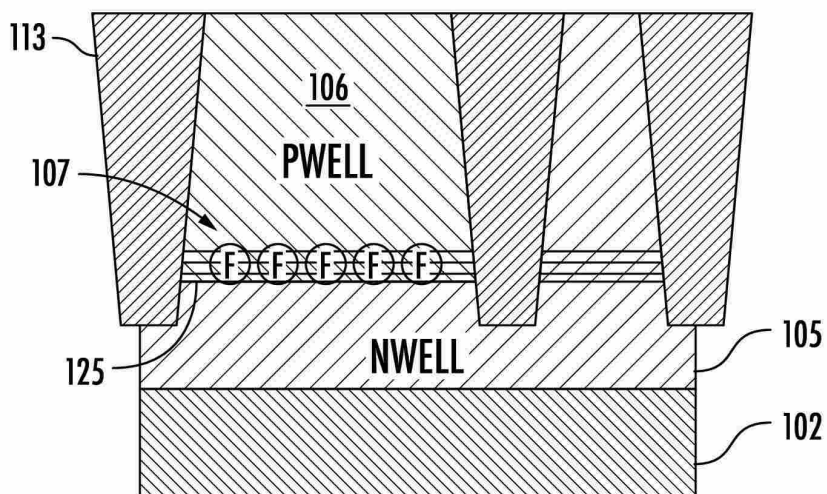


圖11C

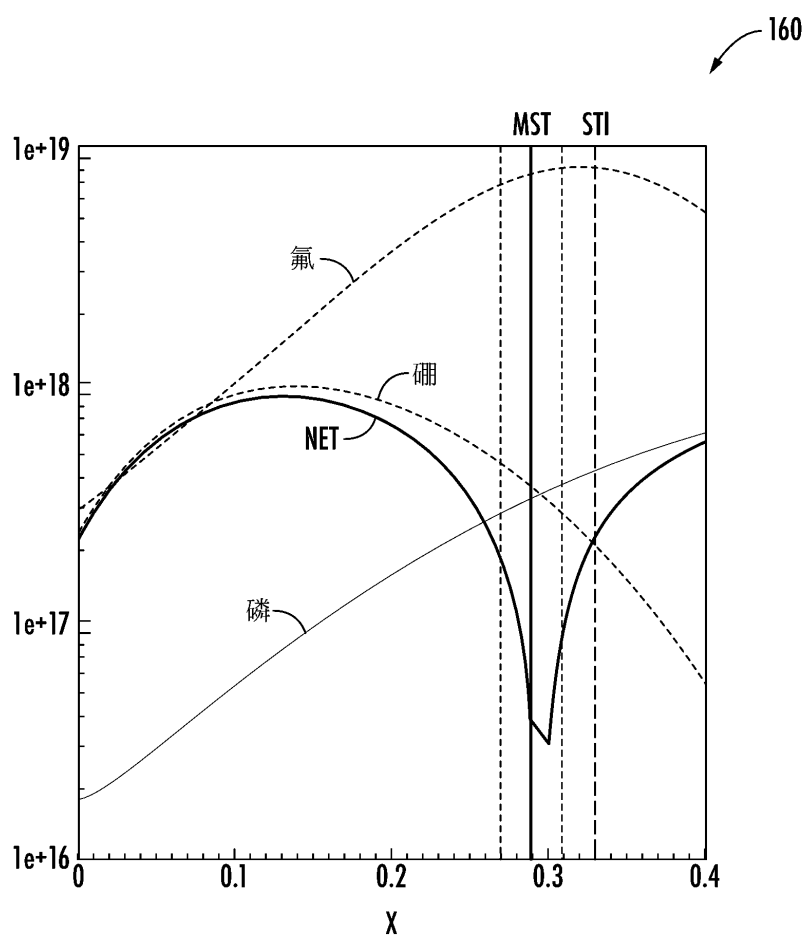


圖12A

(15)

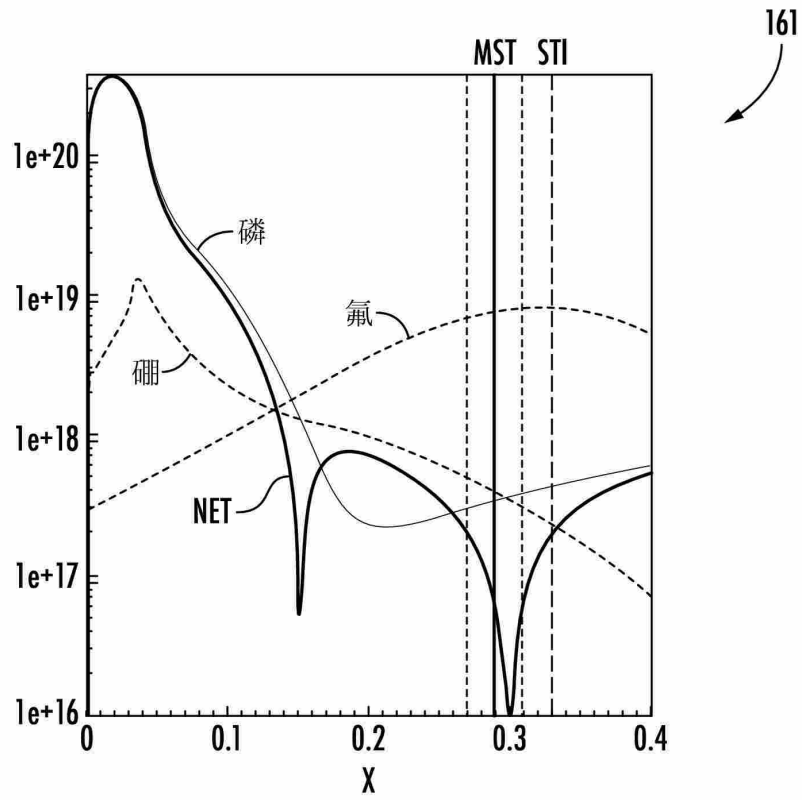


圖 12B

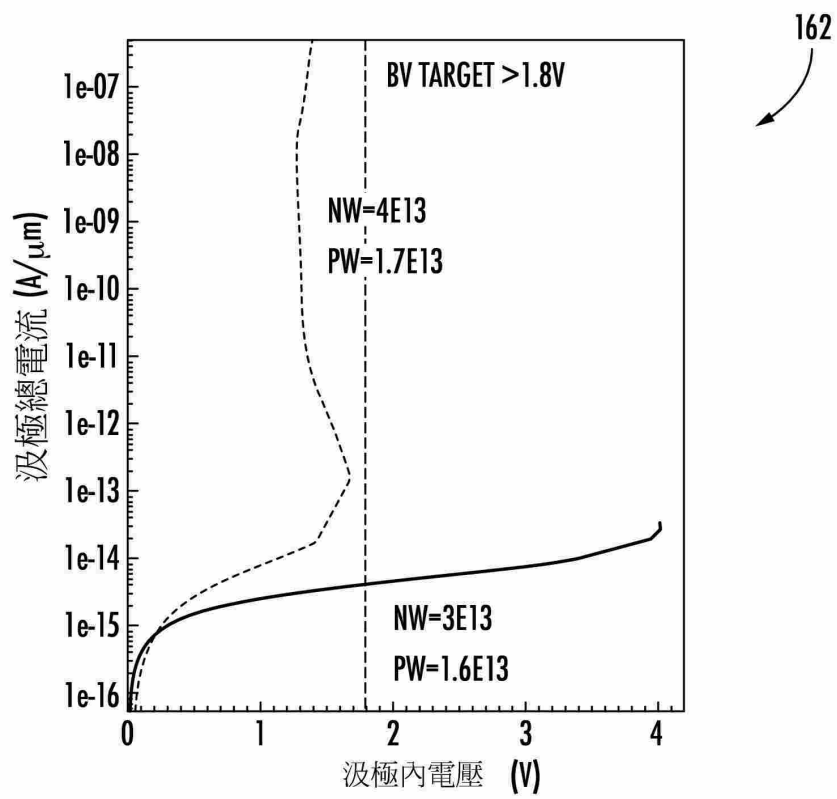


圖 12C

(16)

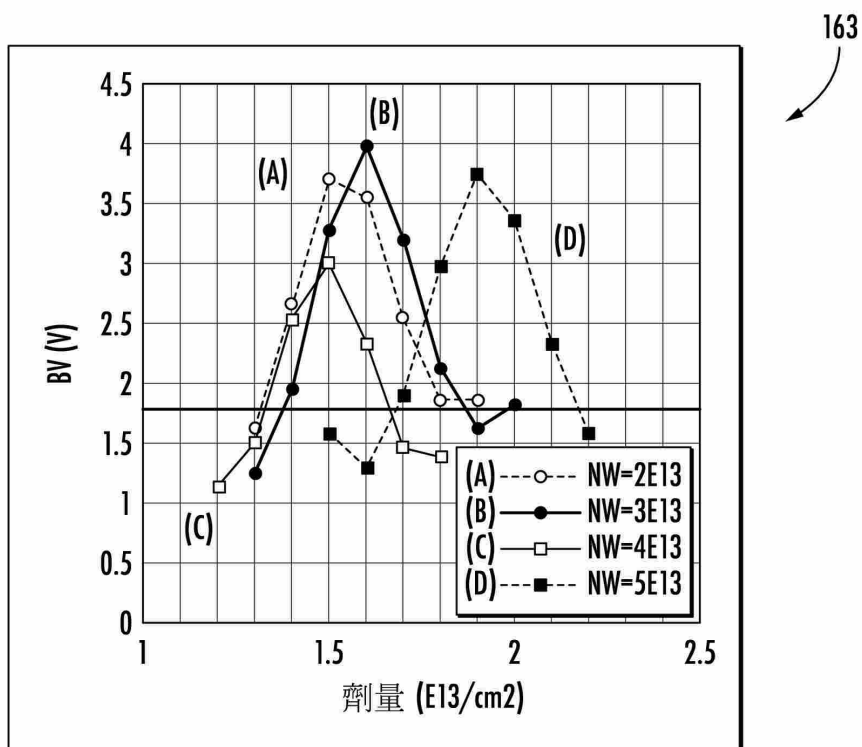


圖12D

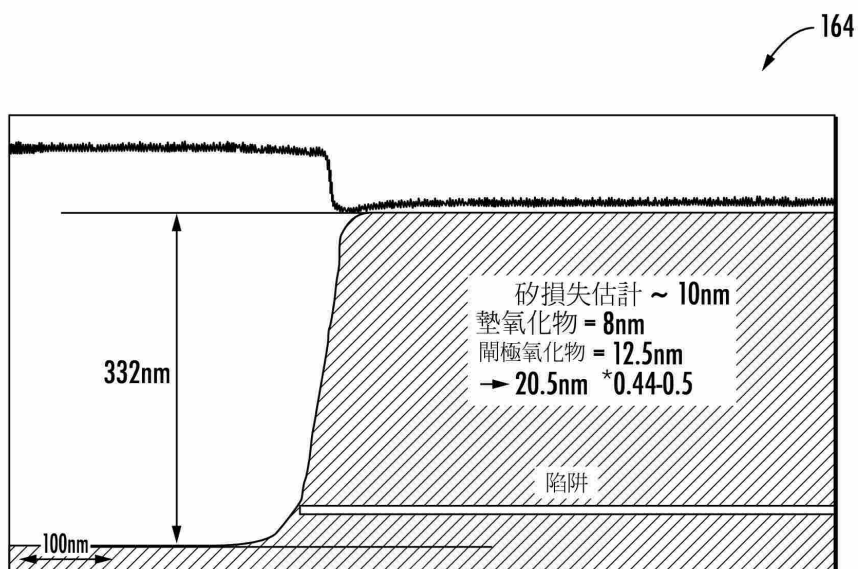


圖13

(17)

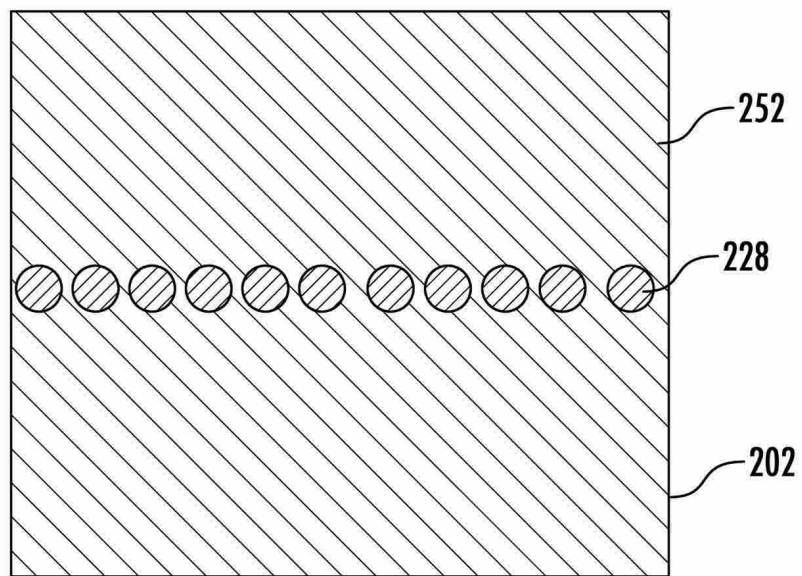


圖14A

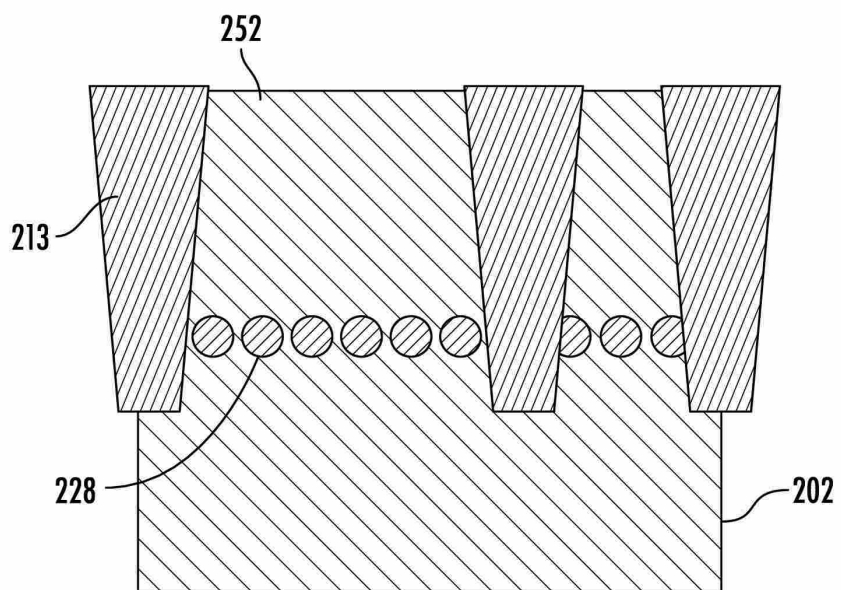


圖14B

(18)

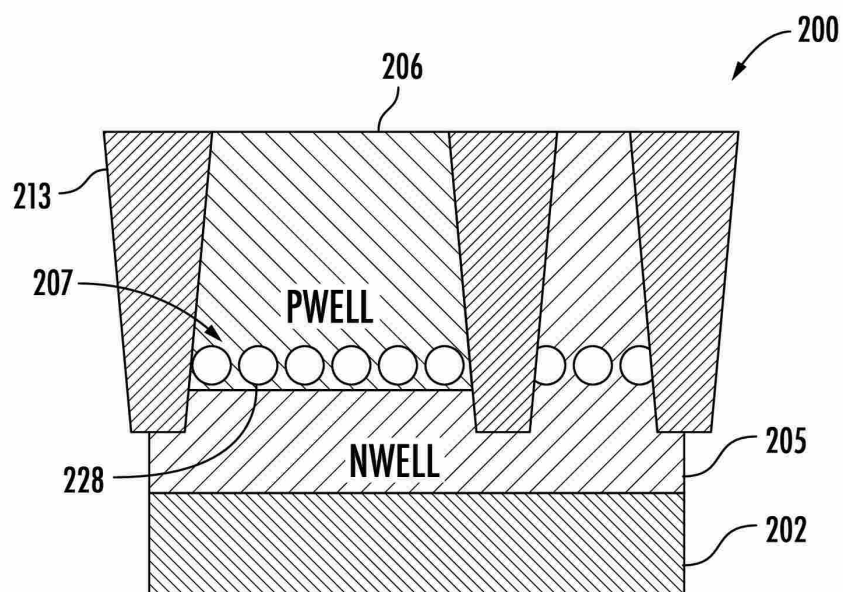


圖 14C

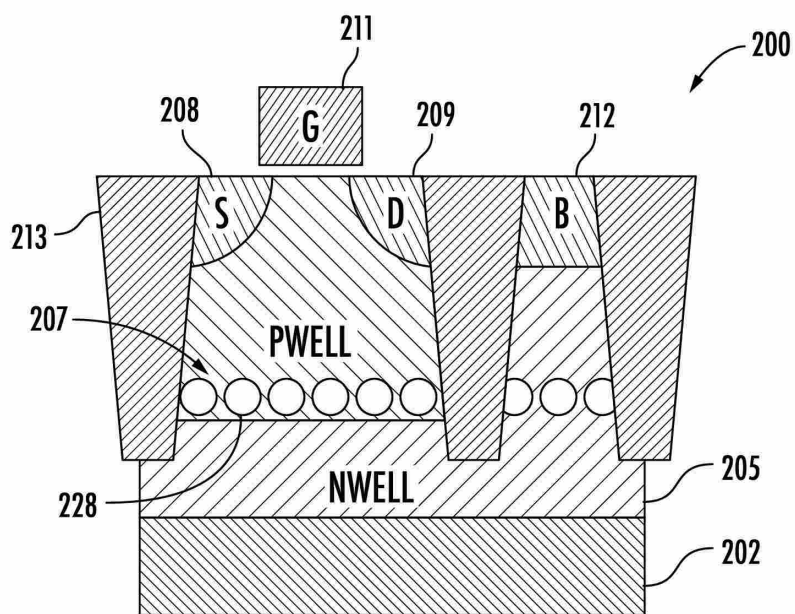


圖 14D

(19)

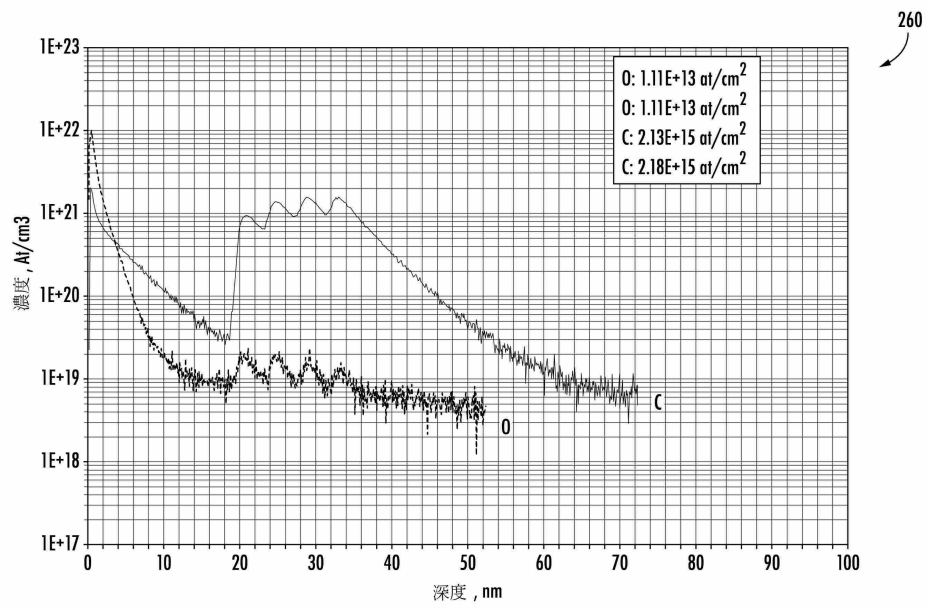


圖 15

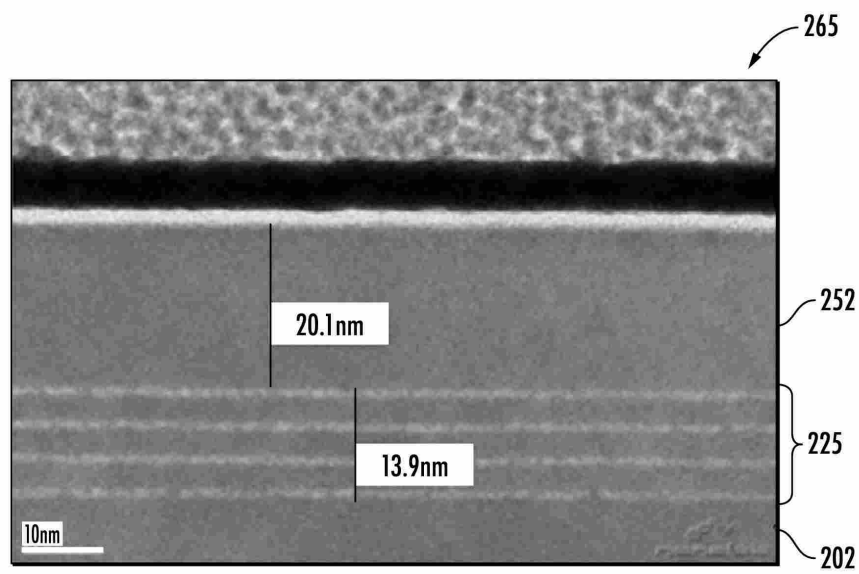


圖 16

(20)

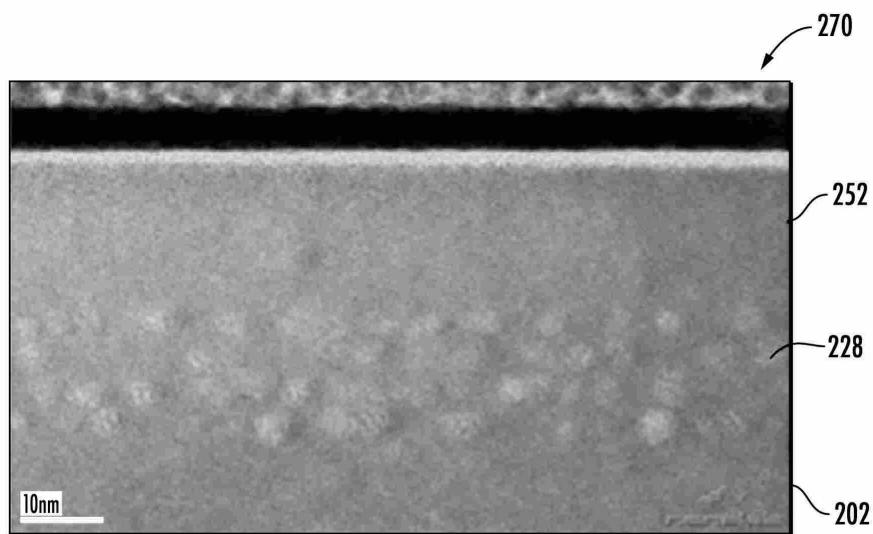


圖17