

【11】證書號數：I938648

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D30/62 (2025.01) H10W20/40 (2026.01)

發明

全 42 頁

【54】名稱：積體電路以及積體電路之製造方法

【21】申請案號：113134783

【22】申請日：中華民國 113 (2024) 年 09 月 13 日

【11】公開編號：202533697

【43】公開日期：中華民國 114 (2025) 年 08 月 16 日

【30】優先權：2024/02/13

美國

63/553,025

2024/07/19

美國

18/778,680

【72】發明人： 譔俊元 (TW) CHEN, CHUN-YUAN；蘇煥傑 (TW) SU, HUAN-CHIEH；王志豪 (TW) WANG, CHIH-HAO

【71】申請人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人： 洪澄文；洪茂

【56】參考文獻：

TW 202349569A

TW 202404029A

TW 202443862A

US 2023/0377985A1

US 2023/0377998A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種積體電路之製造方法，包括：
形成一第一電晶體，該第一電晶體包括一閘極金屬，該閘極金屬包裹環繞在堆疊的多個第一通道周圍；
形成一第二電晶體，該第二電晶體在一第一橫向方向上與該第一電晶體分離，且該第二電晶體包括該閘極金屬，該閘極金屬包裹環繞在堆疊的多個第二通道周圍；
形成一虛置結構，該虛置結構在該第一電晶體和該第二電晶體之間，其中該虛置結構包括一虛置閘極金屬，其中形成該虛置結構的操作包括：
在環繞該虛置結構之該等虛置通道、環繞該等第一通道和環繞該等第二通道周圍沉積該閘極金屬；
從該虛置結構中移除該閘極金屬；以及
以該虛置閘極金屬替換該虛置結構中之該閘極金屬；以及
形成一饋通孔，該饋通孔從該虛置結構下方延伸至與該虛置閘極金屬接觸。
2. 如請求項 1 所述之積體電路之製造方法，其中該虛置閘極金屬包裹環繞堆疊的多個虛置通道。
3. 如請求項 1 所述之積體電路之製造方法，更包括：
形成該虛置結構的一第一虛置源極/汲極接點；
形成該虛置結構的一第二虛置源極/汲極接點；以及
形成在該虛置結構上的一第一金屬線；
將該第一虛置源極/汲極接點、該第二虛置源極/汲極接點和該

虛置閘極金屬與該第一金屬線電性短路。

4. 如請求項 3 所述之積體電路之製造方法，其中將該第一虛置源極/汲極接點、該第二虛置源極/汲極接點和該虛置閘極金屬與該第一金屬線電性短路的操作包括：
 - 形成一第一導電通孔，耦接在該第一虛置源極/汲極接點和該第一金屬線之間；
 - 形成一第二導電通孔，耦接在該第二虛置源極/汲極接點和該第一金屬線之間；以及
 - 形成一第三導電通孔，耦接在該虛置閘極金屬和該第一金屬線之間。
5. 如請求項 3 所述之積體電路之製造方法，其中將該第一虛置源極/汲極接點、該第二虛置源極/汲極接點和該虛置閘極金屬與該第一金屬線電性短路的操作包括：
 - 形成一導電通孔，與該第一虛置源極/汲極接點、該第二虛置源極/汲極接點、該虛置閘極金屬和該第一金屬線相接觸。
6. 如請求項 1 所述之積體電路之製造方法，更包括：
 - 形成一閘極隔離結構，將該第一電晶體的該閘極金屬與該虛置結構的該虛置閘極金屬電性隔離。
7. 如請求項 1 所述之積體電路之製造方法，更包括：
 - 形成一第一多晶矽閘極結構，沿著該第一橫向方向延伸；
 - 形成一第二多晶矽閘極結構，平行於該第一多晶矽閘極結構延伸；以及
 - 在該第一多晶矽閘極結構和該第二多晶矽閘極結構之間，形成該虛置閘極金屬和該饋通孔。
8. 一種積體電路，包括：
 - 一基底；
 - 一虛置結構，包括：
 - 一虛置閘極金屬；
 - 一第一虛置源極/汲極接點；以及
 - 一第二虛置源極/汲極接點；
 - 一饋通孔，延伸穿過該基底，並與該虛置閘極金屬、該第一虛置源極/汲極接點和該第二虛置源極/汲極接點相接觸；
 - 一第一電晶體，包括：
 - 堆疊的多個第一通道；以及
 - 一閘極金屬，圍繞該等第一通道；以及
 - 一第二電晶體，沿著一第一橫向方向與該第一電晶體分離，且包括：
 - 堆疊的多個第二通道，該閘極金屬圍繞該等第二通道，該虛置結構位於該第一電晶體和該第二電晶體之間，其中該虛置閘極金屬的電阻率低於該閘極金屬。
9. 一種積體電路，包括：
 - 一第一電晶體，包括一閘極金屬；
 - 一第二電晶體，包括該閘極金屬；
 - 一虛置結構，位於該第一電晶體和該第二電晶體之間，且包括：
 - 多個半導體奈米結構；以及
 - 一虛置閘極金屬，圍繞該等半導體奈米結構；

一背面饋通孔，與該虛置閘極金屬的一底部相接觸，其中該背面饋通孔具有與該虛置閘極金屬相接的一第一頂表面及在該虛置閘極金屬兩側的一第二頂表面，且該第二頂表面高於該第一頂表面；以及

一第一金屬線，在該虛置閘極金屬之上且與該背面饋通孔電性連接。

10. 如請求項 9 所述之積體電路，其中該虛置結構包括：

一第一虛置源極/汲極接點；以及

一第二虛置源極/汲極接點，該第一虛置源極/汲極接點和該第二虛置源極/汲極接點與該背面饋通孔相接觸。

11. 如請求項 10 所述之積體電路，其中該背面饋通孔包括：

一 U 型橫切面，該虛置閘極金屬與該背面饋通孔在該 U 型橫切面

的底部相接觸，該第一虛置源極/汲極接點和該第二虛置源極/汲極接點在該 U 型橫切面的各自頂端與該背面饋通孔相接觸。

圖式簡單說明

結合附圖閱讀下面的詳細說明，可以更好地理解本揭露的各個方面，需要注意的是，根據本領域標準慣例，各種特徵並不是按比例繪製的。事實上，為便於討論，各種特徵的尺寸可任意增大或縮小。

第 1 圖是根據某些實施例之積體電路在不同製程階段的透視圖。

第 2A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 2B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 3 圖是根據某些實施例之積體電路在不同製程階段的截面圖。

第 4 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 5 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 6 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 7A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 7B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 8A 圖是根據某些實施例之積體電路在不同製程階段的透視圖。

第 8B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 8C 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 9A 圖是根據某些實施例之積體電路在不同製程階段的透視圖。

第 9B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

- 第 9C 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 10A 圖是根據某些實施例之積體電路在不同製程階段的透視圖。
- 第 10B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 10C 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 11A 圖是根據某些實施例之積體電路在不同製程階段的透視圖。
- 第 11B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 11C 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 12A 圖是根據某些實施例之積體電路在不同製程階段的透視圖。
- 第 12B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 12C 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 13A 圖是根據某些實施例之積體電路在不同製程階段的透視圖。
- 第 13B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 13C 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 14A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 14B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 15A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 15B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 16A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 16B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 17 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 18 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 19A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。
- 第 19B 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

(5)

圖。

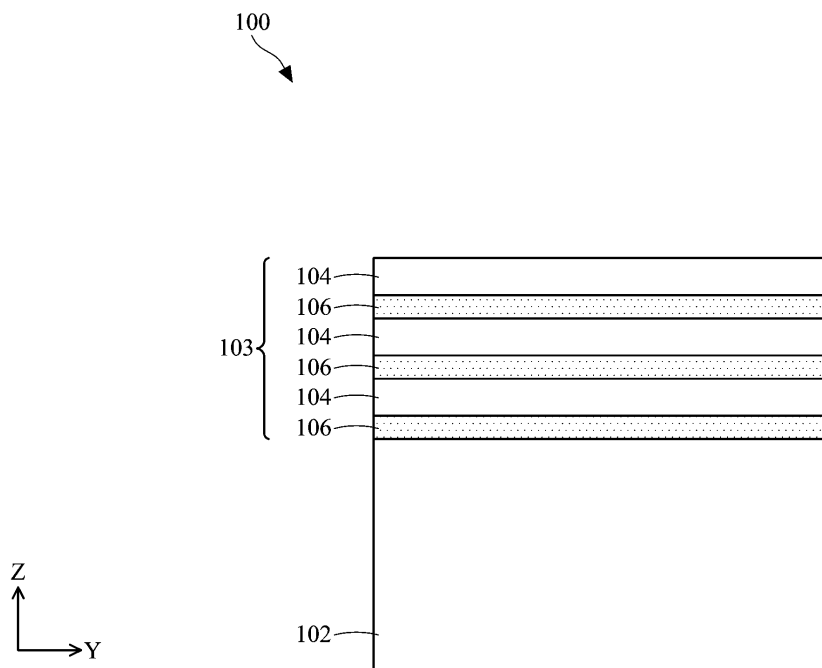
第 20A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

第 20B 圖是根據某些實施例之積體電路在不同製程階段的透視圖。

第 21A 圖是根據某些實施例之積體電路在不同製程階段的俯視圖。

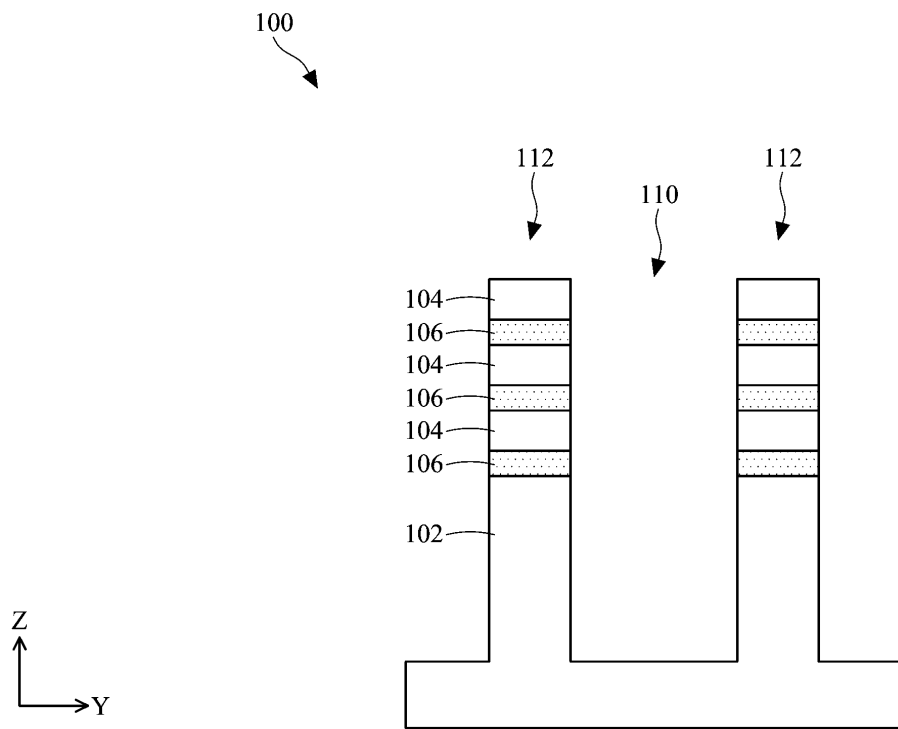
第 21B 圖是根據某些實施例之積體電路在不同製程階段的透視圖。

第 22 圖是根據某些實施例之操作積體電路的方法的流程圖。

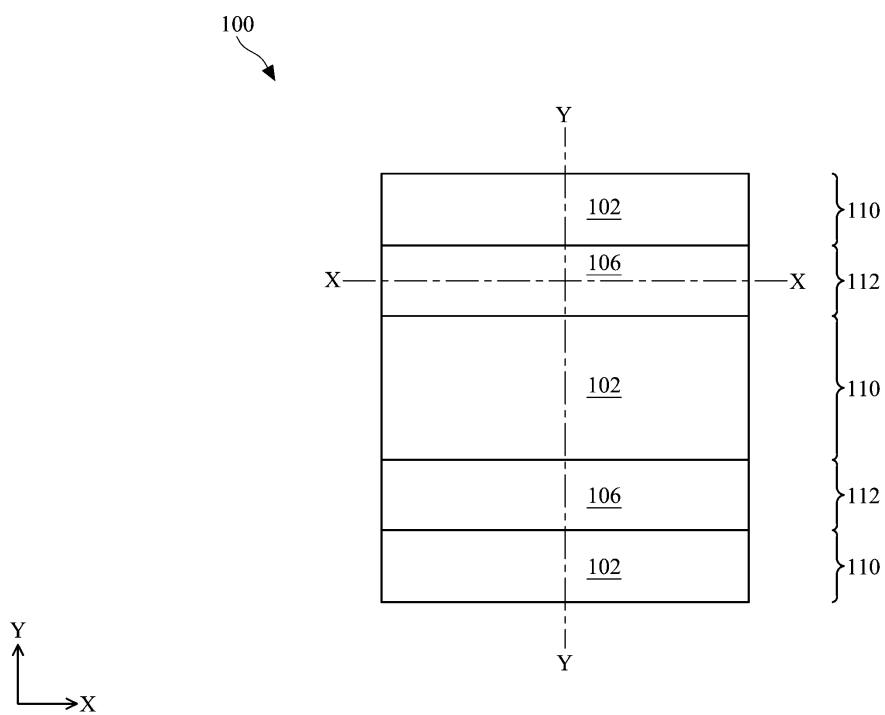


第 1 圖

(6)

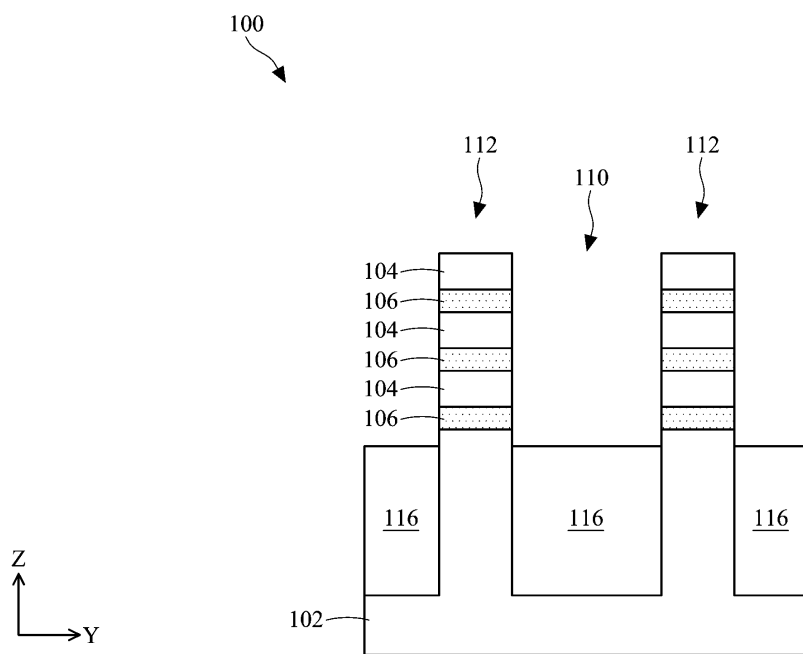


第 2A 圖

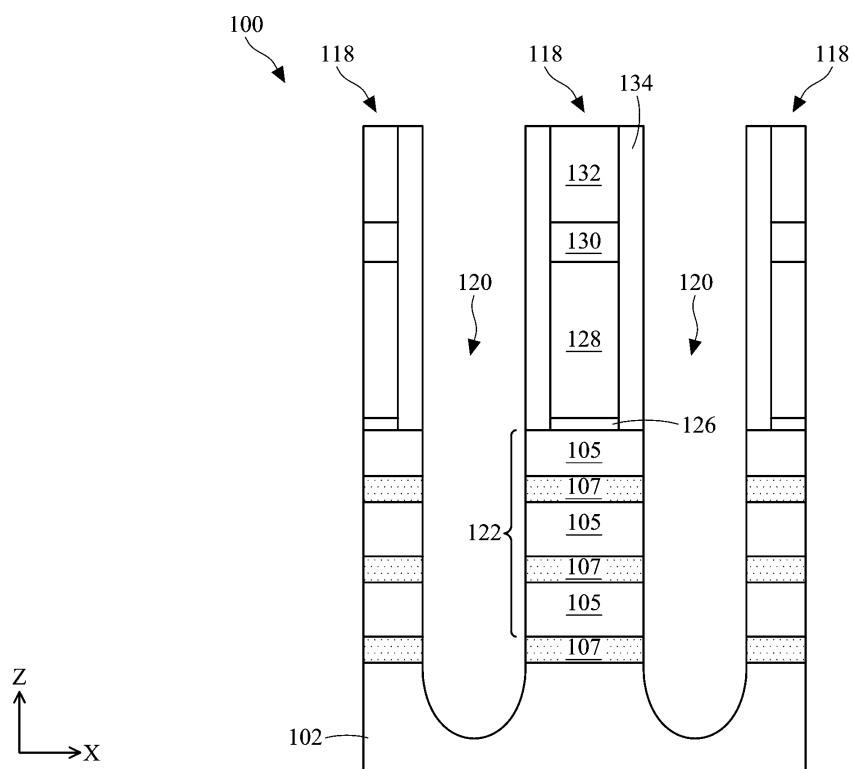


第 2B 圖

(7)

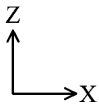


第 3 圖

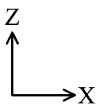


第 4 圖

(8)

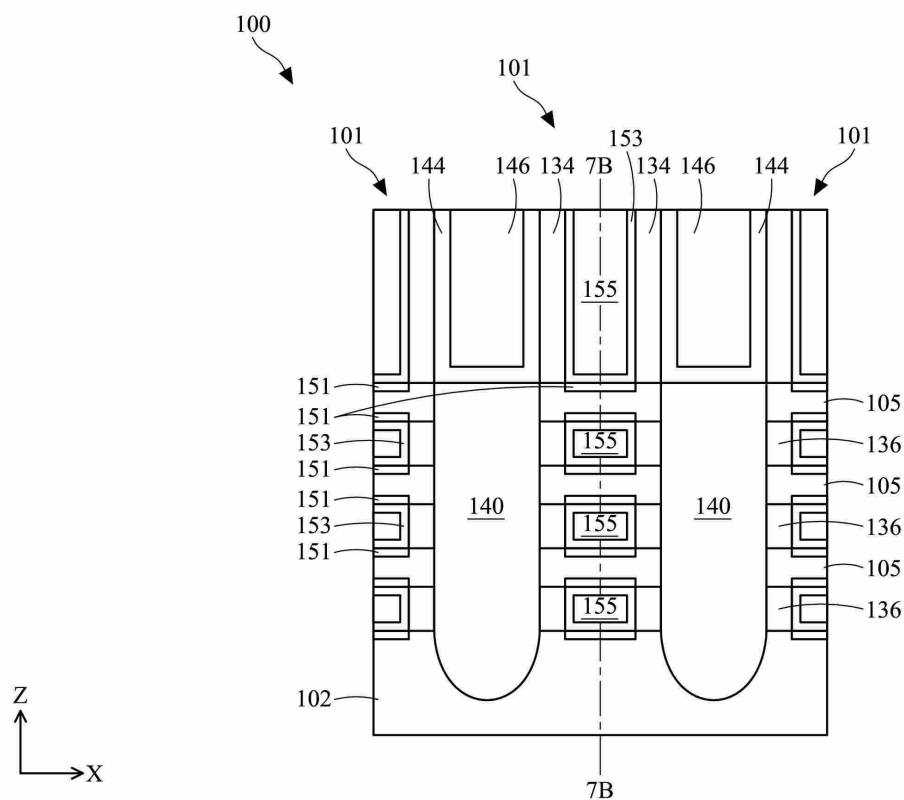


第 5 圖

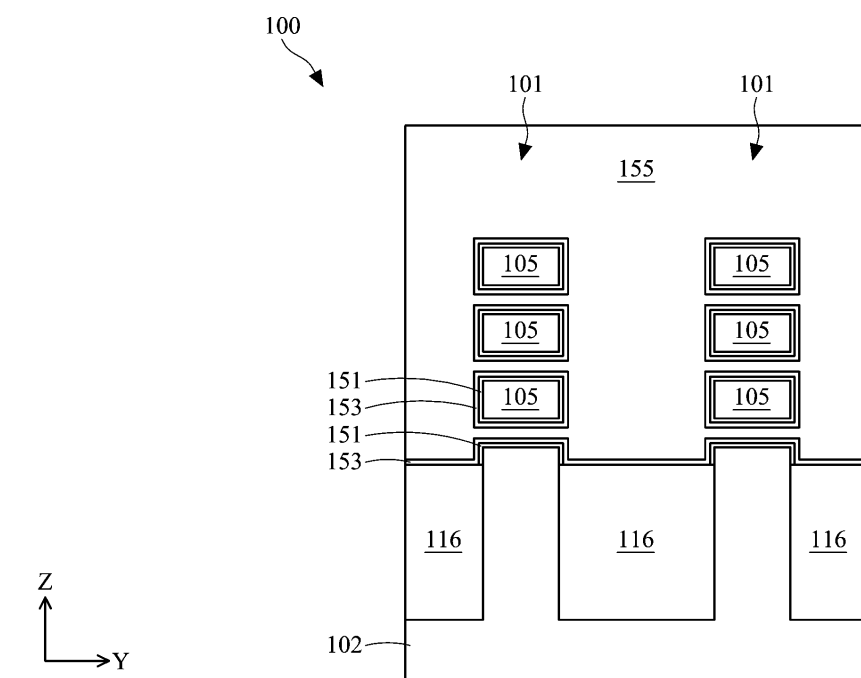


第 6 圖

(9)

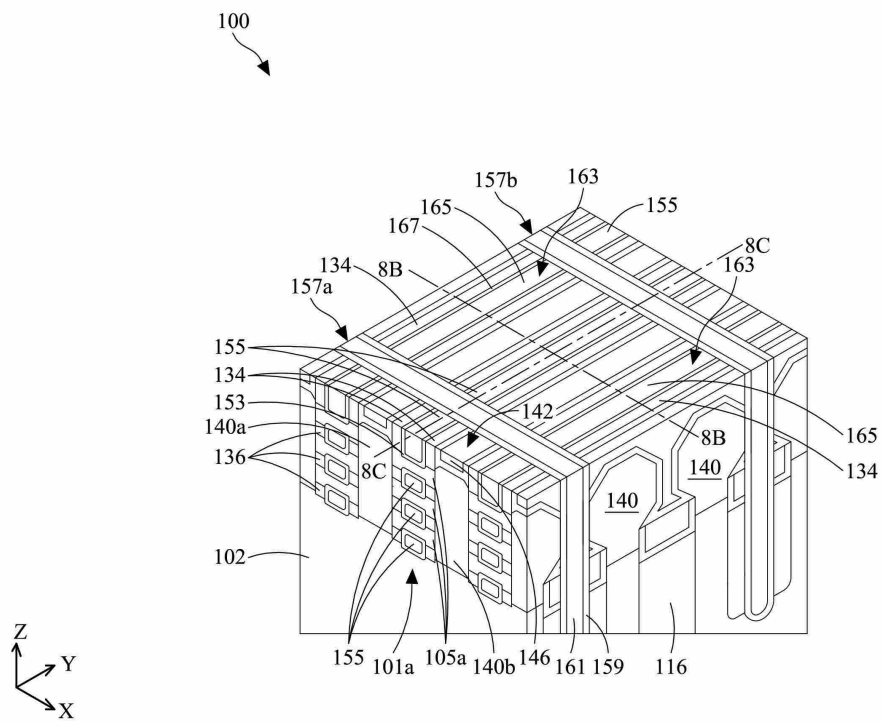


第 7A 圖



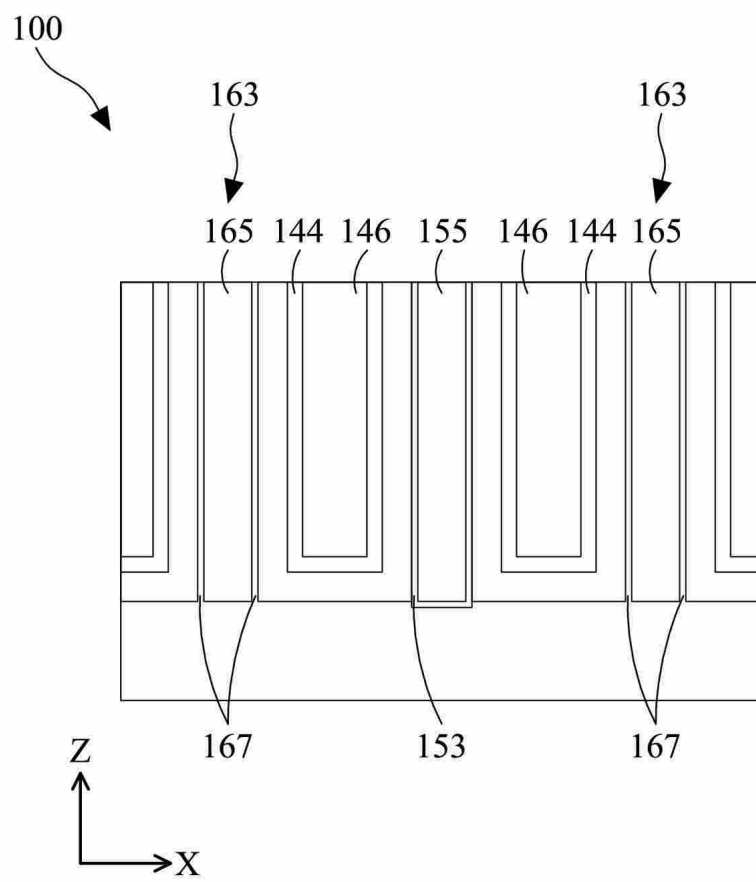
第 7B 圖

(10)



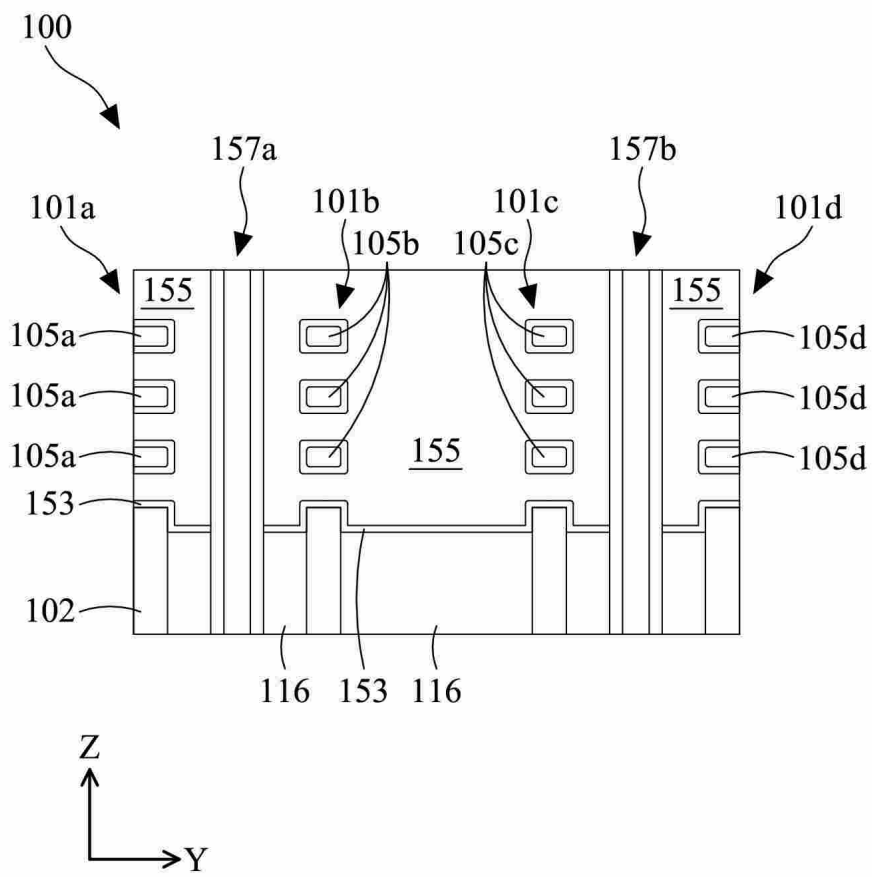
第 8A 圖

(11)



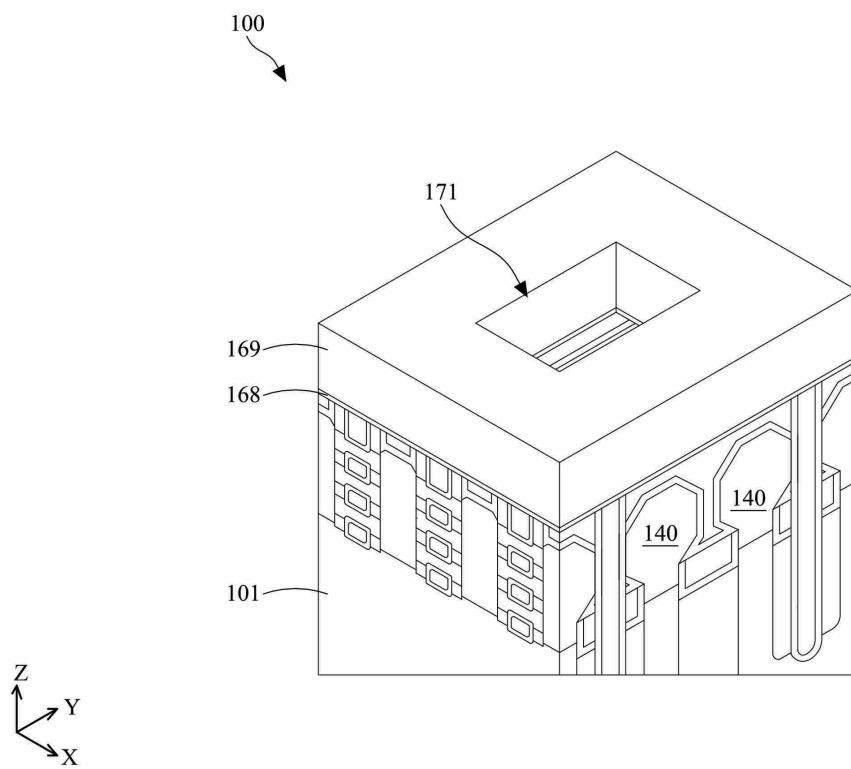
第 8B 圖

(12)



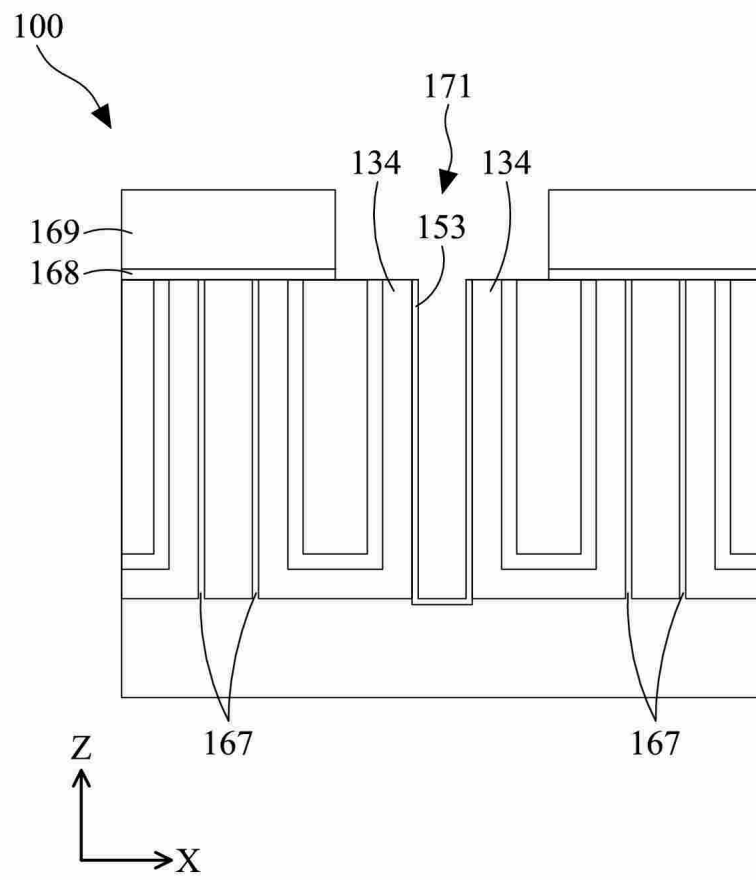
第 8C 圖

(13)



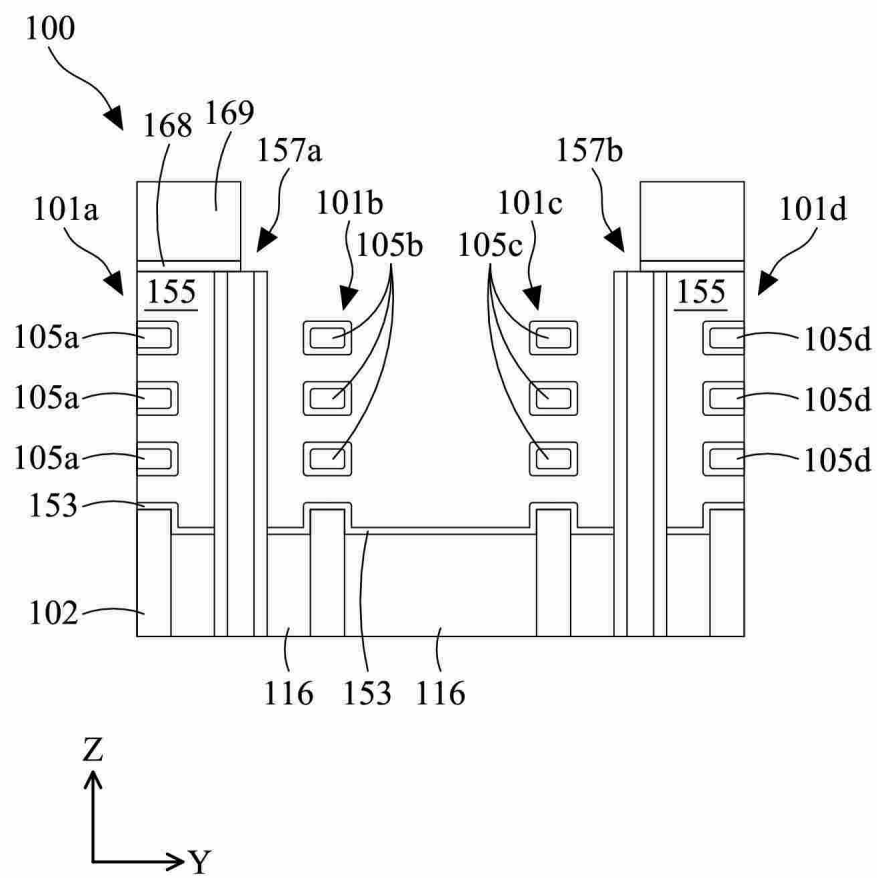
第 9A 圖

(14)



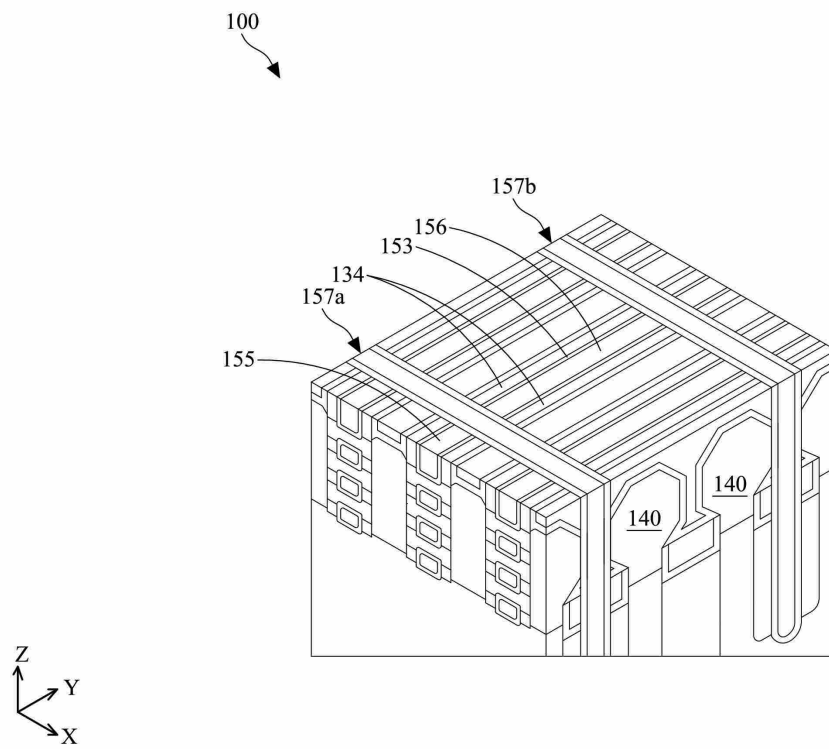
第 9B 圖

(15)



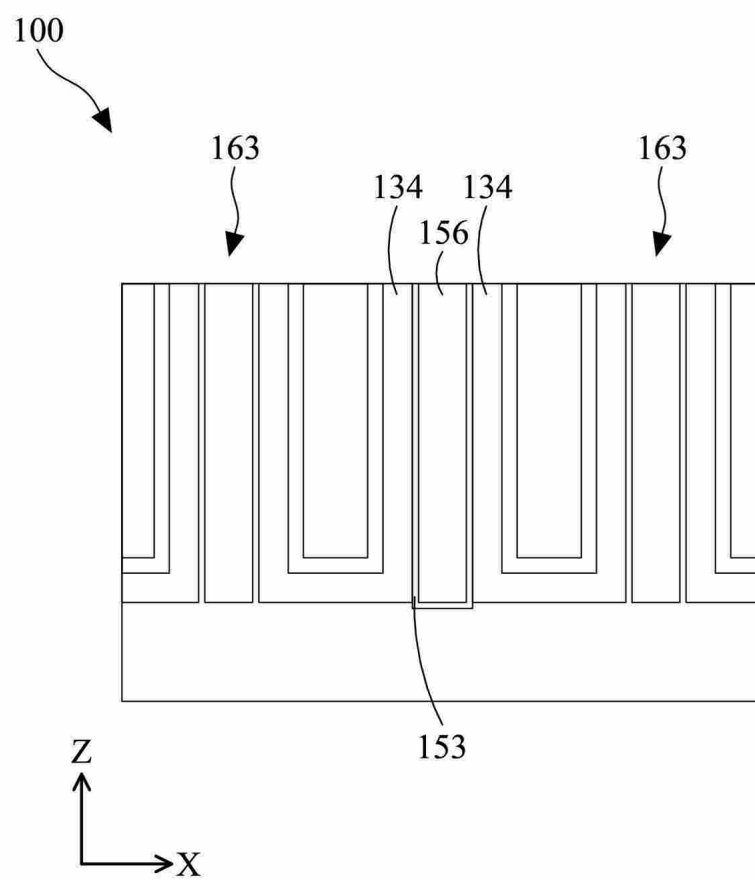
第 9C 圖

(16)



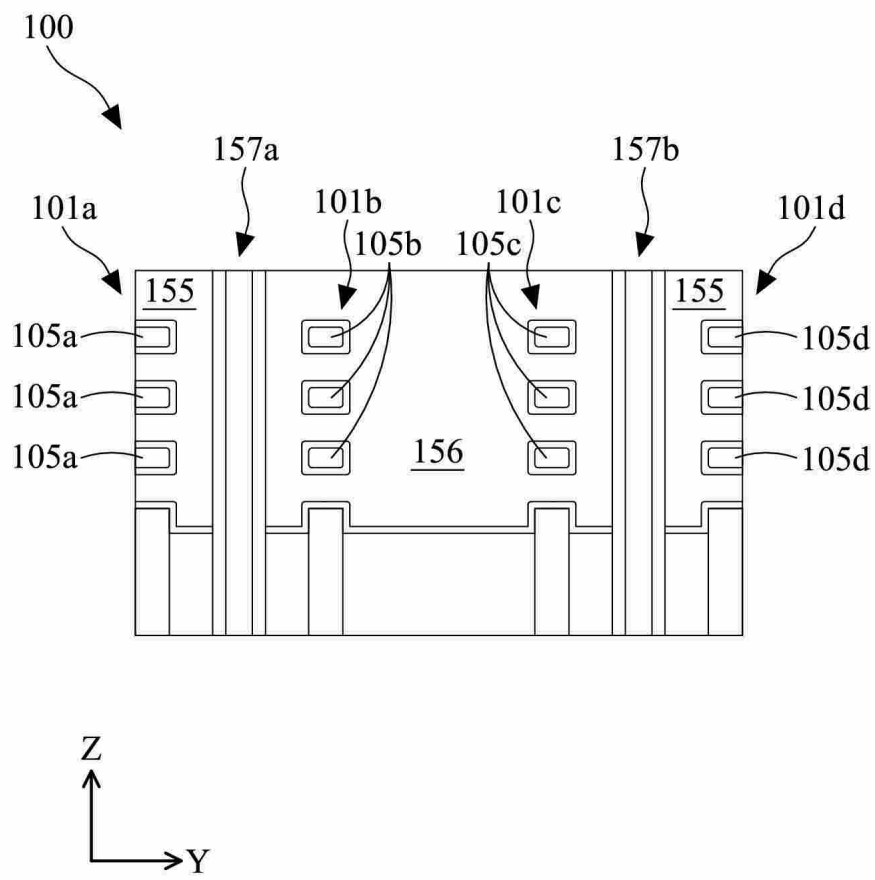
第 10A 圖

(17)



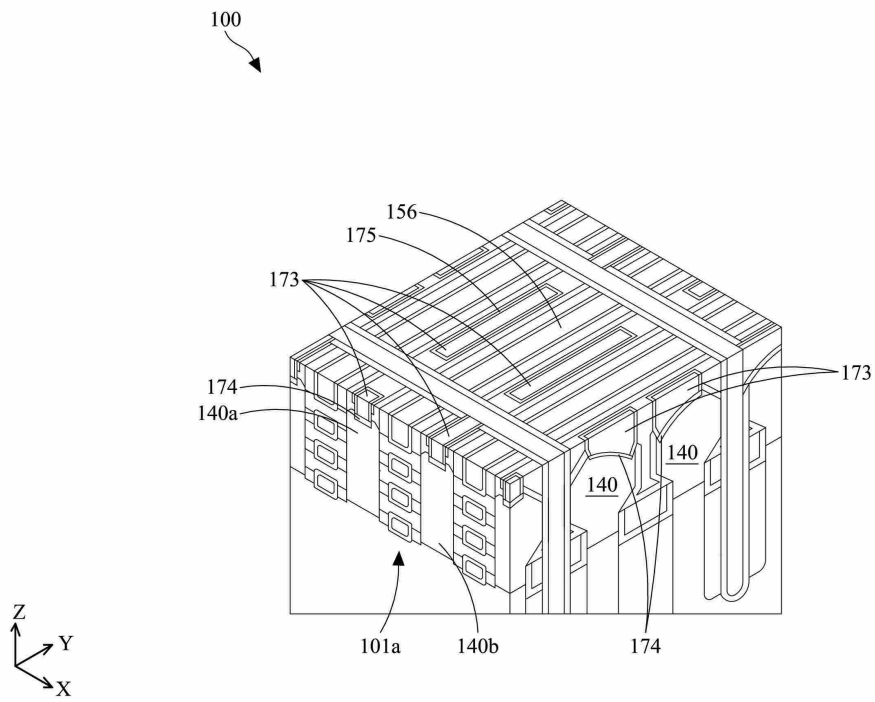
第 10B 圖

(18)



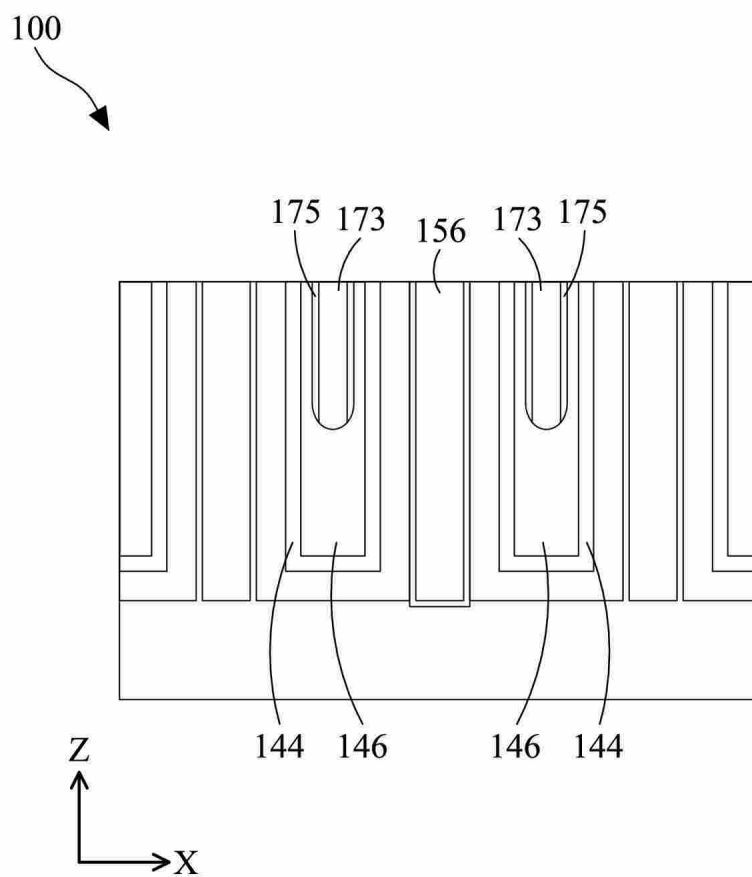
第 10C 圖

(19)



第 11A 圖

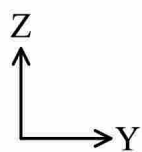
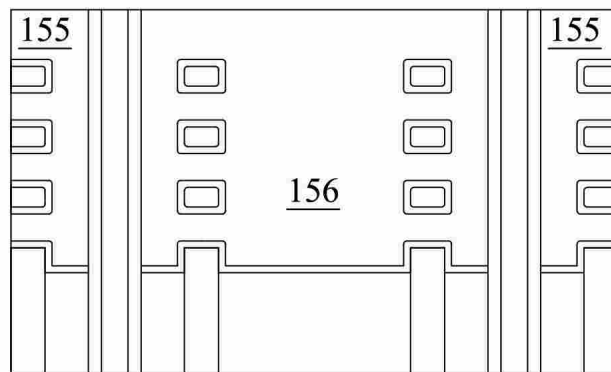
(20)



第 11B 圖

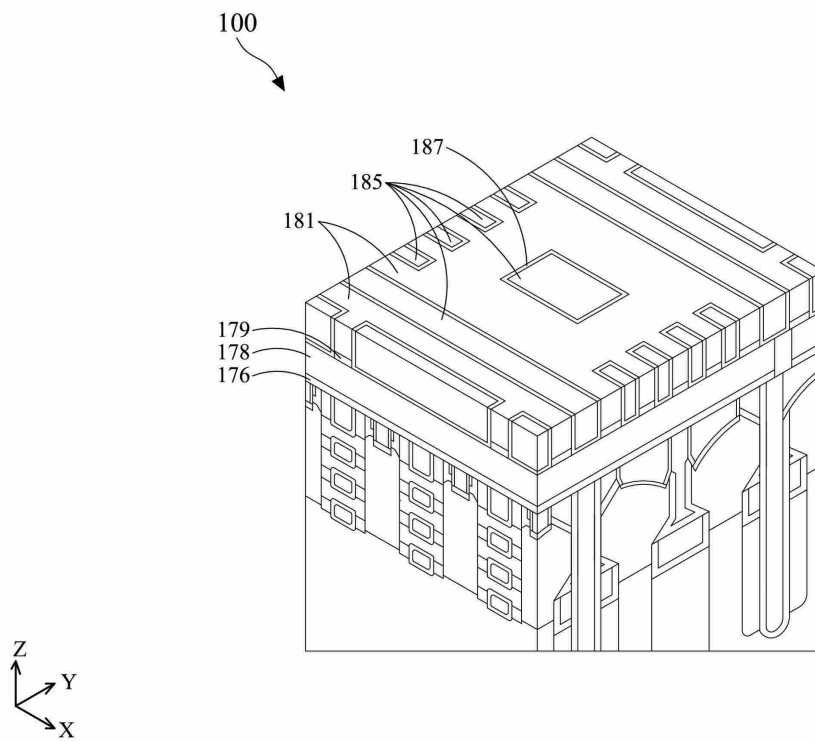
(21)

100



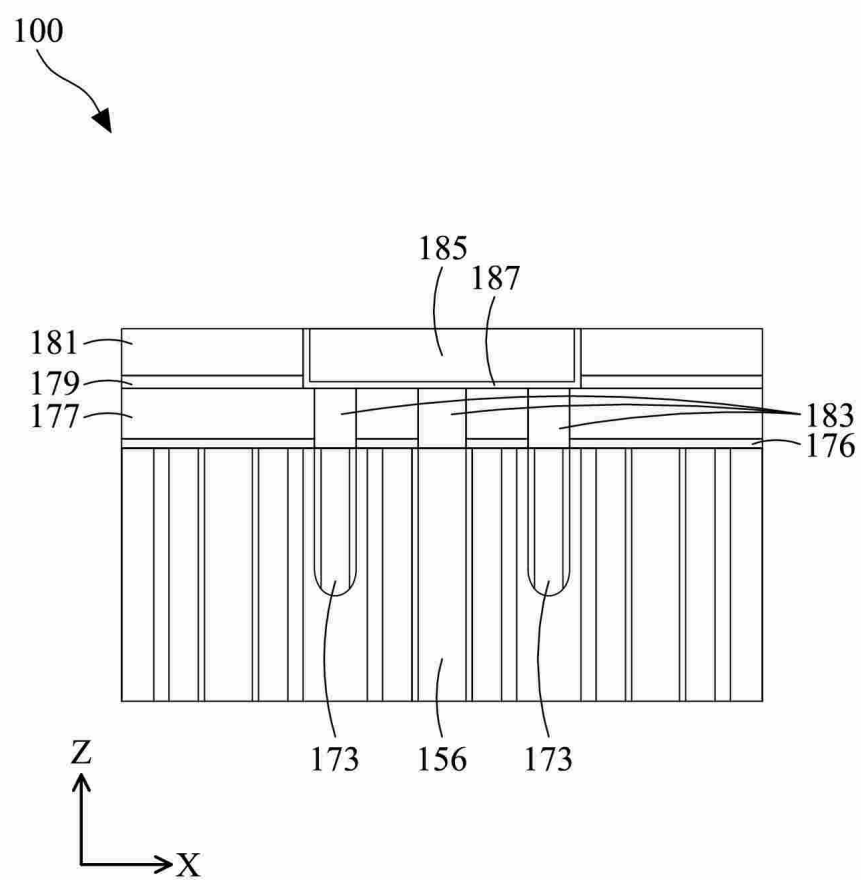
第 11C 圖

(22)



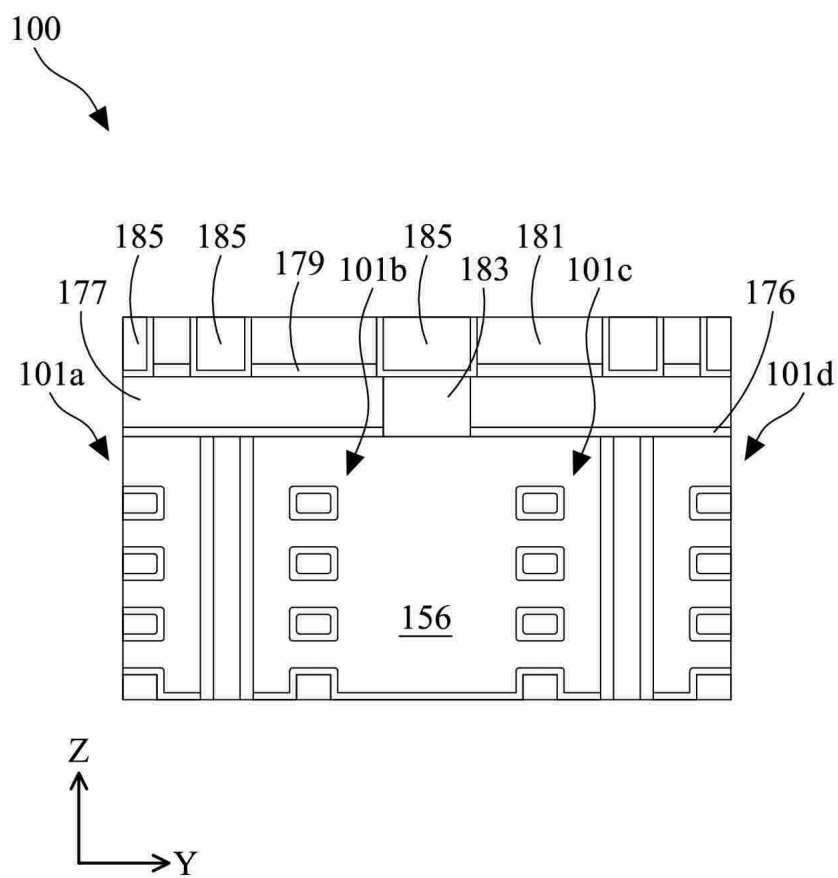
第 12A 圖

(23)



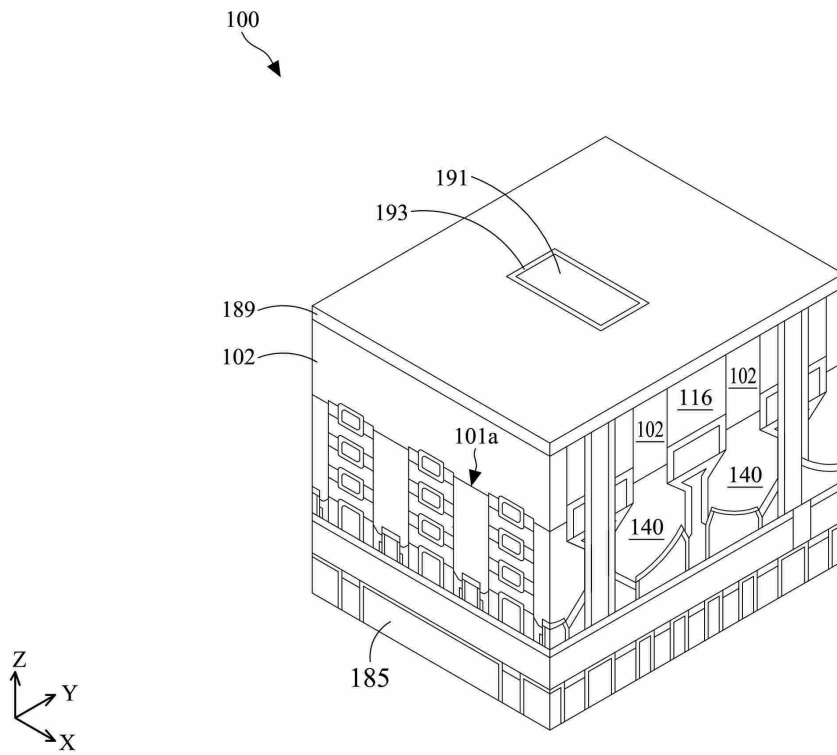
第 12B 圖

(24)



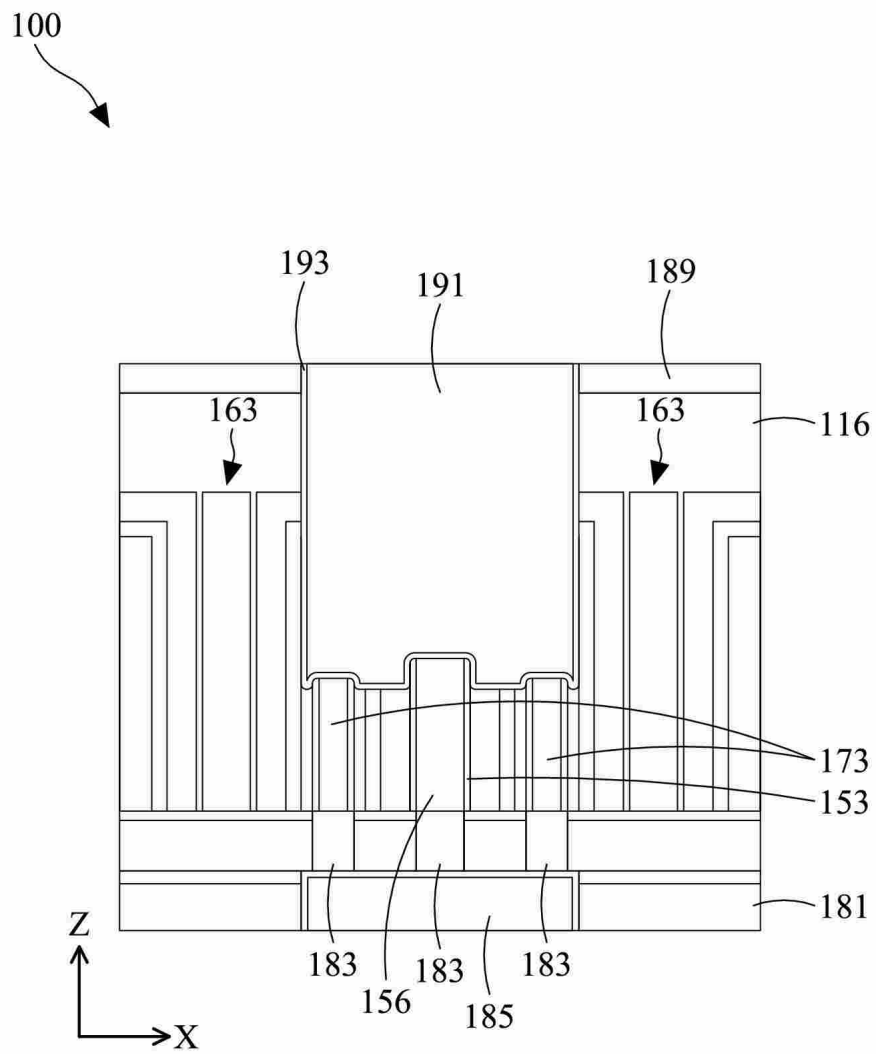
第 12C 圖

(25)

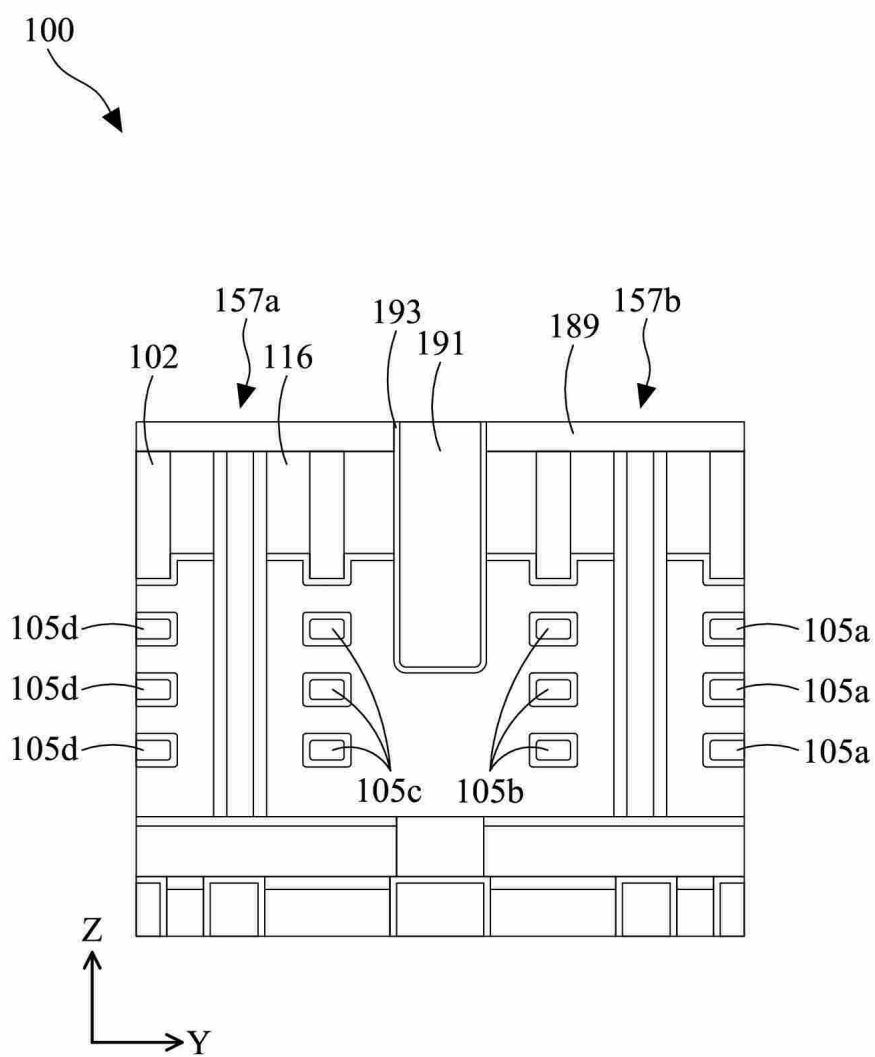


第 13A 圖

(26)

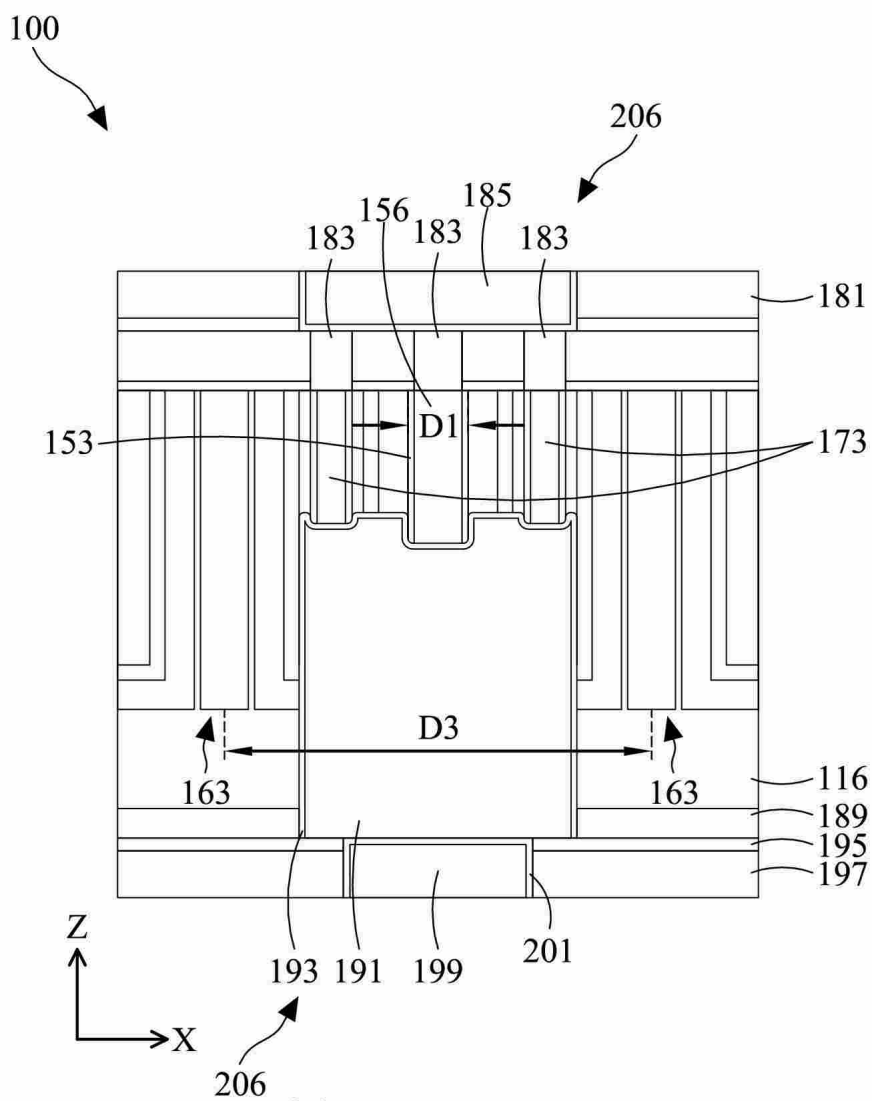


第 13B 圖

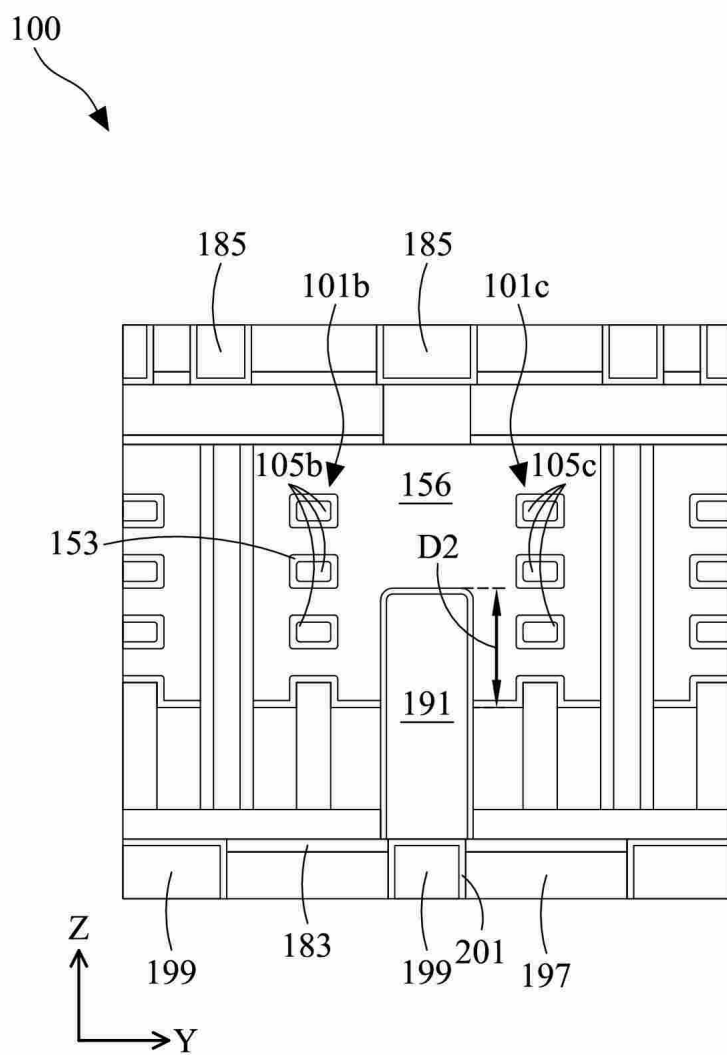


第 13C 圖

(28)

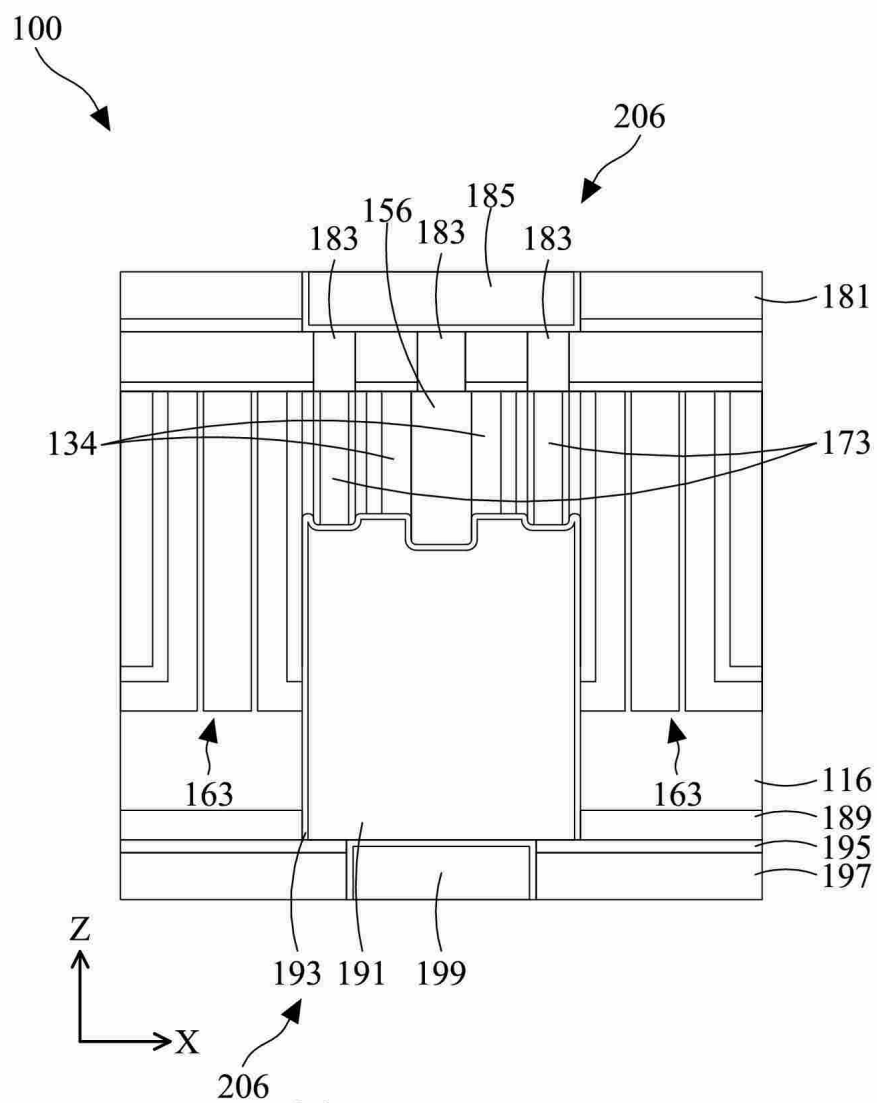


第 14A 圖



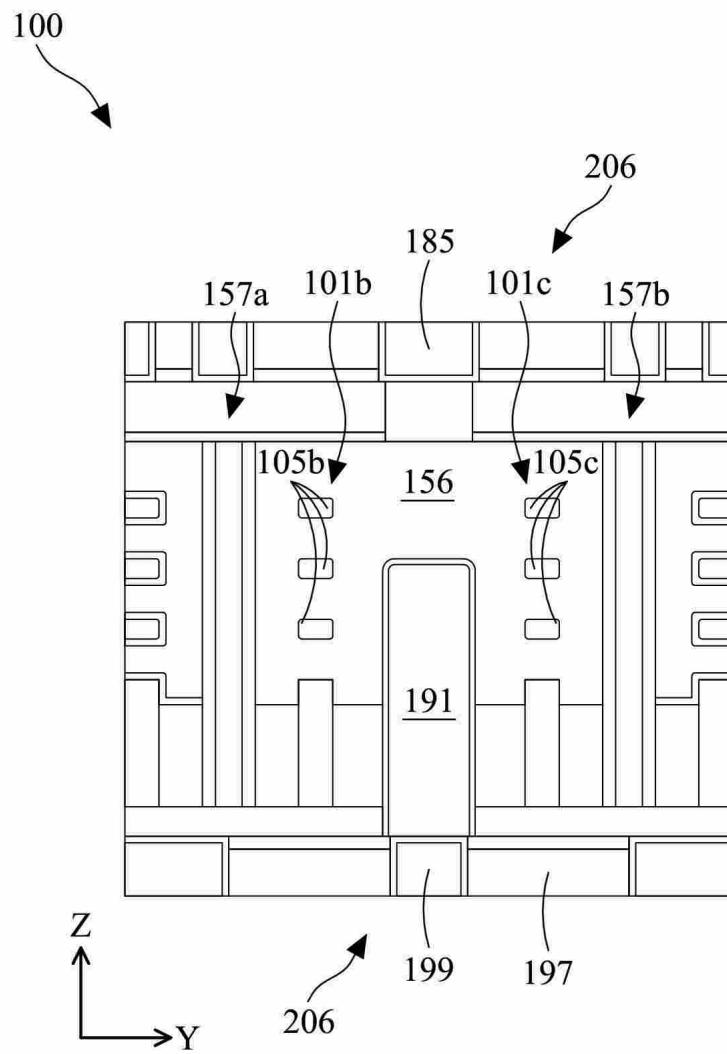
第 14B 圖

(30)



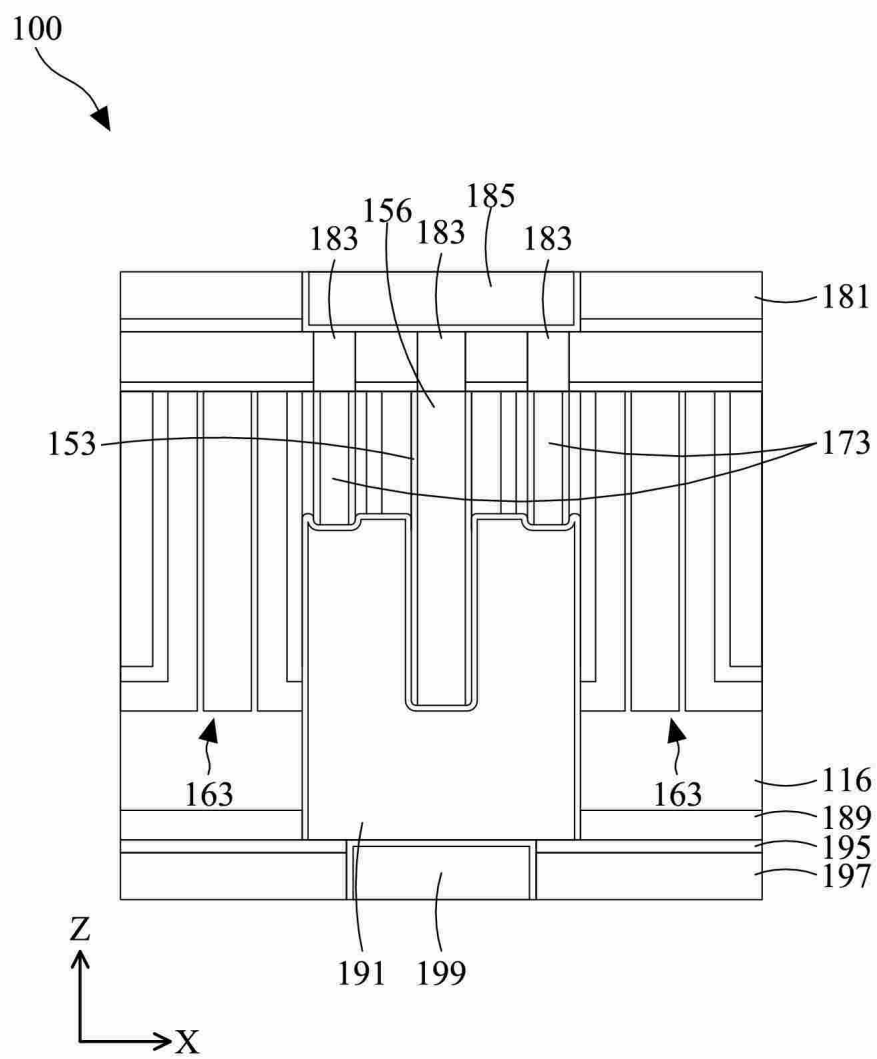
第 15A 圖

(31)



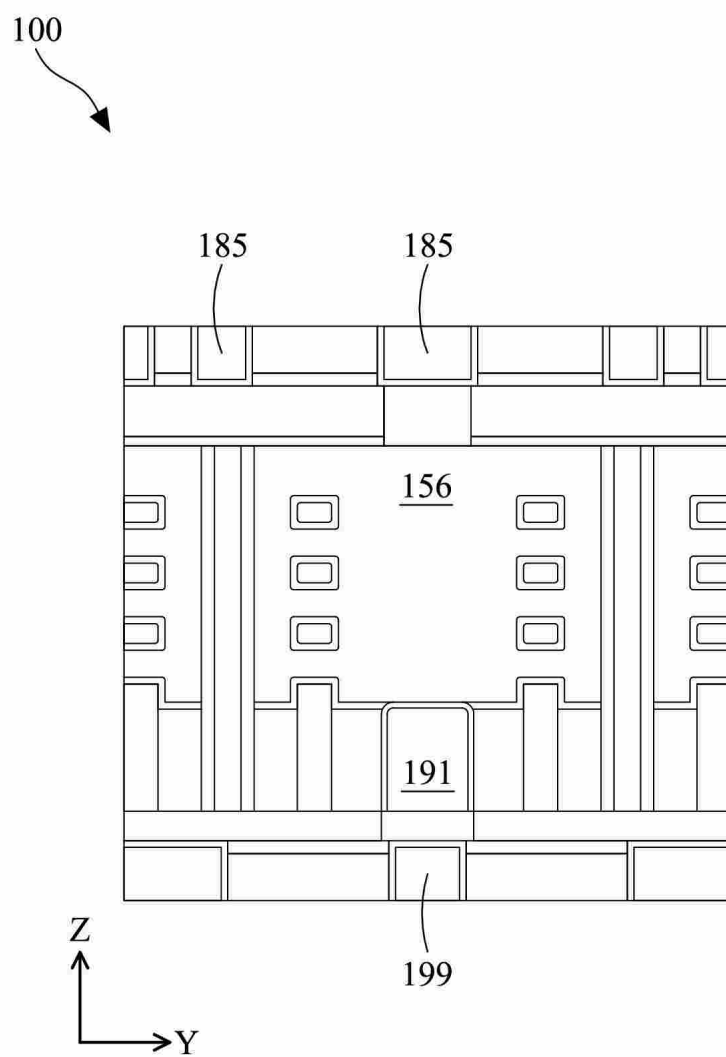
第 15B 圖

(32)



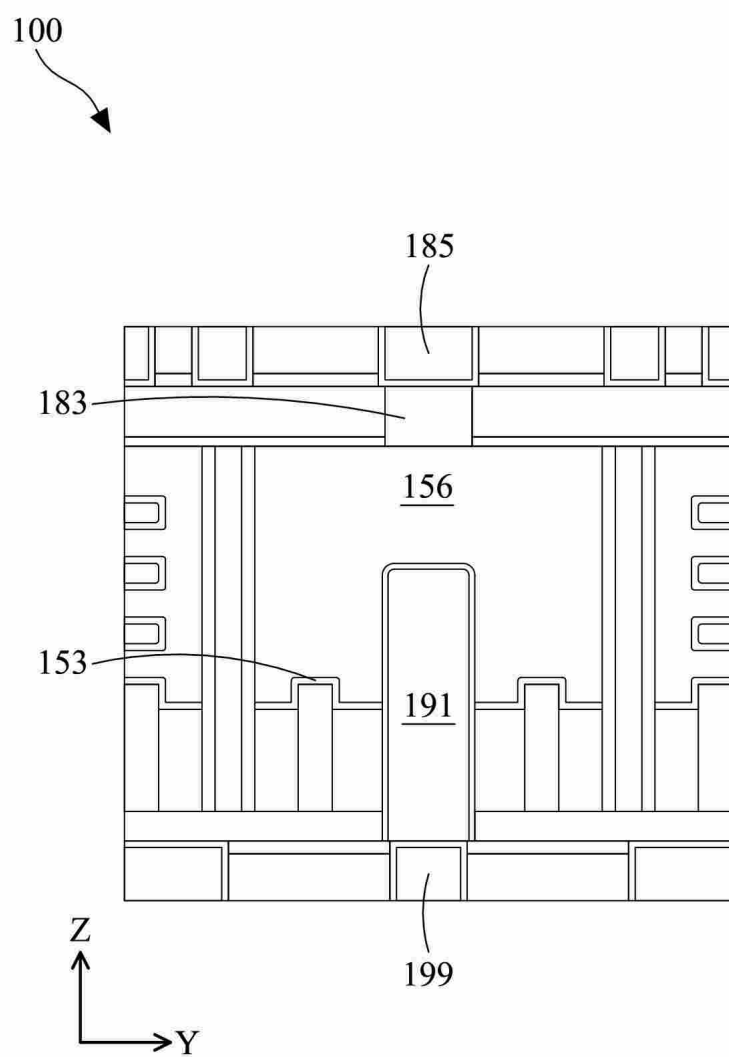
第 16A 圖

(33)



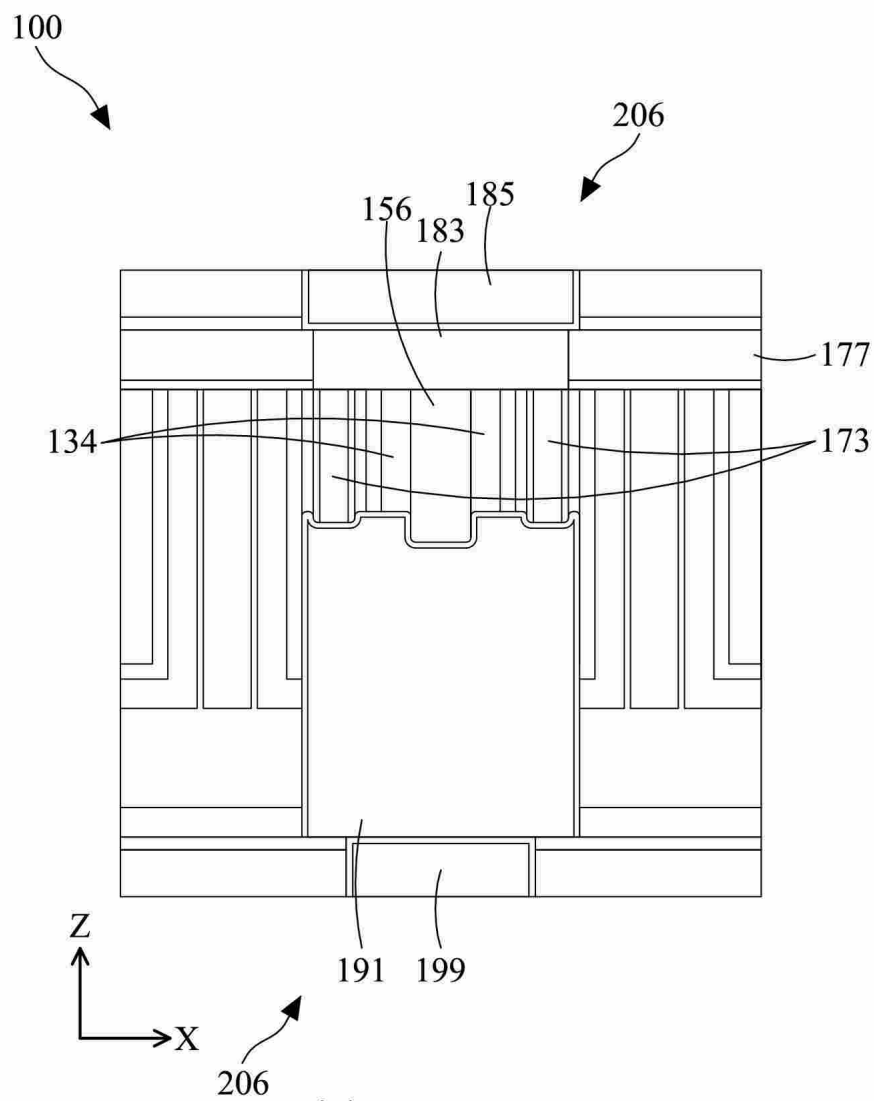
第 16B 圖

(34)



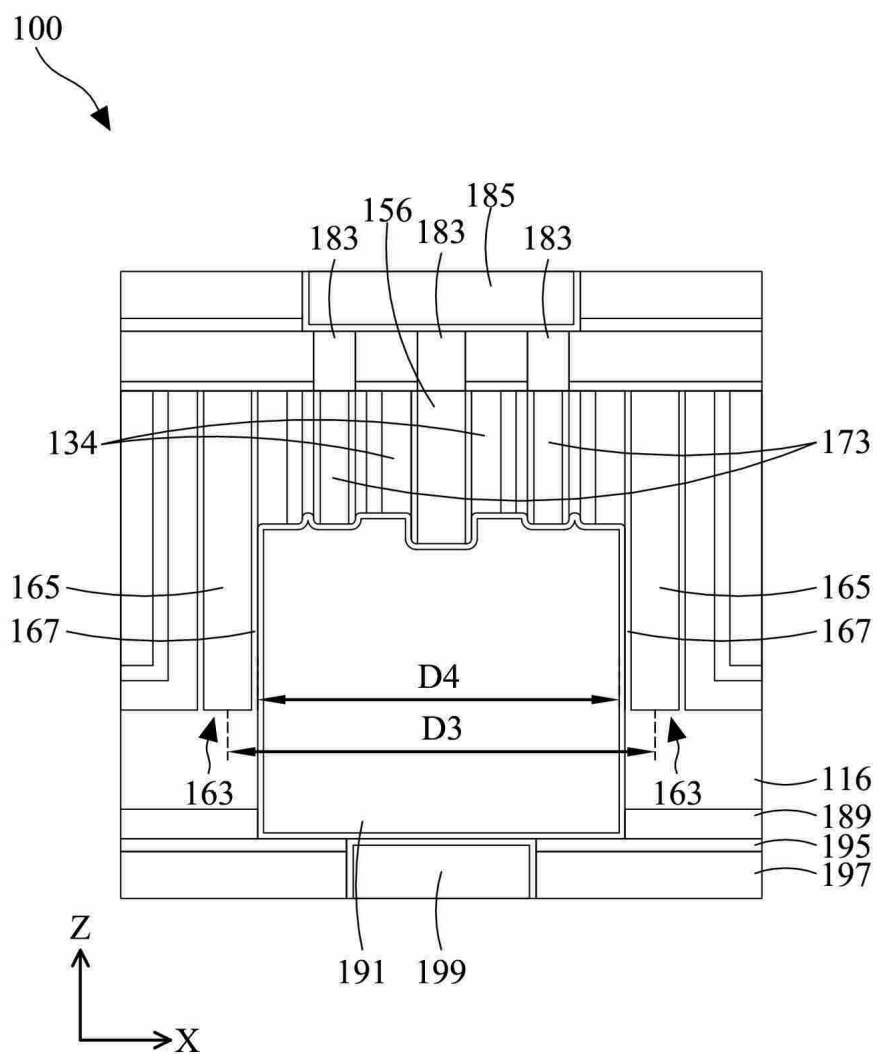
第 17 圖

(35)



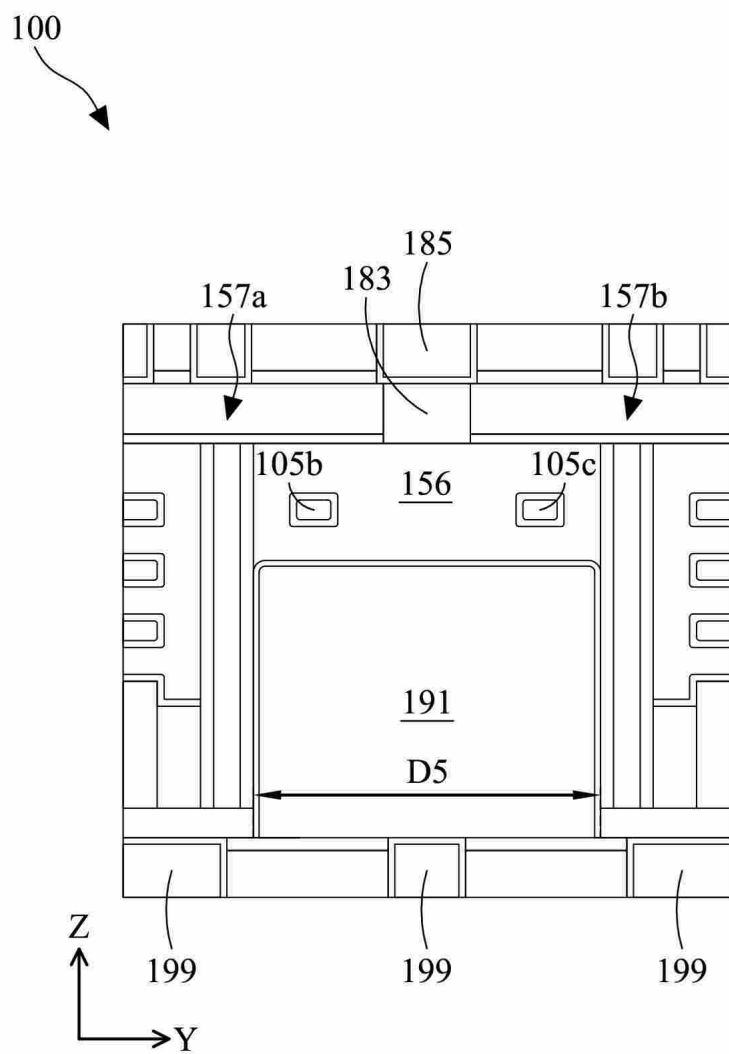
第 18 圖

(36)



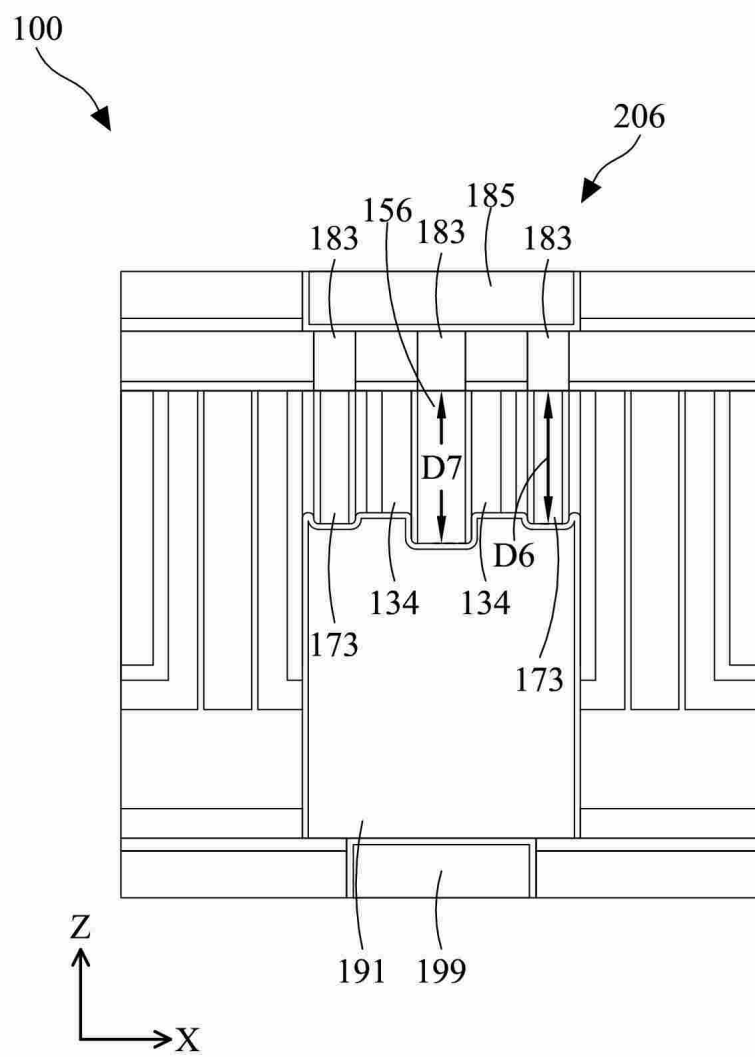
第 19A 圖

(37)



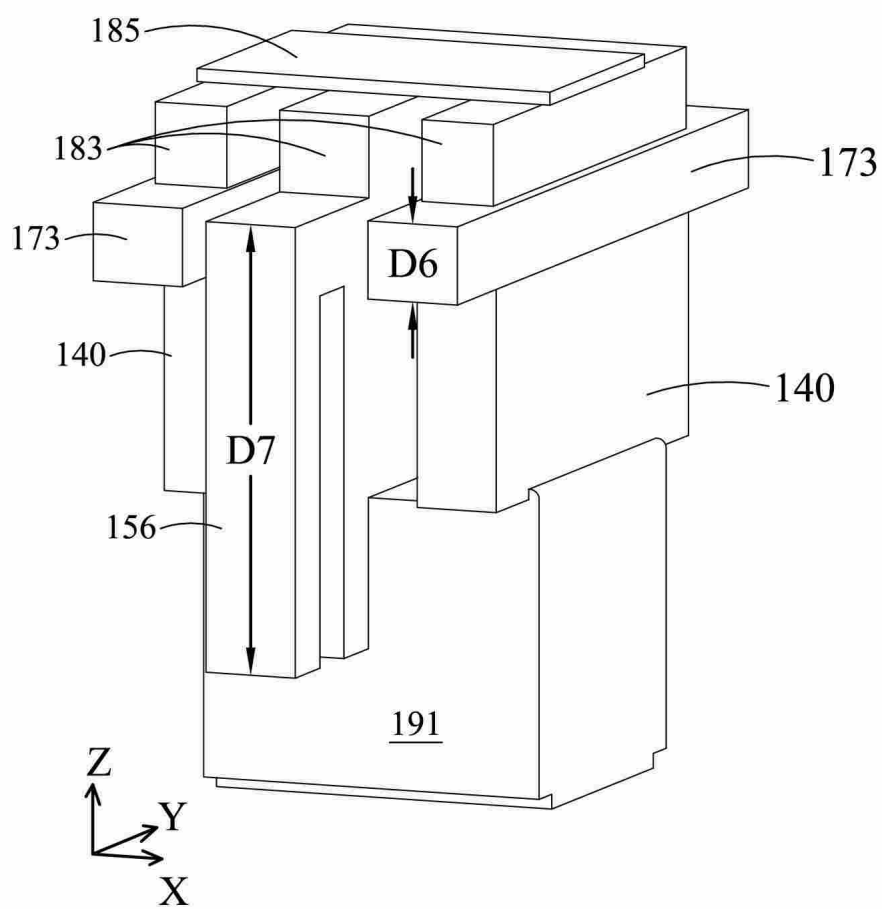
第 19B 圖

(38)



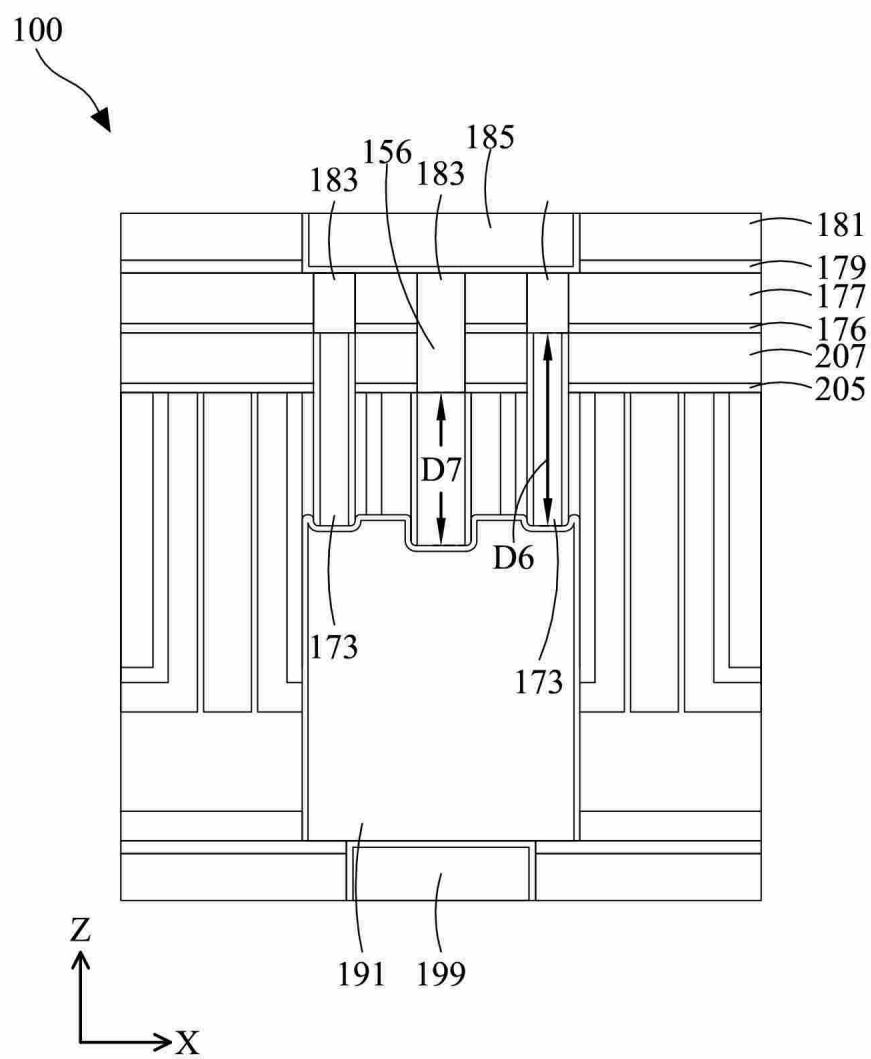
第 20A 圖

(39)



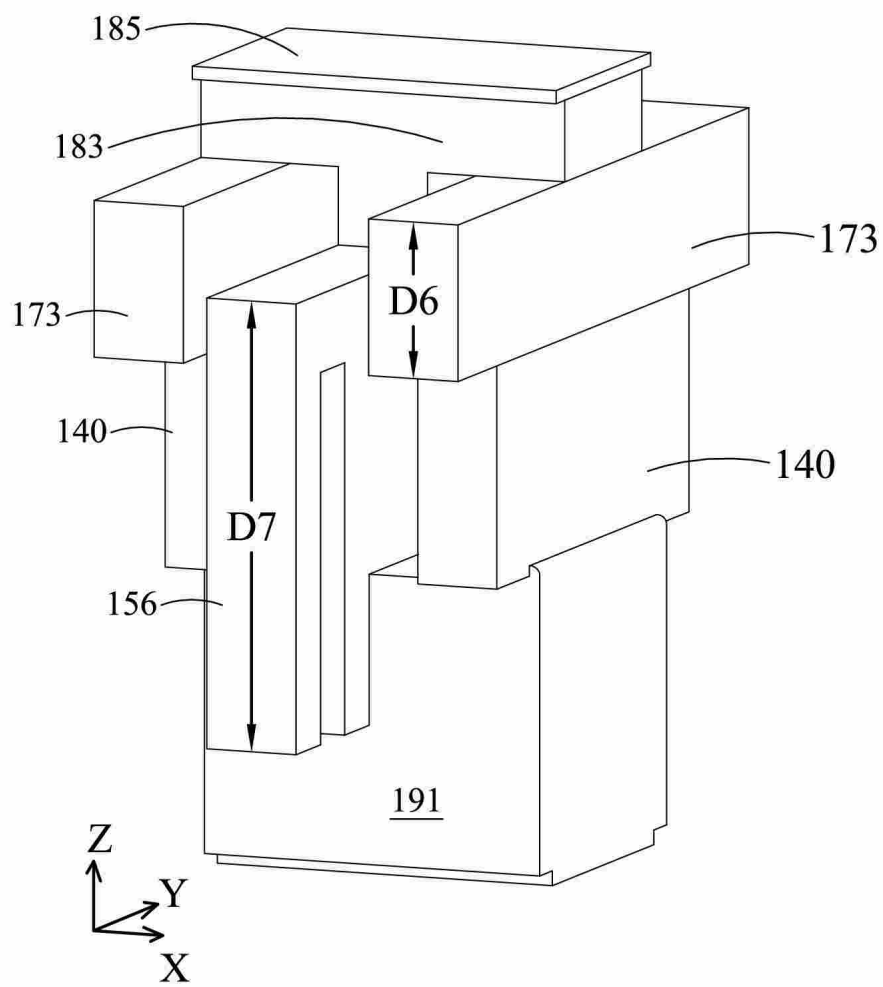
第 20B 圖

(40)



第 21A 圖

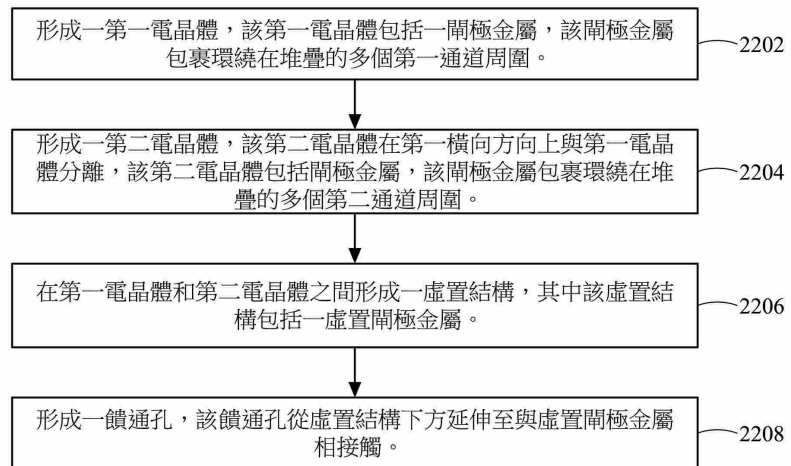
(41)



第 21B 圖

(42)

2200



第 22 圖