

【11】證書號數：I938657

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10W10/00 (2026.01) H10D48/36 (2025.01)

發明

全 8 頁

【54】名稱：半導體裝置及其製造方法

【21】申請案號：113138736

【22】申請日：中華民國 111 (2022) 年 08 月 18 日

【11】公開編號：202507936

【43】公開日期：中華民國 114 (2025) 年 02 月 16 日

【72】發明人：王茂盈 (TW) WANG, MAO-YING；龍威宇 (TW) LUNG, WEI YU

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：李世章；秦建譜

【56】參考文獻：

TW 201401509A

TW 201904062A

US 2009/0173994A1

US 2015/0228491A1

US 2020/0083371A1

審查人員：邱智強

【57】申請專利範圍

1. 一種半導體裝置的製造方法，包括：
提供基板，其中該基板具有摻雜區域；
在該基板的該摻雜區域中形成第一凹槽；
在該第一凹槽中共形地形成第一介電層；
在該第一凹槽中及該第一介電層上共形地形成第一阻障層；
在該第一凹槽中及該第一阻障層上填充第一導電結構；
將該第一導電結構部分移除，以形成第二凹槽；
在該第一導電結構上與該第二凹槽中形成第二阻障層；
在該第二凹槽中及該第二阻障層上共形地形成第二介電層，其中該第一介電層與該第二介電層形成厚度往上增加的閘極介電結構；以及
在該第二凹槽中及該第二介電層上填充第二導電結構。
2. 如請求項 1 所述之製造方法，其中該第二導電結構的功函數小於該第一導電結構的功函數。
3. 如請求項 1 所述之製造方法，其中該第一介電層環繞該第二介電層，且該第一介電層側向接觸該第二介電層。
4. 如請求項 1 所述之製造方法，進一步包括：
將該第二導電結構部分移除，以形成第三凹槽；以及
在該第三凹槽中填充絕緣帽蓋。
5. 如請求項 1 所述之製造方法，進一步包括：
將該第二導電結構部分移除，以形成第三凹槽；
在該第三凹槽中共形地形成第三介電層；以及
在該第三凹槽中及該第三介電層上填充絕緣帽蓋。
6. 如請求項 5 所述之製造方法，其中該第二介電層側向接觸該第三介電層。

7. 如請求項 1 所述之製造方法，其中該第一介電層與該第二介電層形成厚度往上增加的閘極介電結構。
8. 如請求項 7 所述之製造方法，其中在形成該第二阻障層之後，該第一介電層的內壁為階梯形。
9. 如請求項 1 所述之製造方法，其中在該第一導電結構上形成第二阻障層進一步包括：
共形地在該第二凹槽中形成阻障結構；以及
橫向移除該阻障結構的上側壁部，以形成該第二阻障層。
10. 如請求項 1 所述之製造方法，其中在該第一導電結構上形成第二阻障層進一步包括：
共形地在該第二凹槽中形成阻障結構；
橫向移除該阻障結構的上側壁部，以形成該第二阻障層；以及
橫向減薄該第一介電層的上側壁部。
11. 如請求項 1 所述之製造方法，其中該第一介電層包括底部和上側壁部，該上側壁部位於該底部之上，其中該第一介電層的該上側壁部的厚度小於該第一介電層的該底部的厚度。
12. 如請求項 1 所述之製造方法，其中該第一介電層是由臨場蒸氣產生製程所製造，而第二介電層是由原子層沉積製程所製造。
13. 一種半導體裝置，包括：
基板，包括源極區及汲極區；
第一導電結構，位於該源極區及該汲極區之間；
第二導電結構，位於該第一導電結構上；
閘極介電結構，包含：
第一介電層，環繞該第一導電結構及該第二導電結構；以及
第二介電層，部分位於該第一導電結構和第二導電結構之間，且該第二介電層環繞該第二導電結構，其中該第一介電層更側向接觸該第二介電層，且該閘極介電結構的厚度往上增加；
第一阻障層，位於該第一導電結構及該第一介電層之間；以及
第二阻障層，位於該第一導電結構及該第二介電層之間。
14. 如請求項 13 的半導體裝置，其中該第二導電結構的功函數小於該第一導電結構的功函數。
15. 如請求項 13 的半導體裝置，更包括第三介電層，其中該第三介電層位於該第二導電結構上。
16. 如請求項 13 的半導體裝置，更包括：
第三介電層，位於該第二導電結構上；以及
絕緣帽蓋，其中該第三介電層環繞該絕緣帽蓋，且該第三介電層部分位於該第二導電結構及該絕緣帽蓋之間。
17. 如請求項 15 或 16 的半導體裝置，其中該第二介電層更側向接觸該第三介電層。
18. 如請求項 15 或 16 的半導體裝置，其中該第三介電層具有 U 形截面。
19. 如請求項 13 的半導體裝置，其中該第一介電層的內壁為階梯形。

圖式簡單說明

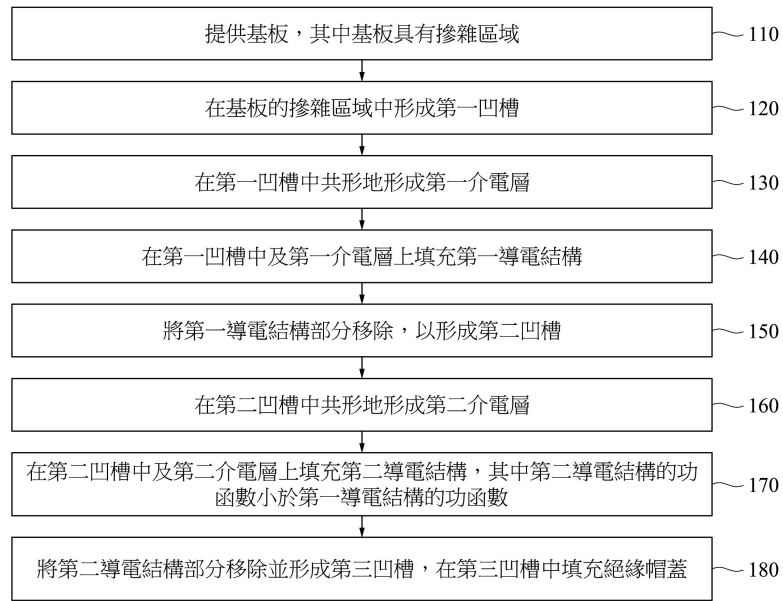
為達成上述的優點和特徵，將參考實施方式對上述簡要描述的原理進行更具體的闡釋，而具體實施方式被展現在附圖中。這些附圖僅例示性地描述本發明，因此不限制發明的範圍。通過附圖，將清楚解釋本發明的原理，且附加的特徵和細節將被完整描述，其中：

第 1 圖繪示為本發明一些實施方式中，半導體裝置的製造方法的流程圖；以及

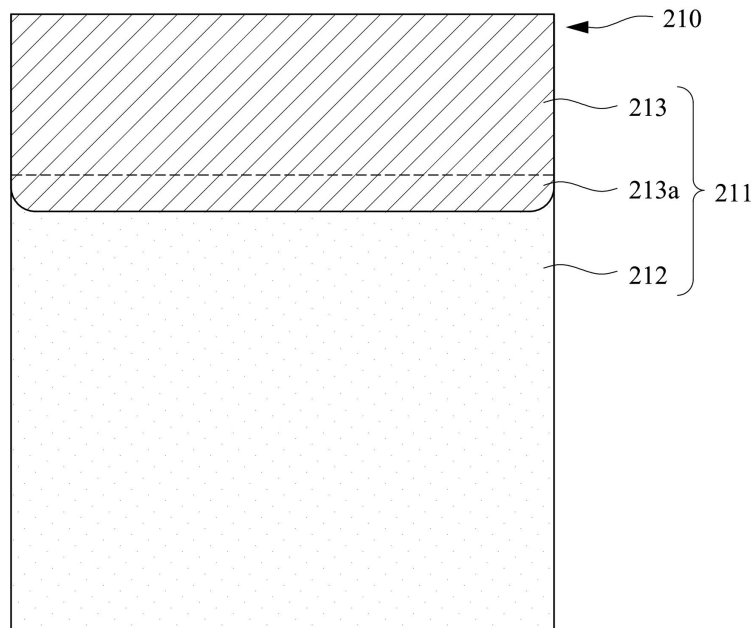
第 2 圖至第 11 圖繪示第 1 圖中製造方法的各個步驟的示意圖。

(3)

100

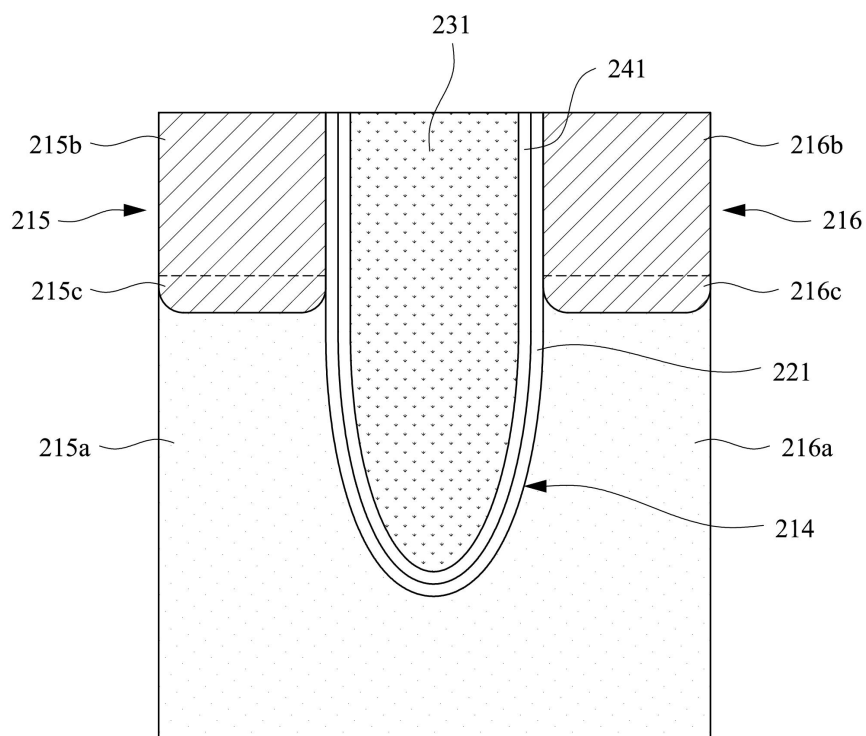


第 1 圖

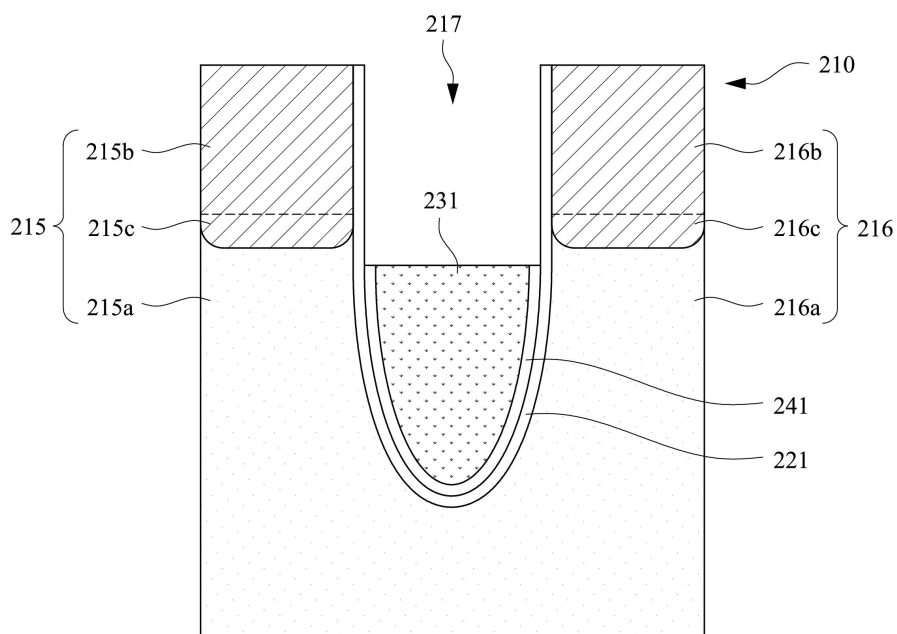


第 2 圖

(4)



第 3 圖



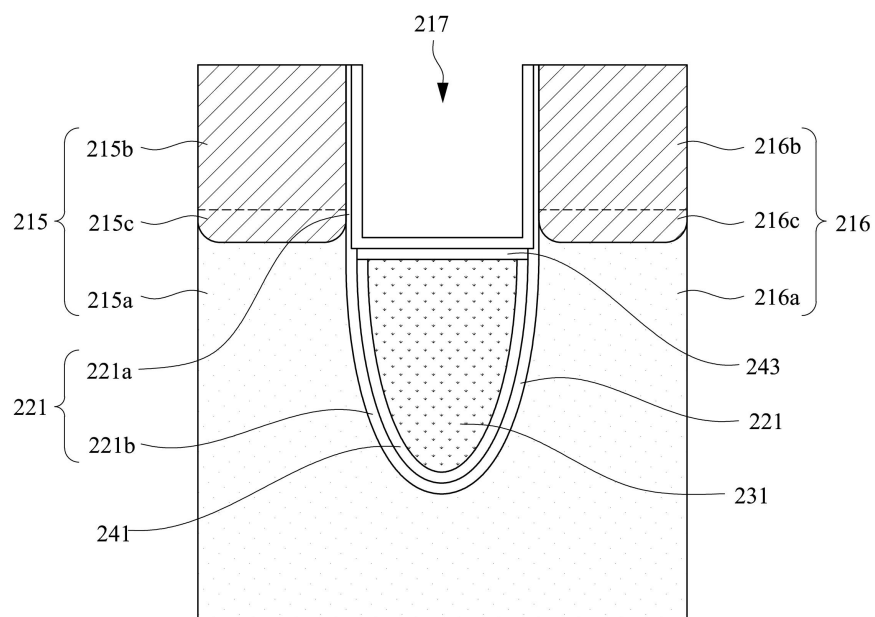
第 4 圖

A cross-sectional view of a semiconductor device 210. The device features a central trench 217. The bottom of the trench is composed of a bottom layer 221 and a top layer 241. The trench is lined with a material 242, which is divided into regions 242a and 242b. The device is divided into two main regions, 215 and 216, each with sub-regions 215a, 215b, 215c and 216a, 216b, 216c respectively. The regions 215b and 216b are shaded with diagonal lines, while the regions 215c and 216c are shaded with a dotted pattern. The regions 215a and 216a are unshaded.

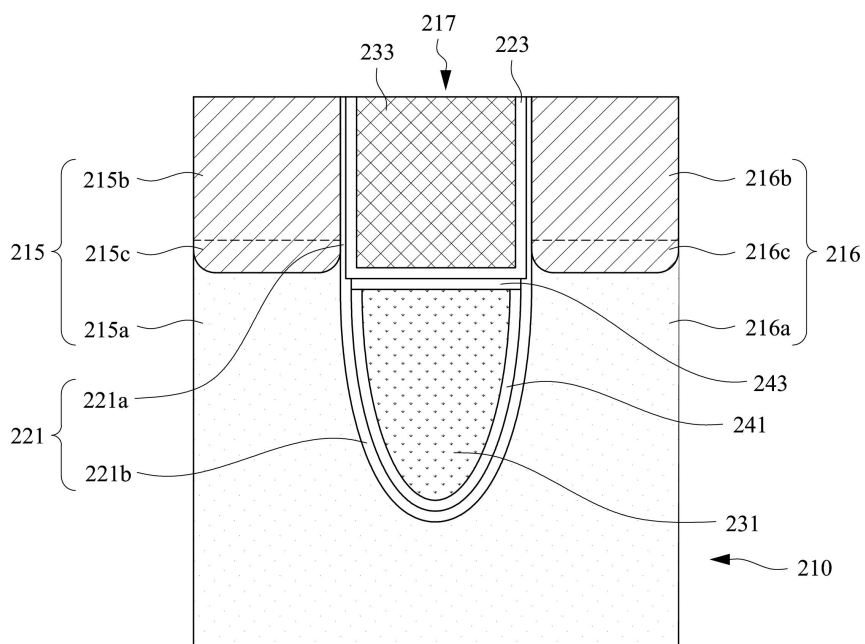
This diagram shows a cross-sectional view of a semiconductor device. A central trench (217) is formed in a substrate (210). The trench is lined with a material (231) and has a bottom layer (243). The trench is flanked by two regions (215 and 216). Region 215 includes layers 215a, 215b, and 215c. Region 216 includes layers 216a, 216b, and 216c. A layer (221) is formed on the top surface of the trench, with a thickness T1. A layer (241) is formed on the bottom surface of the trench, with a thickness T2. The trench is filled with a material (231) and has a bottom layer (243).

- 5111 -

(6)

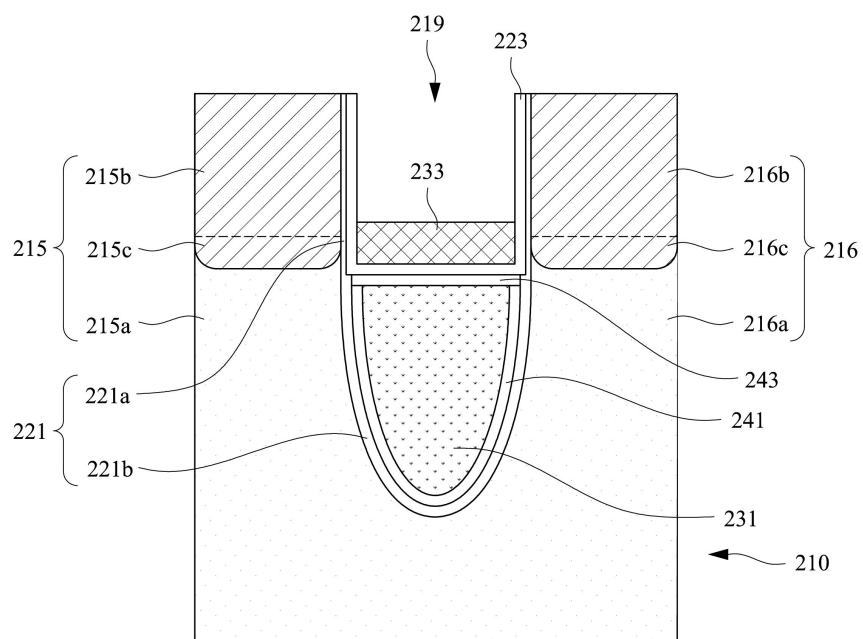


第 7 圖

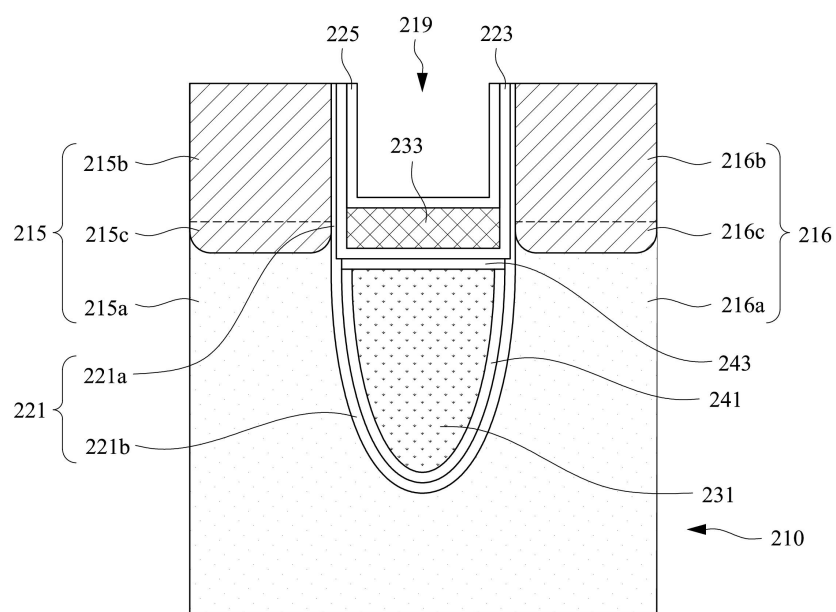


第 8 圖

(7)



第 9 圖



第 10 圖

