

【11】證書號數：I938694

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/44 (2026.01) H10W20/40 (2026.01)
H10W72/50 (2026.01)

發明

全 32 頁

【54】名稱：具有線性結構的半導體元件及其製造方法

【21】申請案號：113145013

【22】申請日：中華民國 113 (2024) 年 03 月 28 日

【11】公開編號：202531568

【43】公開日期：中華民國 114 (2025) 年 08 月 01 日

【30】優先權：2024/01/29

美國

18/425,115

【72】發明人：蘇國輝 (TW) SU, KUO-HUI

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 202107660A

TW 202123461A

TW 202139408A

TW 202141733A

US 2021/0265267A1

審查人員：莊嘉紘

【57】申請專利範圍

1. 一種半導體元件，包括：

一基底；

一蝕刻終止層，設置在該基底上方；

一第一下插塞和一第二下插塞，設置在該基底上方並從該蝕刻終止層的一上表面突出；

一第一上插塞和一第二上插塞，分別設置在該第一下插塞和該第二下插塞上方；

一氣隙，設置在該第一上插塞與該第二上插塞之間；以及

一襯墊結構，設置在該第一上插塞和該第二上插塞之間，其中該襯墊結構封閉該氣隙，其中該第一下插塞的一上表面呈圓形，

其中該第一上插塞與該第一下插塞的第一側壁接觸；

其中該第一上插塞為一著陸墊，該著陸墊包括一中心插塞、一第一間隙子以及一第二間隙子，該第一間隙子設置在該中心插塞的一上表面上方，且該第二間隙子設置在該中心插塞的一突出部分的一側壁上並夾住該突出部分；其中該第二間隙子的一最頂表面高於該第一間隙子的一上表面。

2. 如請求項 1 所述之半導體元件，其中該第一上插塞還與該蝕刻終止層接觸。

3. 如請求項 1 所述之半導體元件，還包括：

一第一介電層，設置在該基底上方，其中該蝕刻終止層設置在該第一介電層上方；

一第二介電層，設置在該蝕刻終止層上方；以及

一第三介電層，設置在該第二介電層上方。

4. 如請求項 3 所述之半導體元件，其中該第一下插塞的第二側壁與該第二介電層接觸。

5. 如請求項 4 所述之半導體元件，其中該第一下插塞的該第一側壁的一高度與該第一下插塞的該第二側壁的一高度基本上相同。

6. 如請求項 3 所述之半導體元件，其中該第一下插塞的該第一側壁與該第二介電層分隔開。
7. 如請求項 3 所述之半導體元件，其中該第三介電層部分覆蓋該第一下插塞。
8. 如請求項 3 所述之半導體元件，更包括：
 - 一第一金屬矽化物層，設置在該第一下插塞上；以及
 - 一第二金屬矽化物層，設置在該第二下插塞上。
9. 如請求項 8 所述之半導體元件，其中該第一上插塞接觸該第一金屬矽化物層，以及該第二上插塞接觸該第二金屬矽化物層。
10. 如請求項 8 所述之半導體元件，其中該第一金屬矽化物層與該第二金屬矽化物層接觸該第三介電層。
11. 如請求項 1 所述之半導體元件，更包括：
 - 一第四介電層，設置在該第一上插塞、該第二上插塞與該襯墊結構之上；以及
 - 一第一位元線與一第二位元線，設置在該第四介電層中，
 - 其中該第一位元線與該第二位元線分別設置在該第一上插塞與該第二上插塞之上。
12. 如請求項 11 所述之半導體元件，其中該襯墊結構不接觸該第一位元線，以及該襯墊結構不接觸該第二位元線。

圖式簡單說明

當與附圖一起閱讀時，從以下詳細描述中可以最好地理解本揭露的各方面。應當理解，根據業界的標準慣例，各種特徵並非按比例繪製。事實上，為了清楚討論，可以任意增加或減少各種特徵的尺寸。

圖 1 是剖視示意圖，例示本揭露一些實施例的半導體元件結構。

圖 2 是剖視示意圖，例示本揭露一些實施例的半導體元件結構。

圖 3 是剖視示意圖，例示本揭露一些實施例的半導體元件結構。

圖 4 是剖視示意圖，例示本揭露一些實施例的半導體元件結構。

圖 5 是流程示意圖，例示本揭露一些實施例的半導體元件結構的製備方法。

圖 6 是流程示意圖，例示本揭露一些實施例的半導體元件結構的製備方法。

圖 7 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間依序形成第一介電層和第二介電層在半導體基底上方的中間階段。

圖 8 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間依序形成第一導電層、第二導電層和圖案化遮罩在第二介電層上方的中間階段。

圖 9 是剖視示意圖，例示本揭露一些實施例在形成半導體元件結構期間使用圖案化遮罩作為蝕刻遮罩形成第一開口和第二開口以貫穿第一導電層和第二導電層的中間階段。

圖 10 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間移除圖案化遮罩的中間階段。

圖 11 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間形成介電襯墊層在第一開口和第二開口中的中間階段。

圖 12 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間形成填充層在介電襯墊層上方的中間階段。

圖 13 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間部分地移除填充層和介電襯墊層以暴露第二導電層的中間階段。

圖 14 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間形成填充層在介電襯墊層上方的中間階段。

圖 15 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間部分地移除填充層和介電襯墊層以暴露第二導電層的中間階段。

(3)

圖 16 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間形成介電襯墊層在第一開口和第二開口中的中間階段。

圖 17 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間形成填充層在介電襯墊層上方的中間階段。

圖 18 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間部分地移除填充層和介電襯墊層以暴露第二導電層的中間階段。

圖 19 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間形成填充層在介電襯墊層上方的中間階段。

圖 20 是剖視示意圖，例示本揭露一些實施例在半導體元件結構的形成期間部分地移除填充層和介電襯墊層以暴露第二導電層的中間階段。

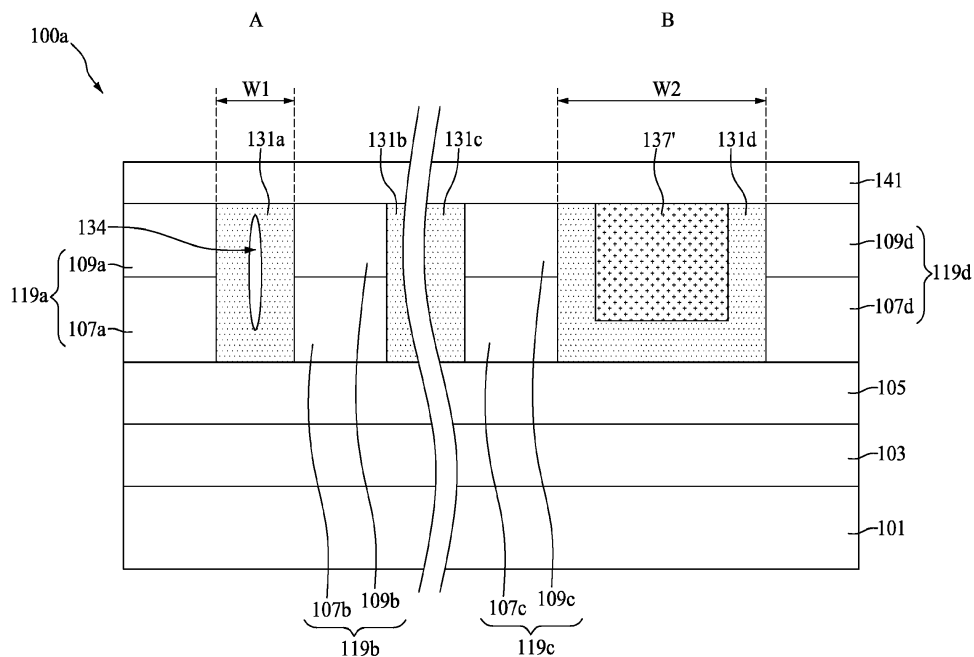
圖 21 是剖視示意圖，例示本揭露一些實施例的半導體結構。

圖 22 到圖 41 是剖視示意圖，例示本揭露一些實施例形成圖 21 所示的半導體結構的中間階段。

圖 42a 是剖視示意圖，例示本揭露一些實施例的半導體結構。

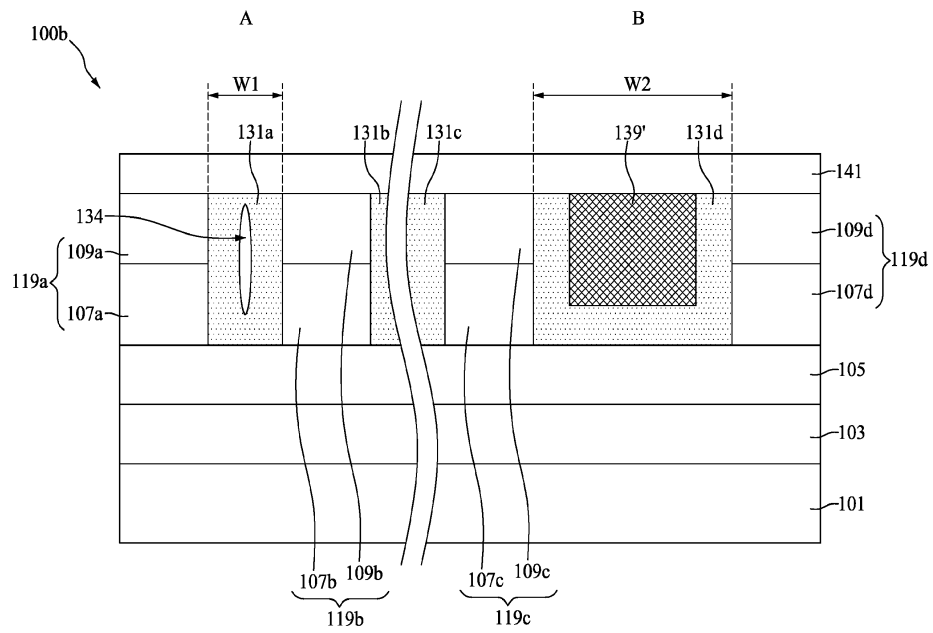
圖 42b 是局部放大示意圖，例示本揭露一些實施例的圖 42a 所示的半導體元件。

圖 43 到圖 61 是剖視示意圖，例示本揭露一些實施例形成圖 42a 和圖 42b 中所示的半導體結構的中間階段。

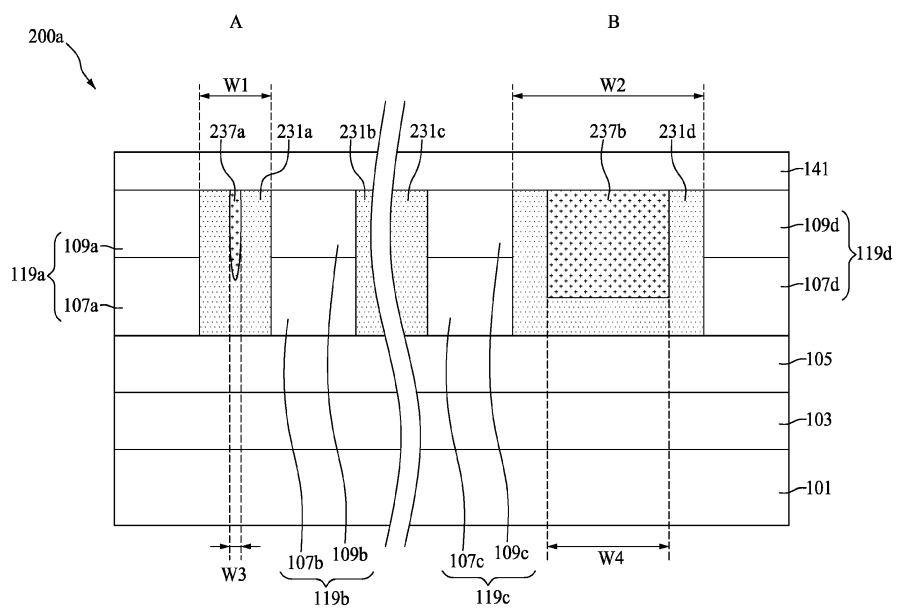


【圖1】

(4)

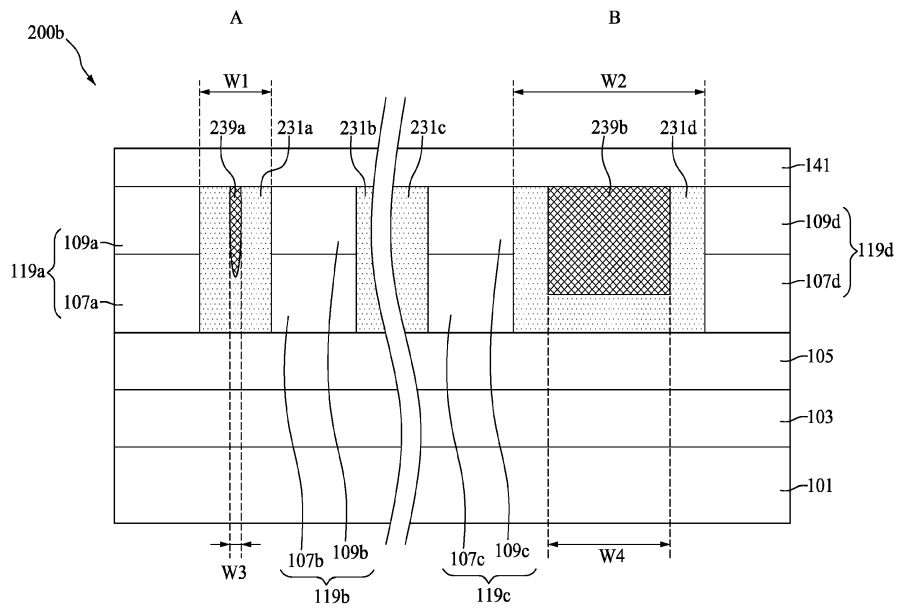


【圖2】

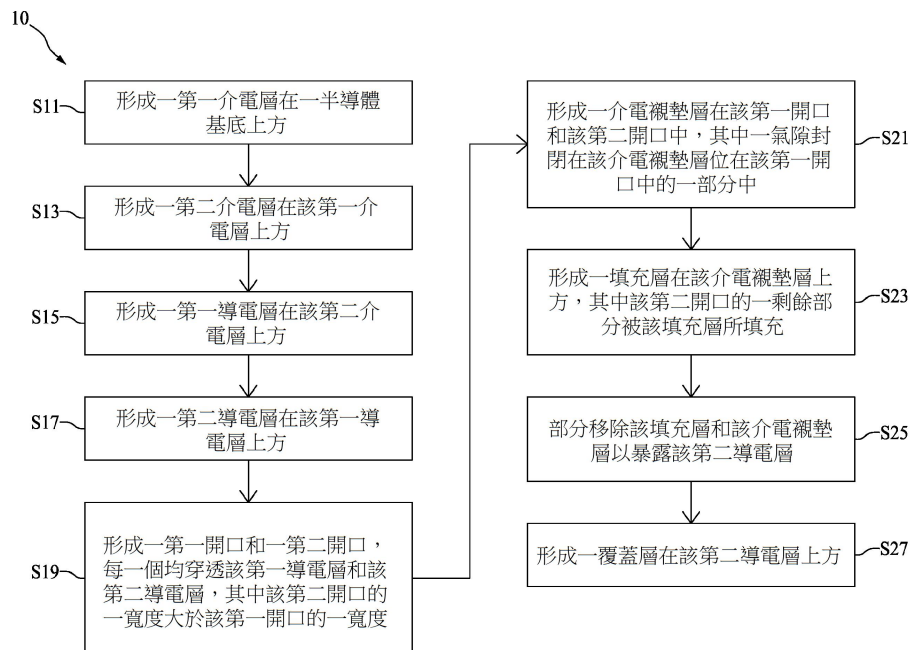


【圖3】

(5)

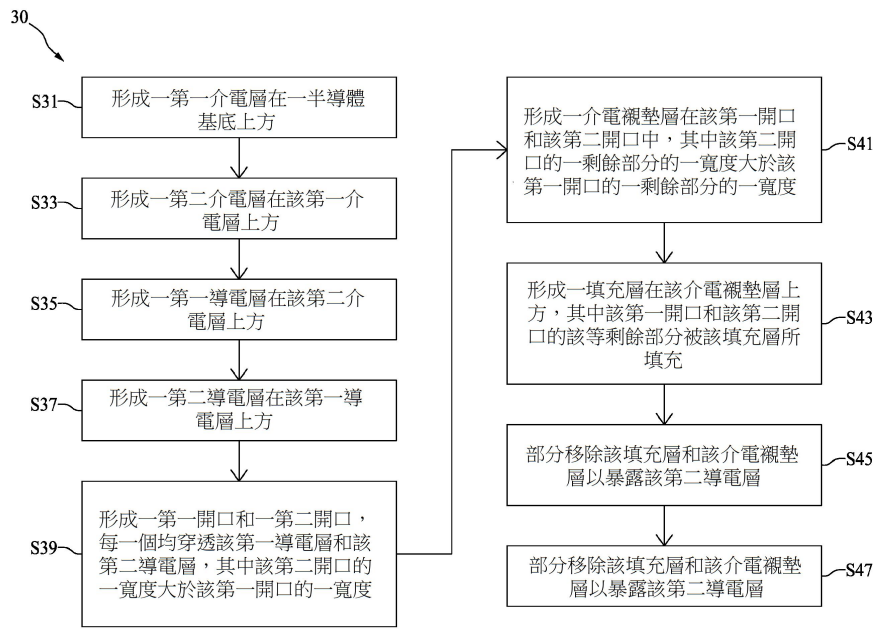


【圖4】



【圖5】

(6)

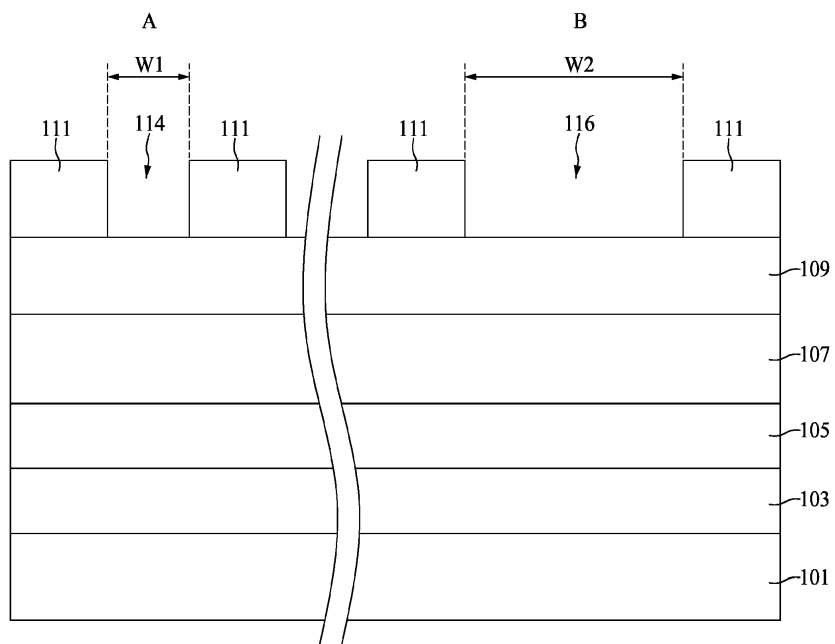


【圖6】

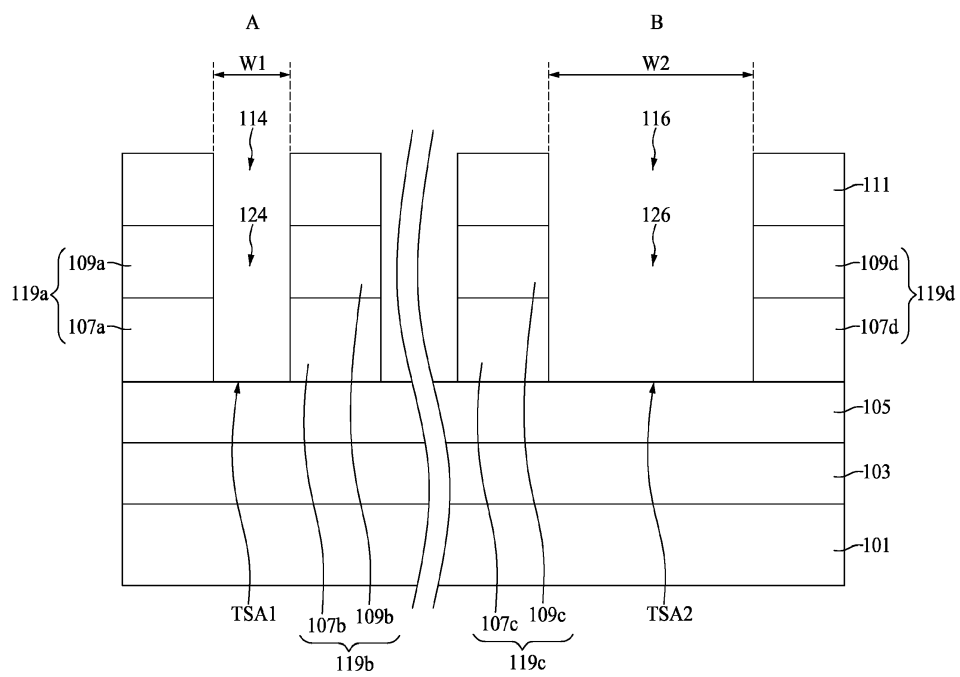


【圖7】

(7)

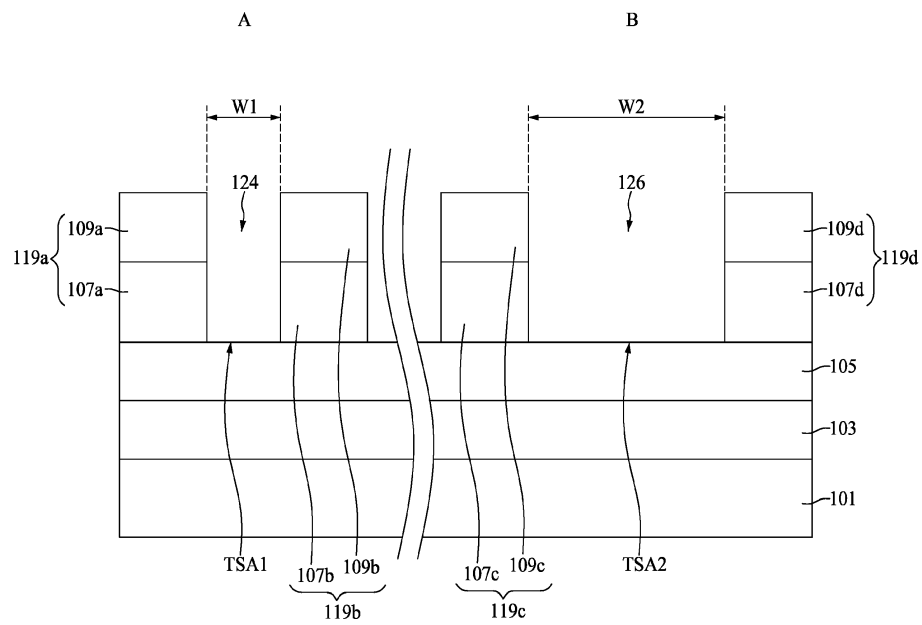


【圖8】

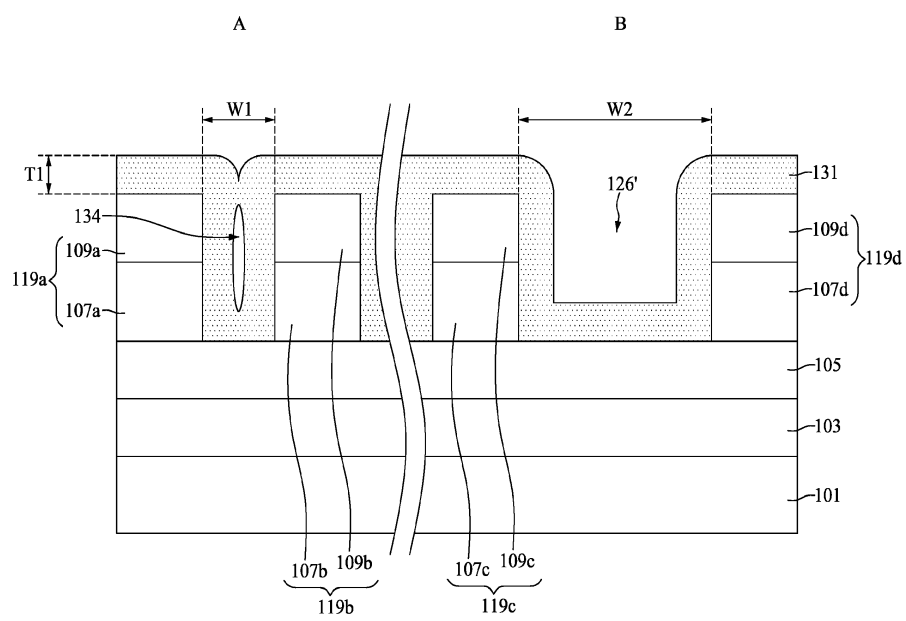


【圖9】

(8)

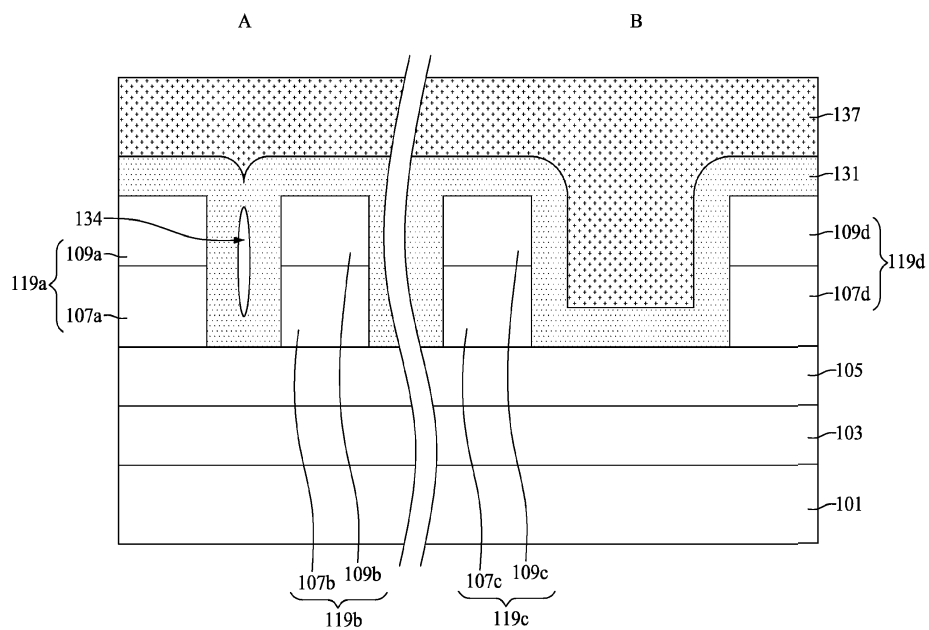


【圖10】

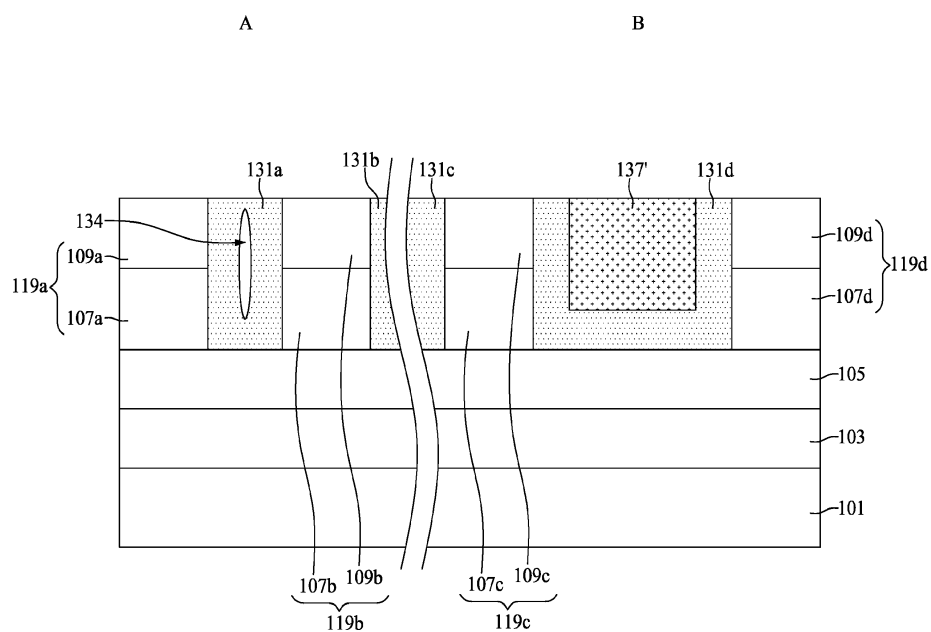


【圖11】

(9)

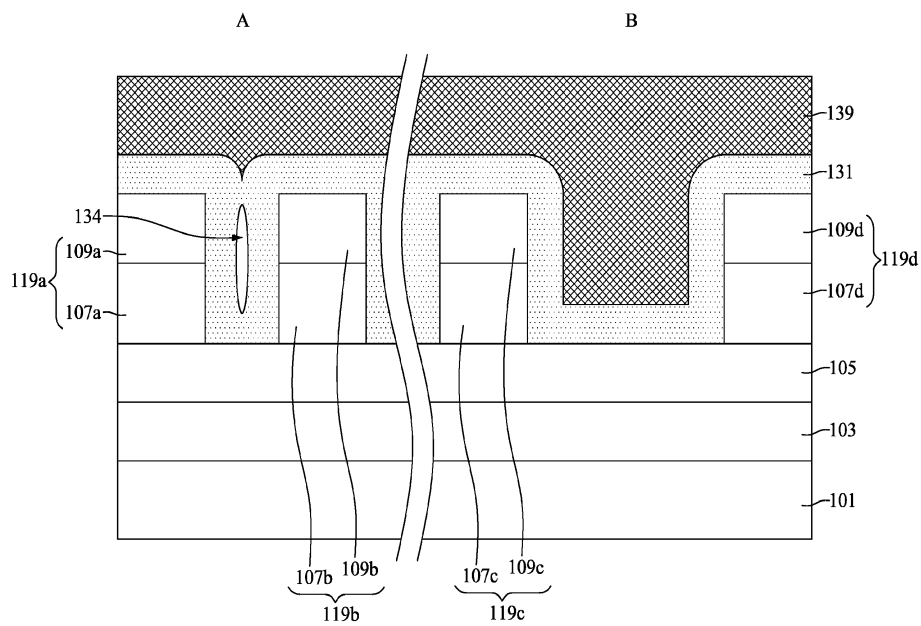


【圖12】

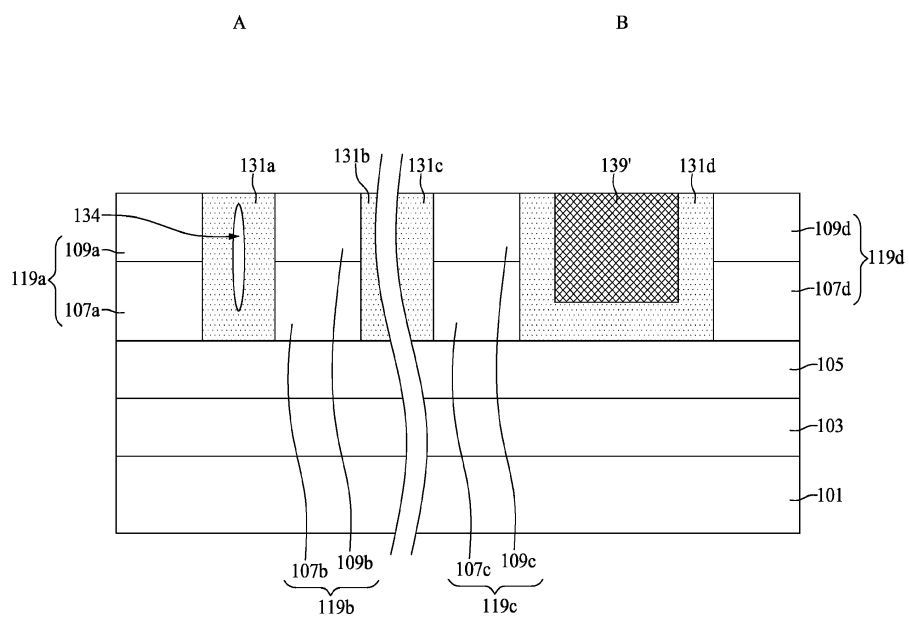


【圖13】

(10)

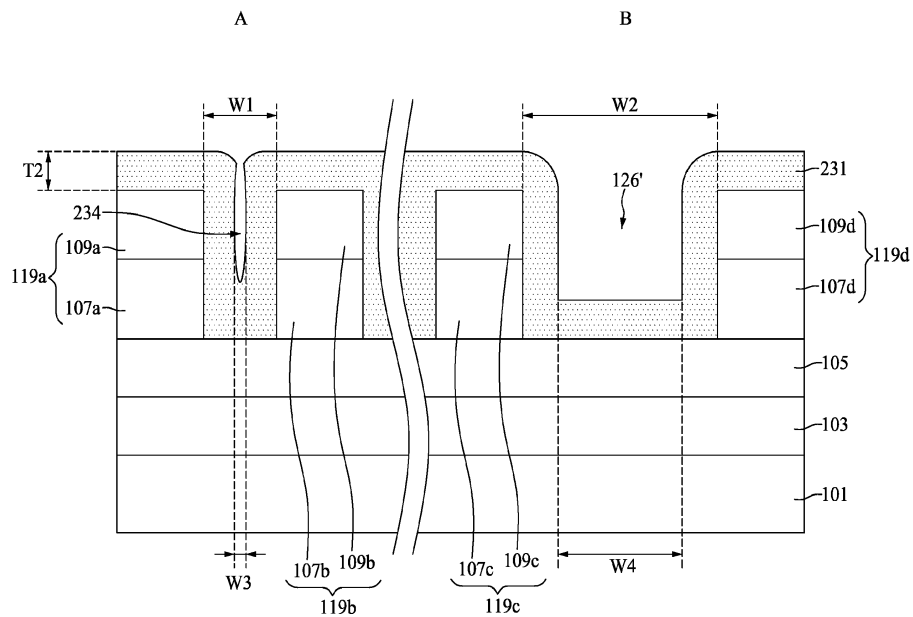


【圖14】

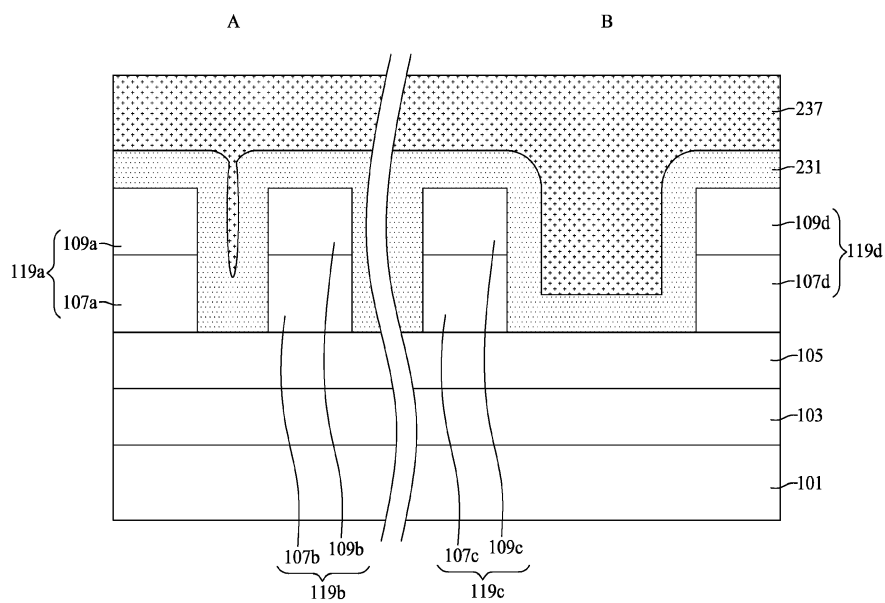


【圖15】

(11)

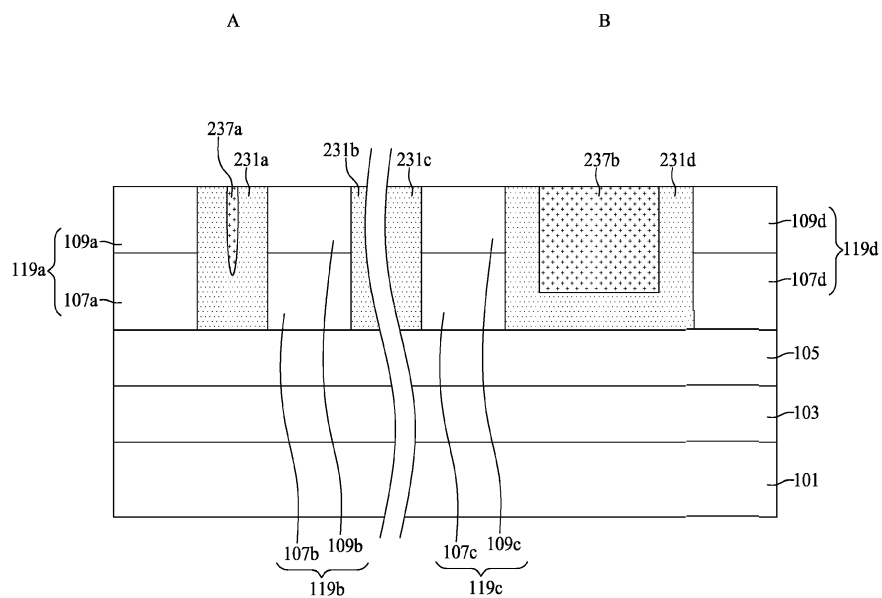


【圖16】

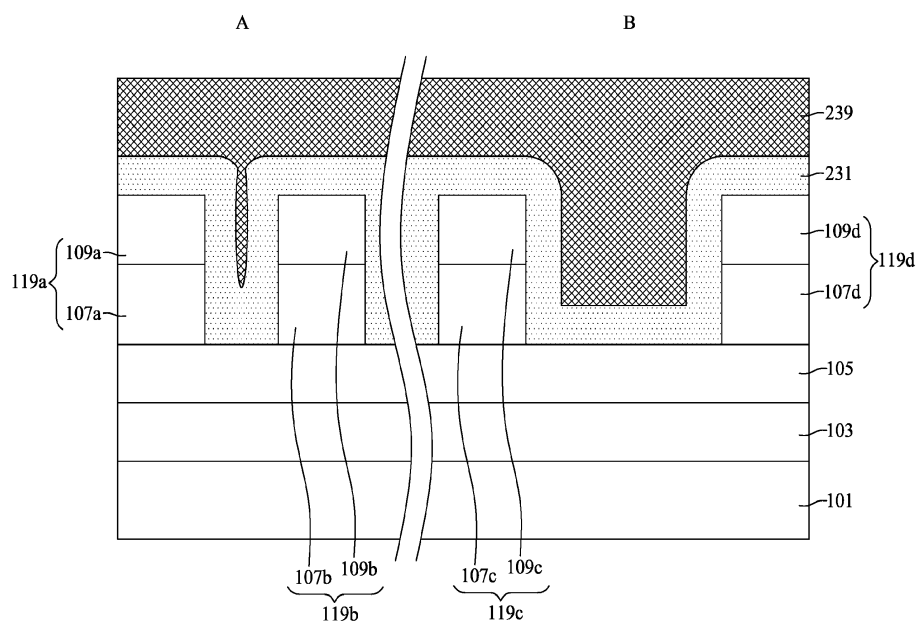


【圖17】

(12)

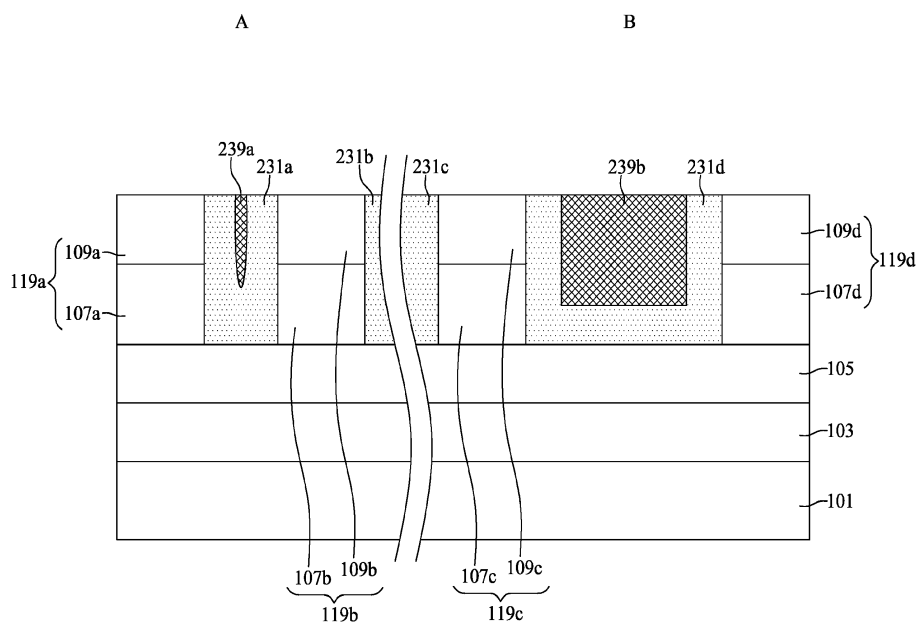


【圖18】

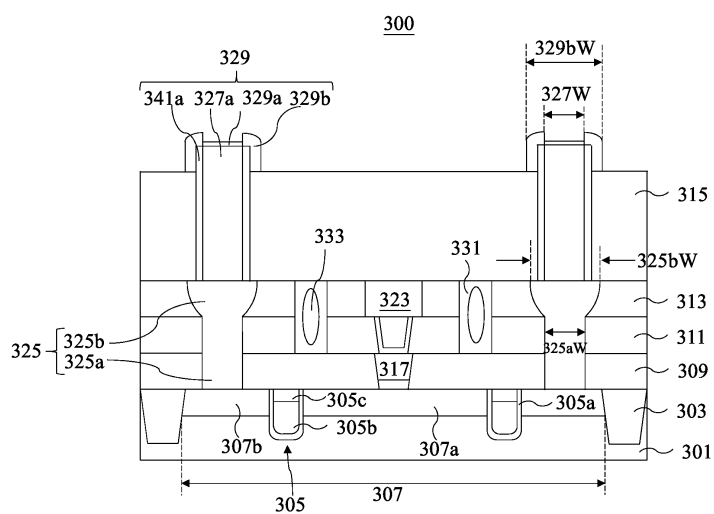


【圖19】

(13)



【圖20】



【圖21】

(14)

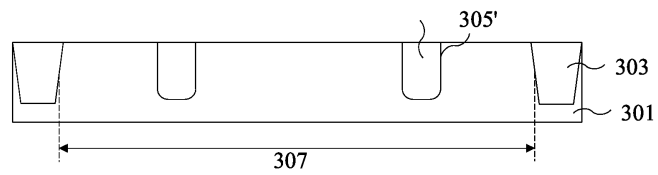


【圖22】

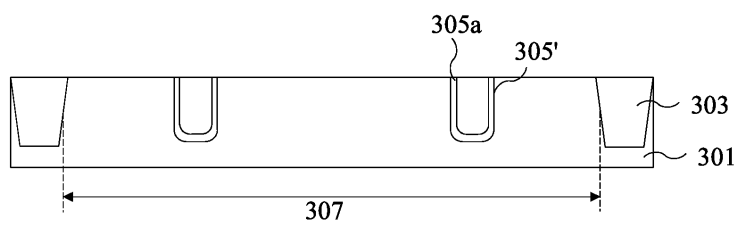


【圖23】

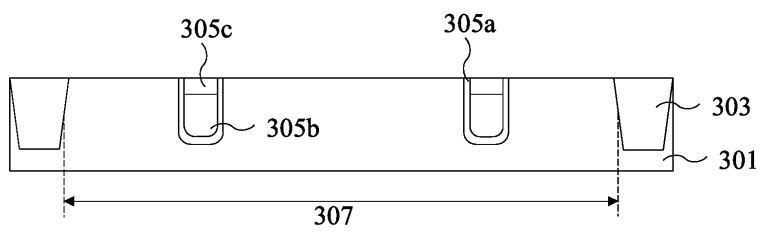
(15)



【圖24】

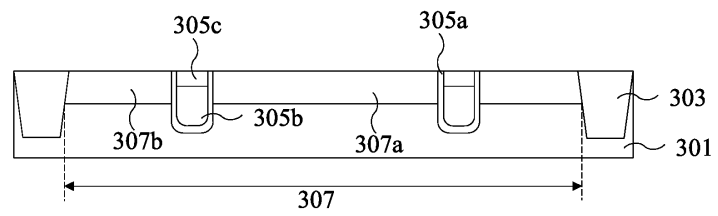


【圖25】

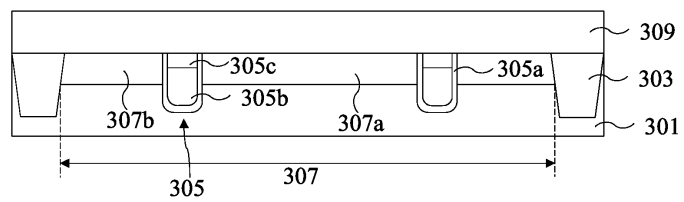


【圖26】

(16)

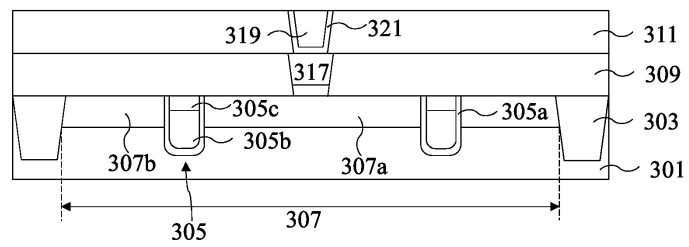


【圖27】

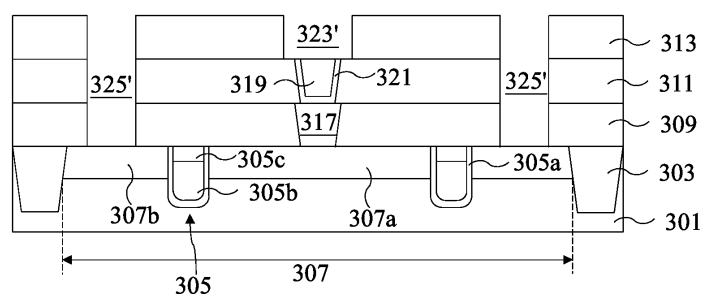


【圖28】

(17)

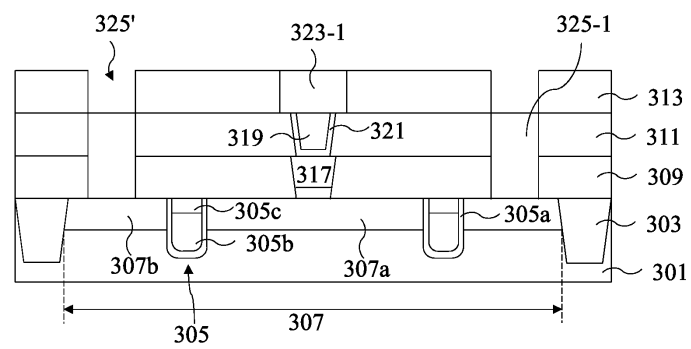


【圖29】

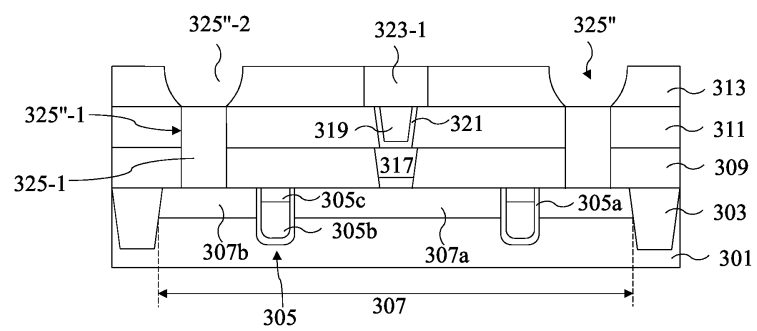


【圖30】

(18)

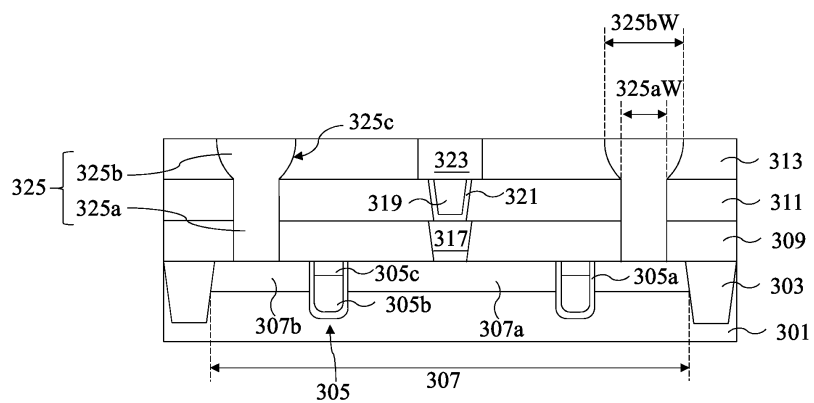


【圖31】

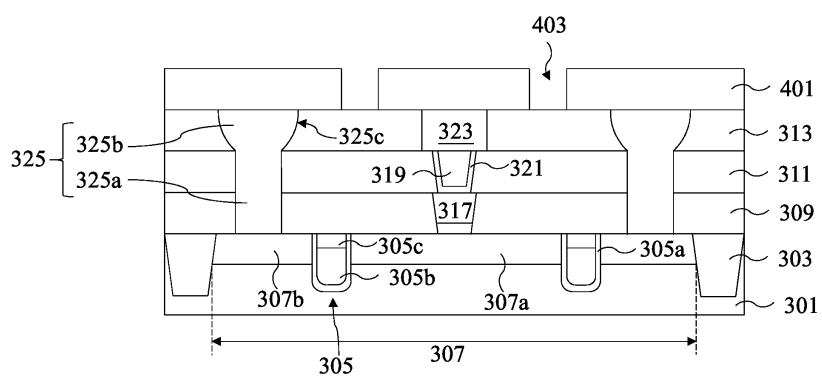


【圖32】

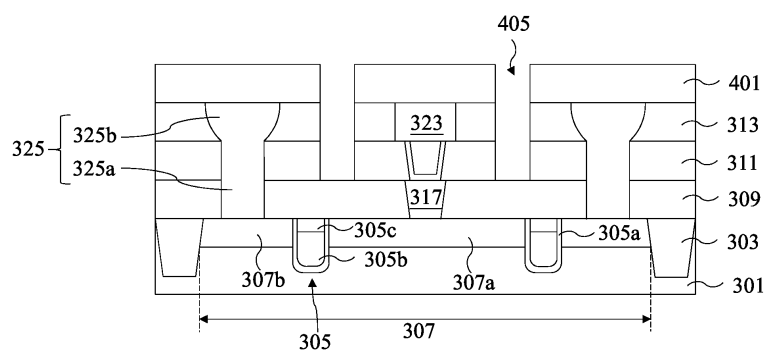
(19)



【圖33】

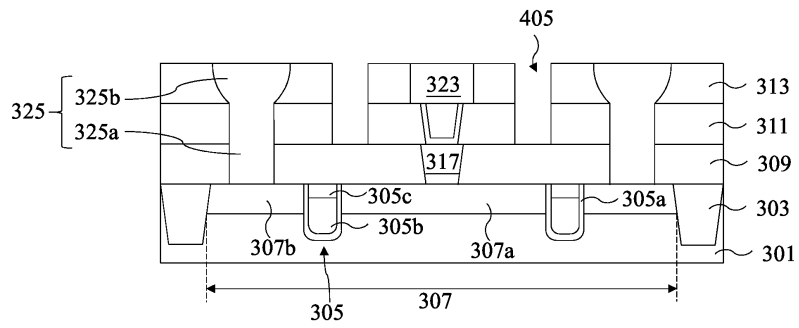


【圖34】

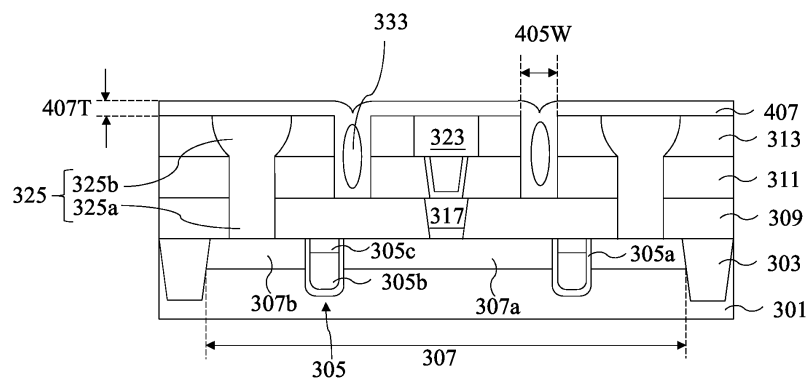


【圖35】

(20)

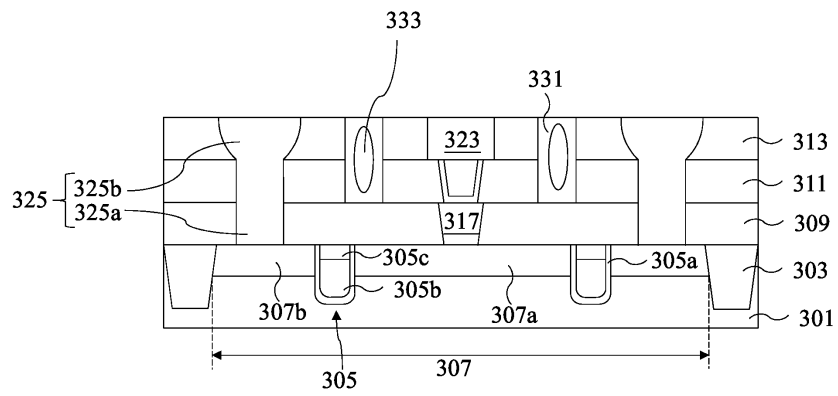


【圖36】

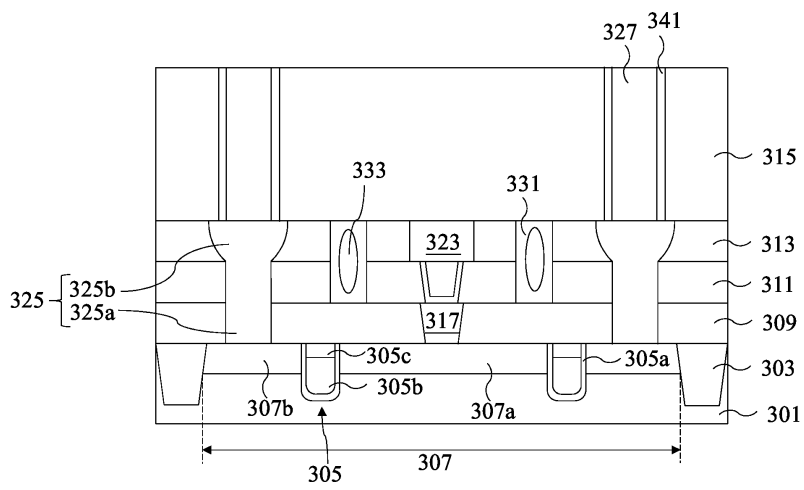


【圖37】

(21)

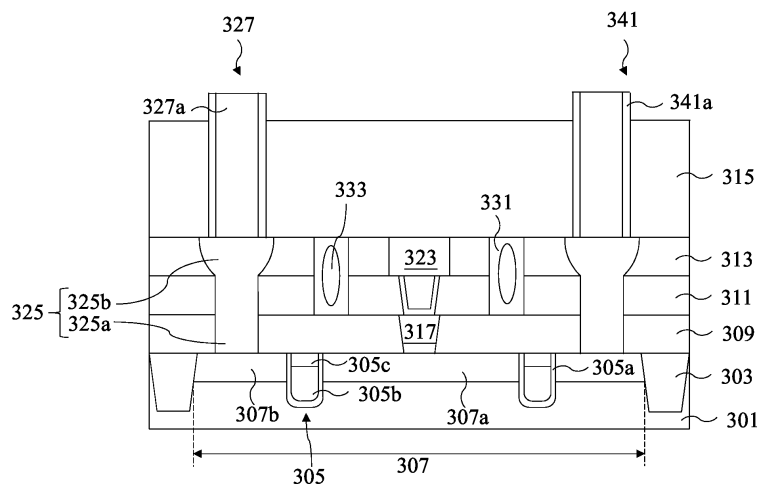


【圖38】

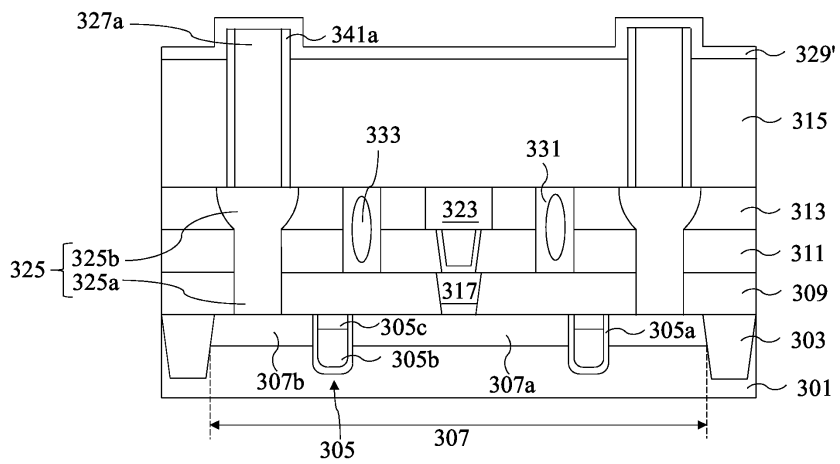


【圖39】

(22)

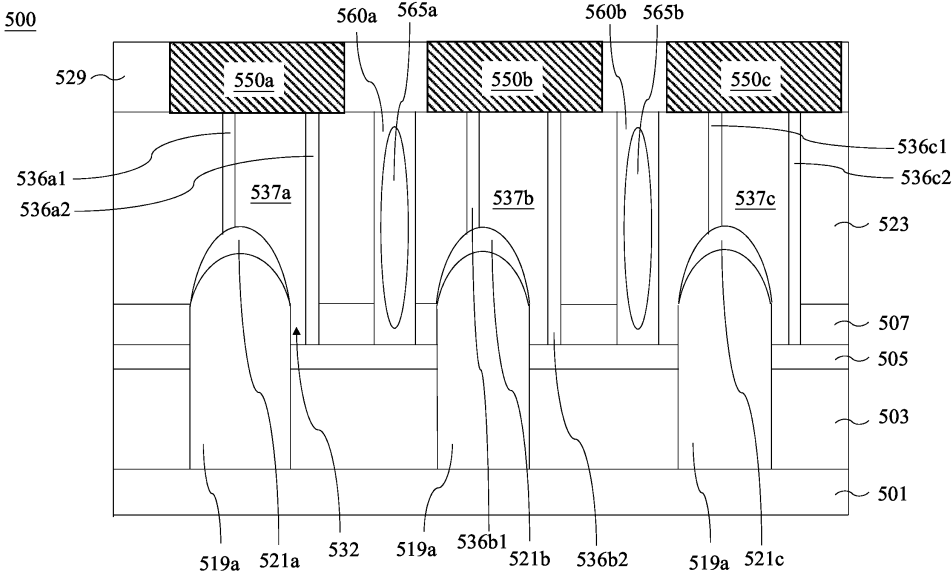


【圖40】

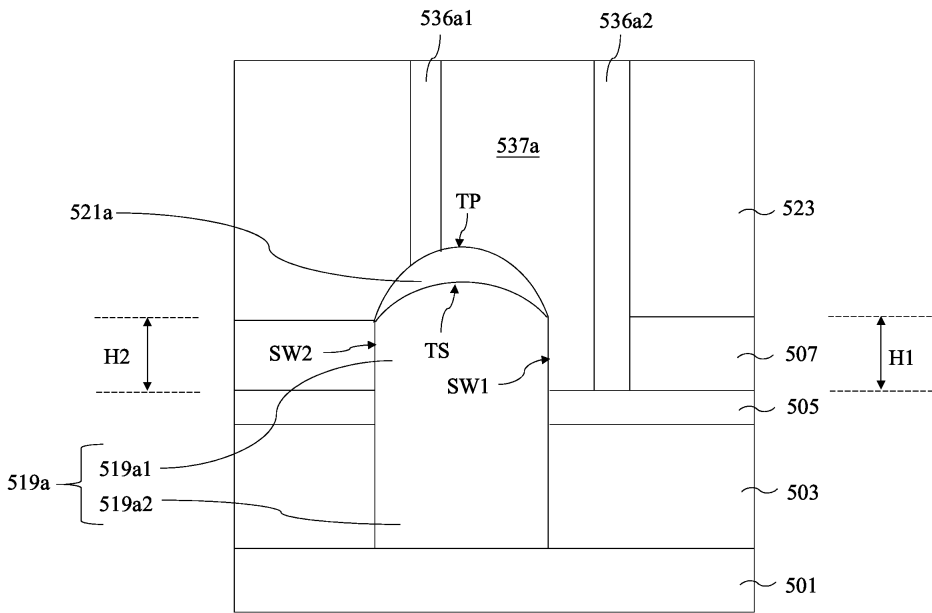


【圖41】

(23)

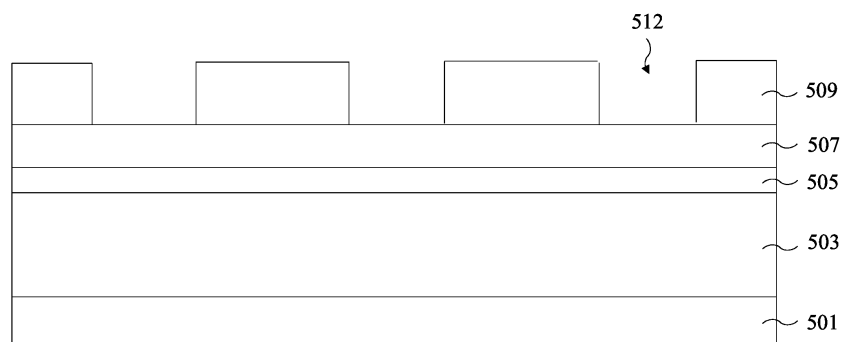


【圖42a】

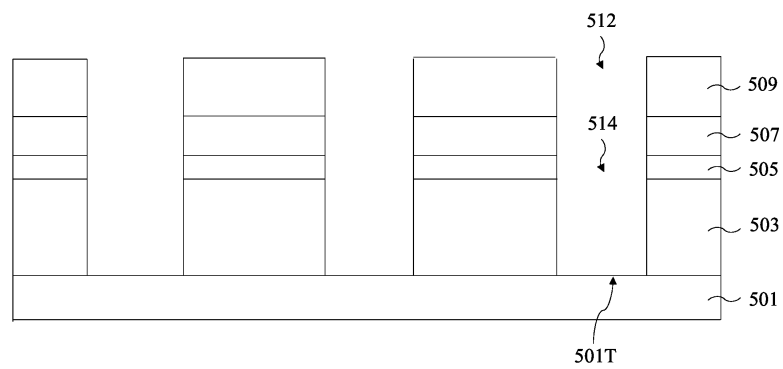


【圖42b】

(24)

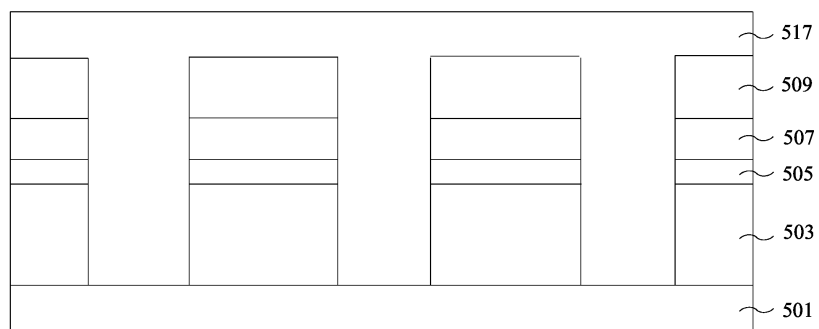


【圖43】

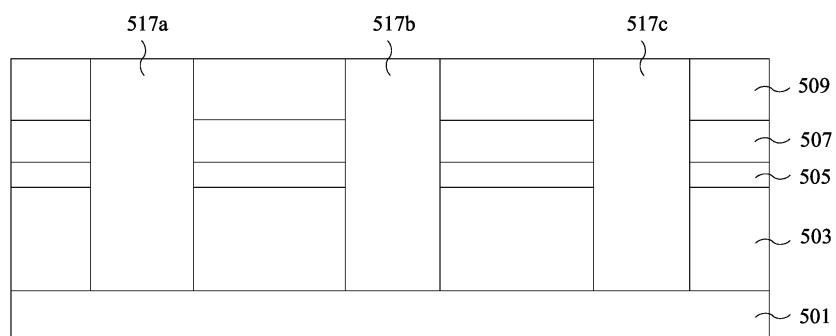


【圖44】

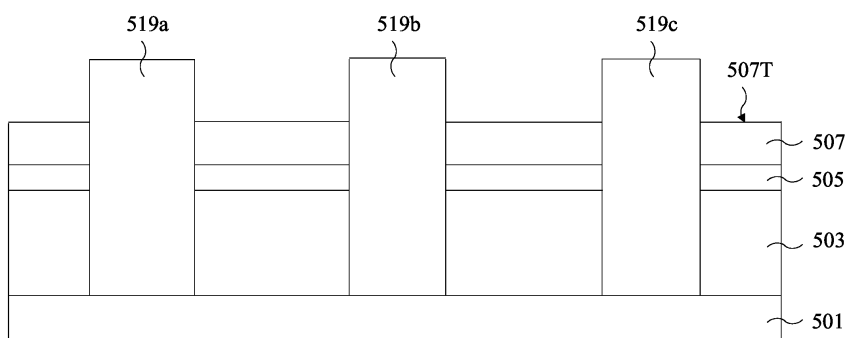
(25)



【圖45】

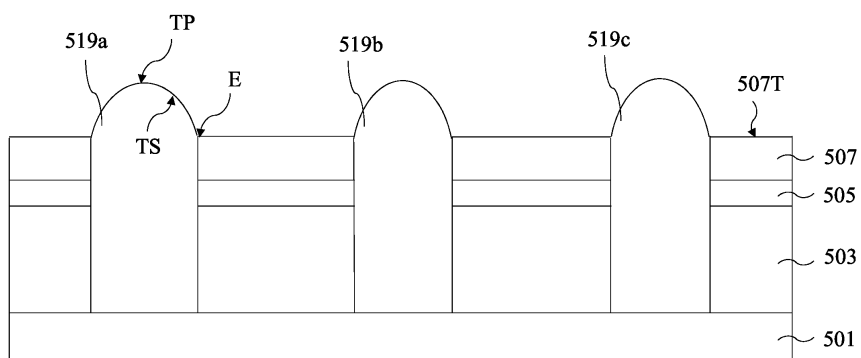


【圖46】

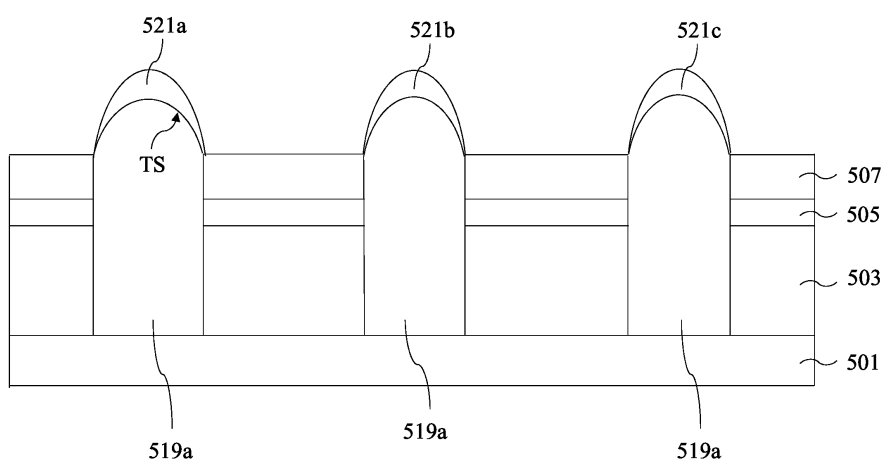


【圖47】

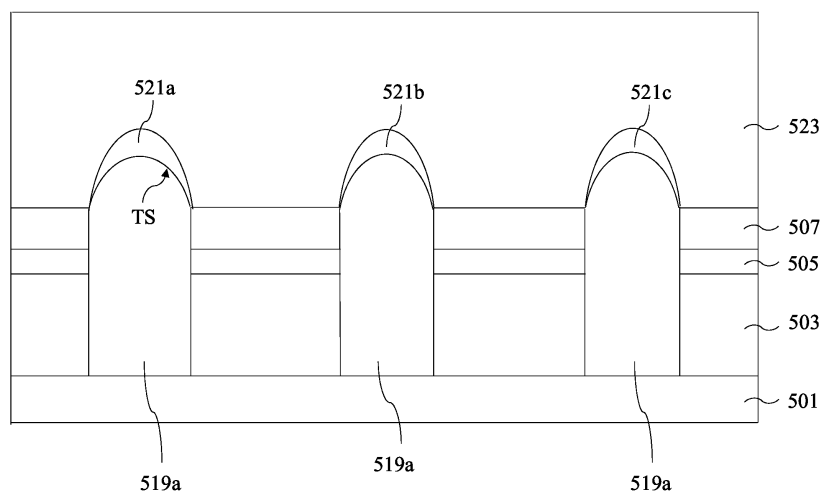
(26)



【圖48】

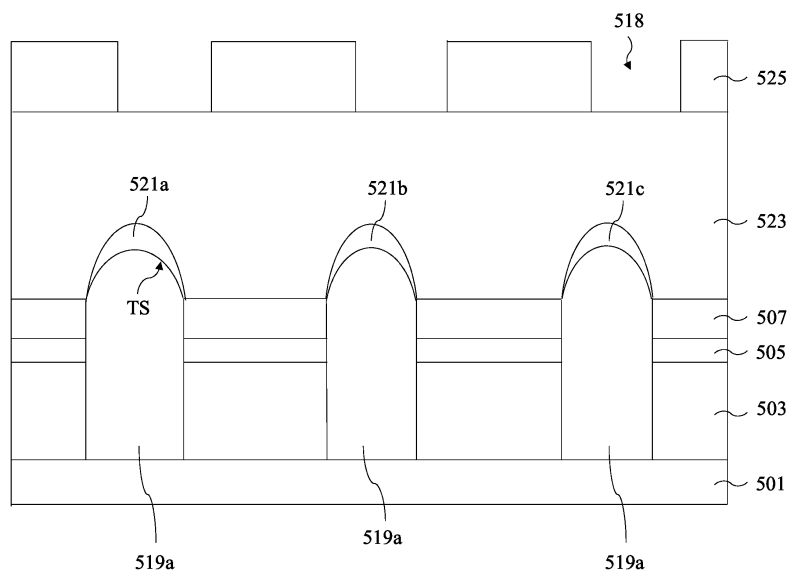


【圖49】

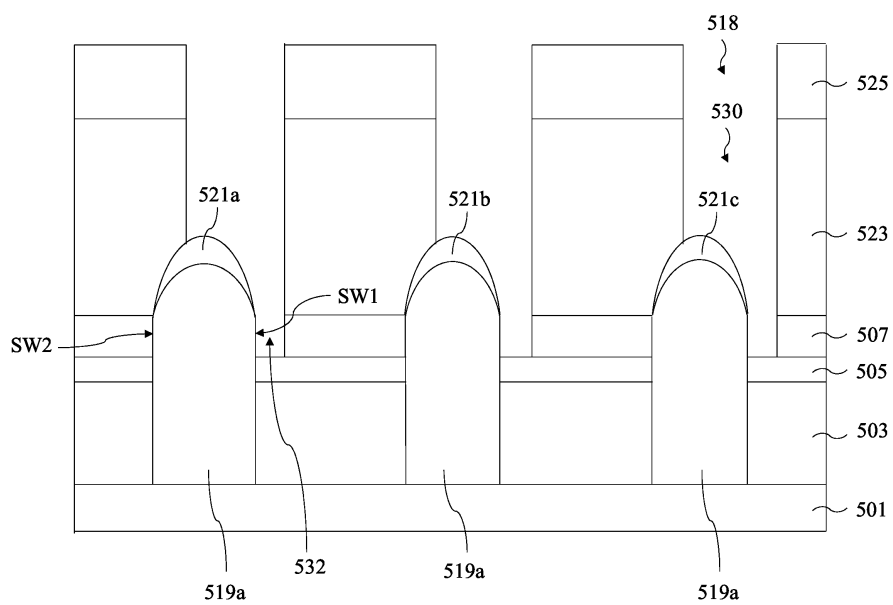


【圖50】

(27)

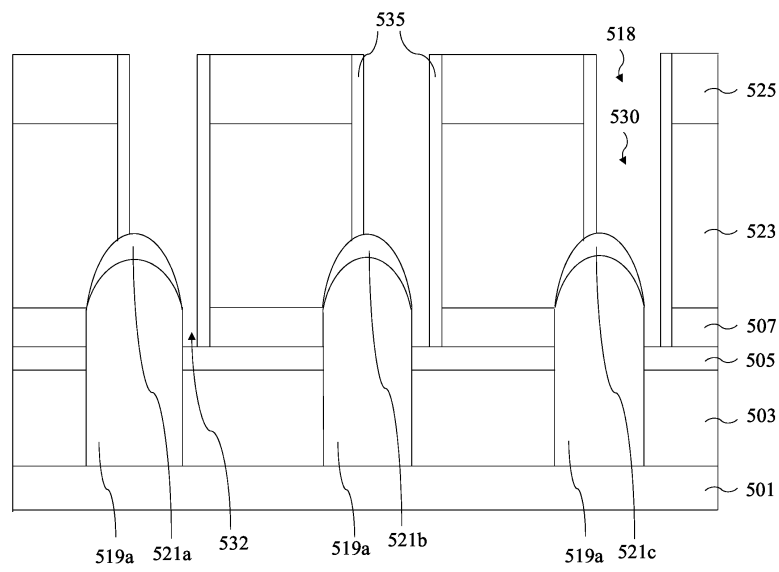


【圖51】

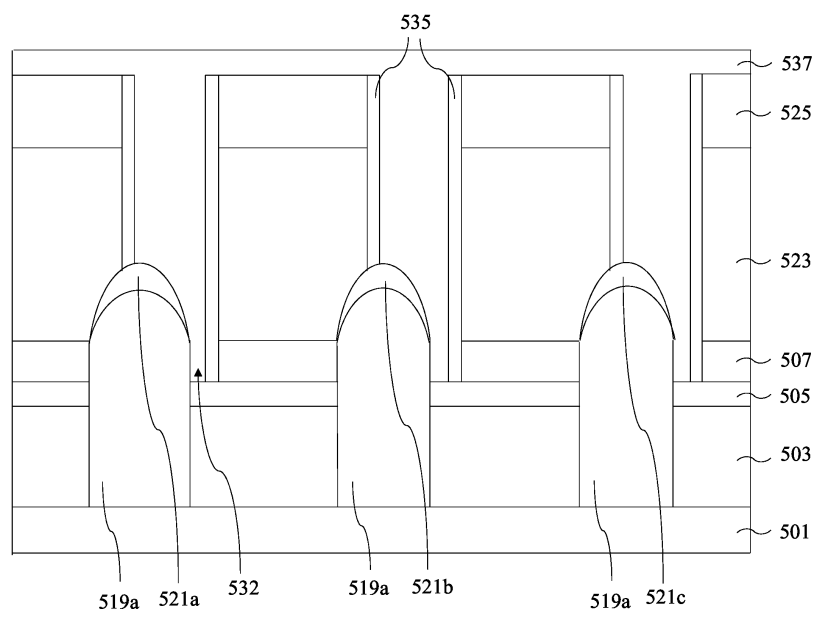


【圖52】

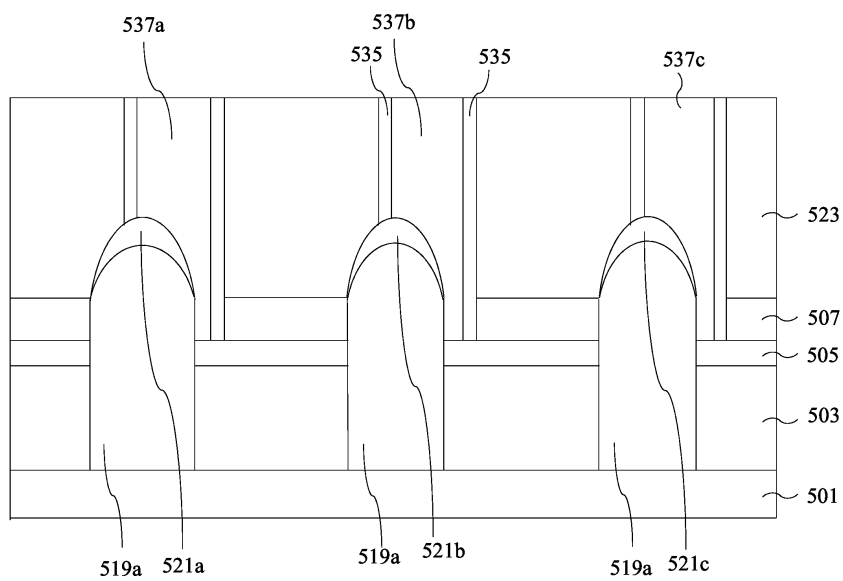
(28)



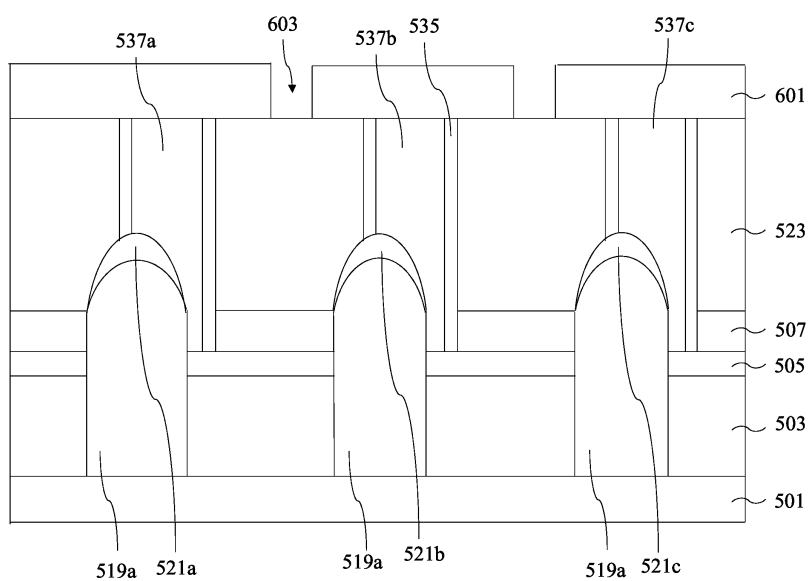
【圖53】



【圖54】

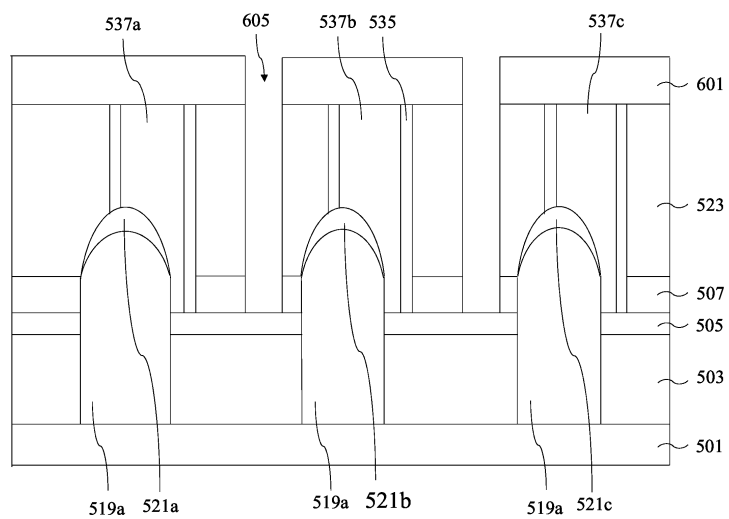


【圖55】

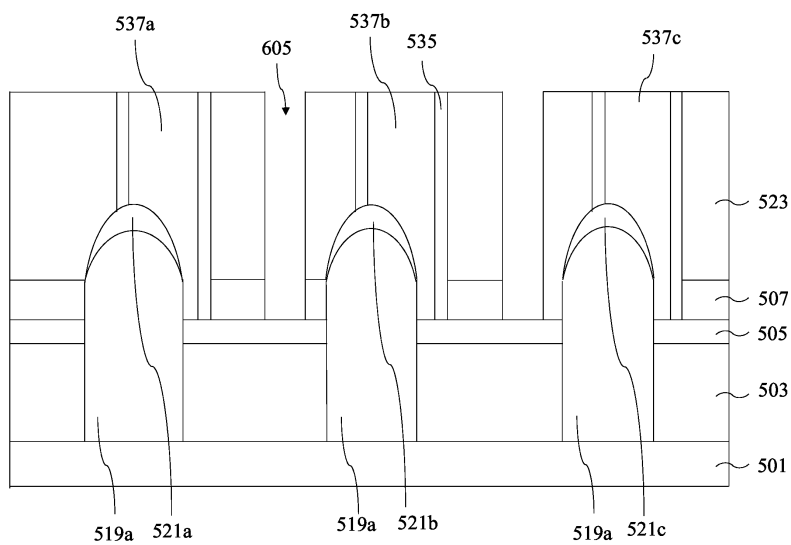


【圖56】

(30)

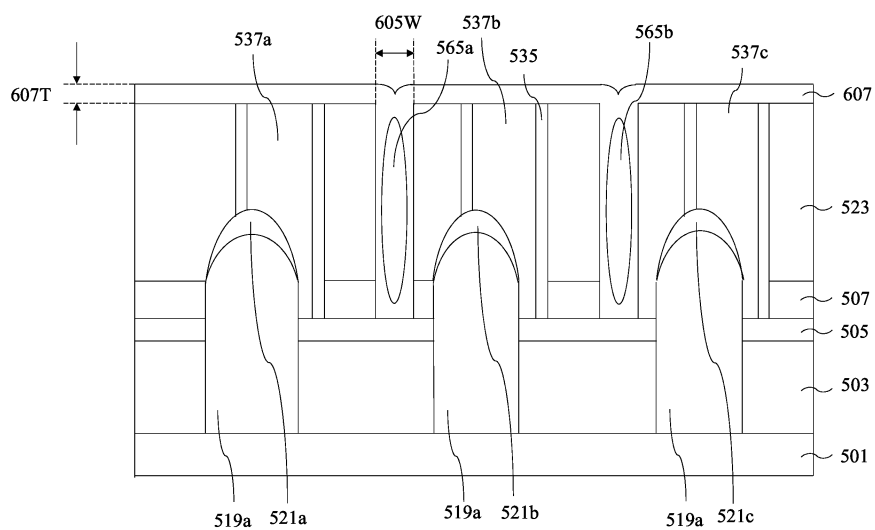


【圖57】

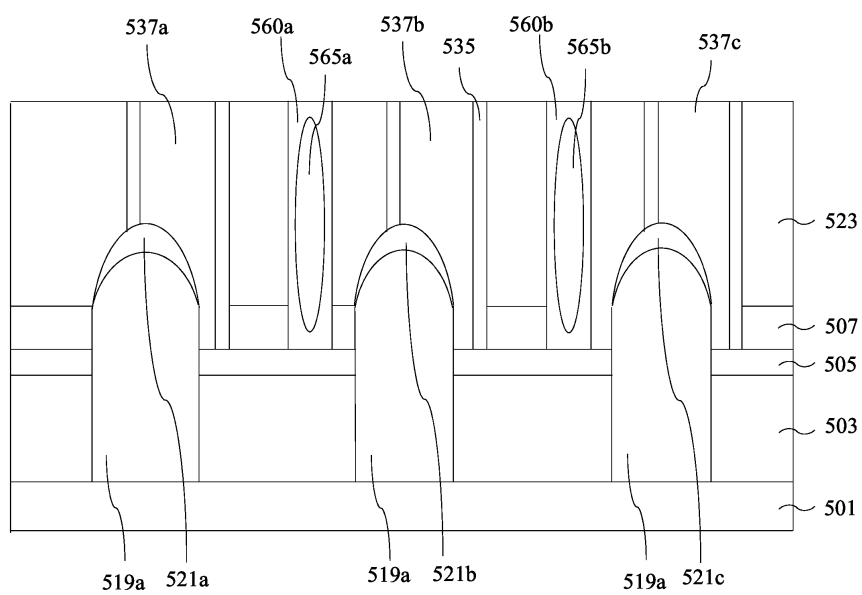


【圖58】

(31)

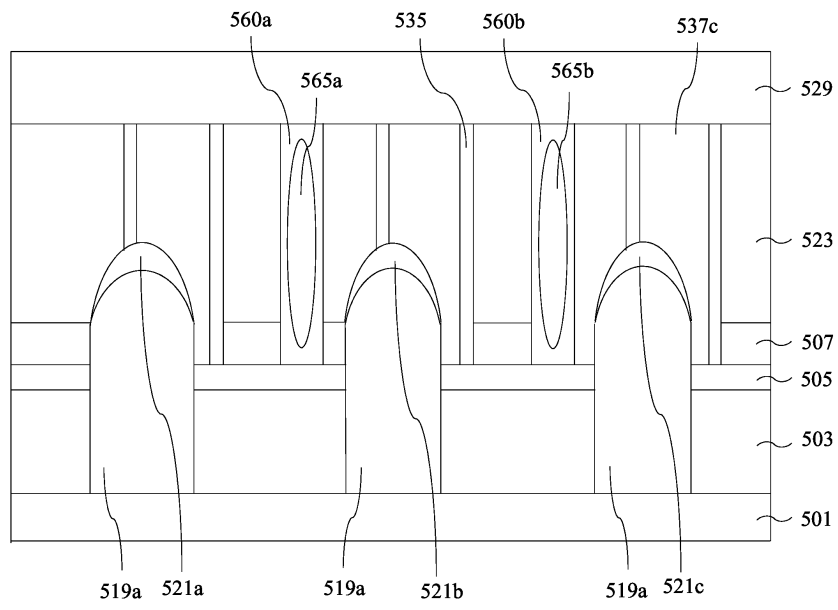


【圖59】



【圖60】

(32)



【圖61】