

【11】證書號數：I938714

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *H10B99/00 (2023.01)* *H10B80/00 (2026.01)*
 H10W40/00 (2026.01) *H10W40/10 (2026.01)*
 H10D88/00 (2026.01)

發明

全 15 頁

【54】名 稱：具有散熱體結構的半導體組裝及其製造方法

【21】申請案號：113147799

【22】申請日：中華民國 113 (2024) 年 12 月 10 日

【11】公開編號：202602238

【43】公開日期：中華民國 115 (2026) 年 01 月 01 日

【30】優先權：2024/06/18

美國

18/746,386

【72】發明人：施信益 (TW) SHIH, SHING-YIH；黃則堯 (TW) HUANG, TSE-YAO

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 200629523A

TW 201017834A

TW 201330218A

TW 202407921A

CN 103227157A

審查人員：陳聖

【57】申請專利範圍

1. 一種半導體組裝，包括：

一第一半導體晶圓；

一記憶體堆疊，接合到該第一半導體晶圓；以及

一第二半導體晶圓，接合到該記憶體堆疊，其中該第二半導體晶圓包括一散熱體結構，其中該散熱體結構被配置為通過該半導體組裝內的一第一導熱路徑及一第二導熱路徑，以消散由該第一半導體晶圓及該記憶體堆疊所產生的熱量；

其中該第一半導體晶圓包括一第一半導體晶粒，其中該第一半導體晶粒被配置作為一記憶體控制器積體電路；

其中該記憶體堆疊包括垂直堆疊的複數個記憶體晶粒；

其中該第一半導體晶粒及該複數個記憶體晶粒的每一者包括一主動區域及複數個邊緣區域，其中該複數個邊緣區域圍繞該主動區域並且未電性連接到該主動區域；

其中位於該第一半導體晶粒及該複數個記憶體晶粒的每一者內的該複數個邊緣區域的每一者包括一第一矽通孔及一第二矽通孔，並且一第一導熱路徑及一第二導熱路徑分別沿著位於該第一半導體晶粒及該複數個記憶體晶粒的每一者內的該複數個邊緣區域的每一者的該第一矽通孔及該第二矽通孔而建立；且該第一矽通孔及該第二矽通孔分別構成一第一密封環及一第二密封環；

其中該散熱體結構包括一矽基板及複數個第三矽通孔，其中該複數個第三矽通孔形成在該矽基板上並且從該矽基板的一頂表面突出，其中該複數個第三矽通孔及該矽基板的該頂表面被一碳膜所覆蓋，且該複數個第三矽通孔的每一者的一第一寬度大於該第一矽通孔的一第二寬度及該第二矽通孔的一第三寬度。

2. 如請求項 1 所述之半導體組裝，其中：

(2)

位於該複數個邊緣區域的每一者中的該第一矽通孔較靠近位於該第一半導體晶粒及該複數個記憶體晶粒的每一者內的該主動區域。

3. 如請求項 1 所述之半導體組裝，其中該複數個第三矽通孔的每一者被一第一阻擋層所圍繞。
4. 如請求項 3 所述之半導體組裝，其中該複數個第一矽通孔及該複數個第二矽通孔的每一者均被相對應的一第二阻擋層及相對應的一襯墊層所圍繞。
5. 如請求項 1 所述之半導體組裝，其中一金屬層形成在該矽基板的一底表面上，並且與該複數個第三矽通孔的每一者相交。
6. 如請求項 5 所述之半導體組裝，其中該複數個第三矽通孔的每一者與該金屬層之間的一接觸區域是圓形、長方形或六角形。
7. 如請求項 5 所述之半導體組裝，其中該記憶體堆疊藉由一模製材料所封裝。
8. 如請求項 7 所述之半導體組裝，其中該半導體組裝及一積體電路設置在一印刷電路板上，以形成一半導體封裝結構。

圖式簡單說明

參閱實施方式與申請專利範圍合併考量圖式時，可得以更全面了解本申請案之揭示內容，其中在所有圖式中，相同的元件符號代表相似的元件，並且：

圖 1A 及圖 1B 是上視圖，例示本揭露一些實施例的不同晶圓。

圖 2A 到圖 2E 是剖視圖，例示本揭露一些實施例的在半導體晶粒的製造過程中的各個階段。

圖 2F 是上視圖，例示沿著圖 2D 中的剖線 2F-2F 所截取的半導體結構 20D。

圖 3A 到圖 3E 是剖視圖，例示本揭露一些實施例的在形成 3D 堆疊積體電路封裝的不同階段中的半導體結構。

圖 4A 到圖 4D 是剖視圖，例示本揭露一些實施例的在散熱體結構的製造過程中的各個階段。

圖 4E 至圖 4G 是下視圖，例示在圖 4D 中的半導體結構 40D。

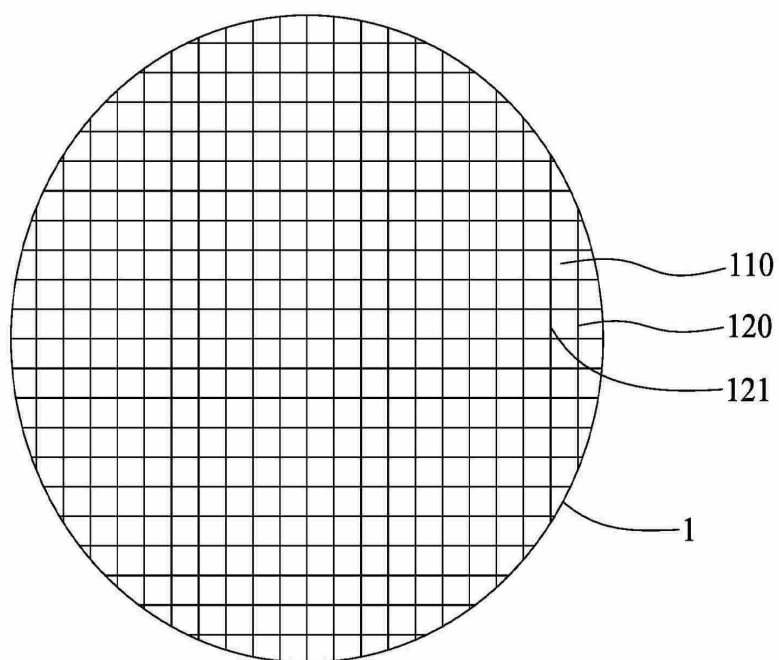
圖 5A 到圖 5F 是剖視圖，例示本揭露一些實施例的在形成半導體結構中的各個階段。

圖 5G 是上視圖，例示沿著圖 5E 中的剖線 5G-5G 所截取的半導體結構 50E。

圖 6 是剖視圖，例示本揭露一些實施例的半導體封裝。

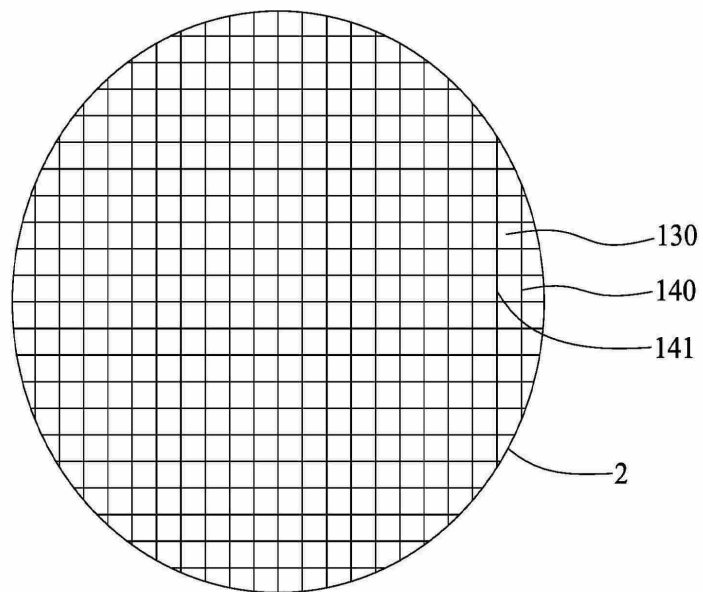
圖 7 是流程圖，例示本揭露一實施例的半導體組裝的製造方法。

(3)

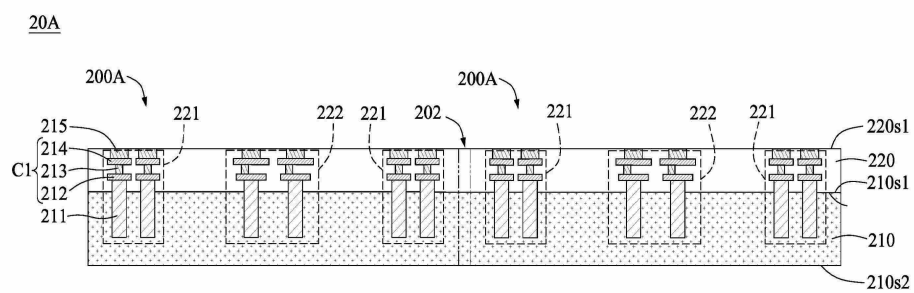


【圖1A】

(4)

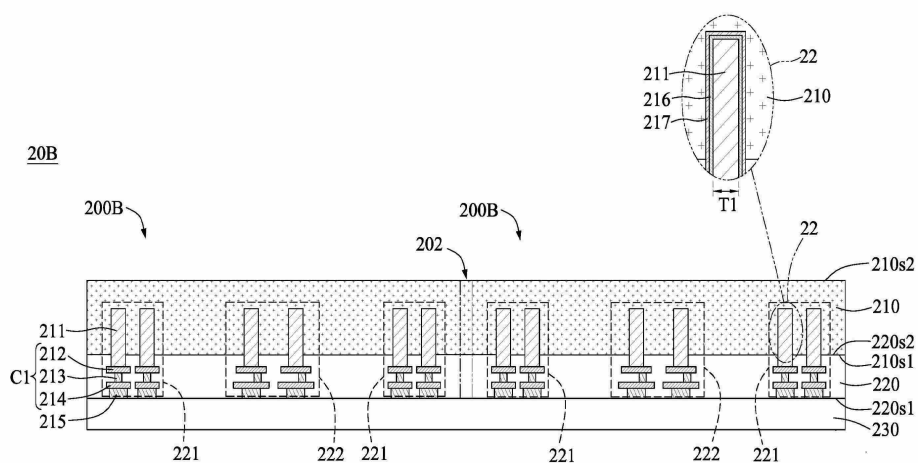


【圖1B】

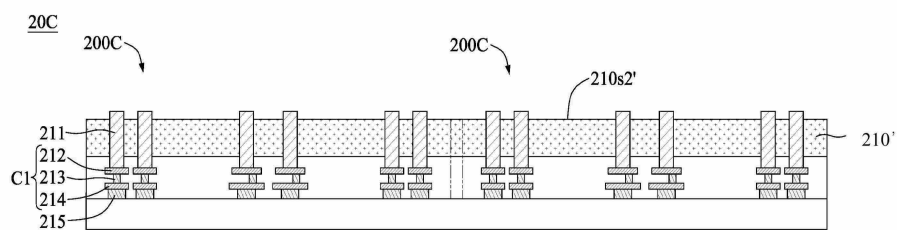


【圖2A】

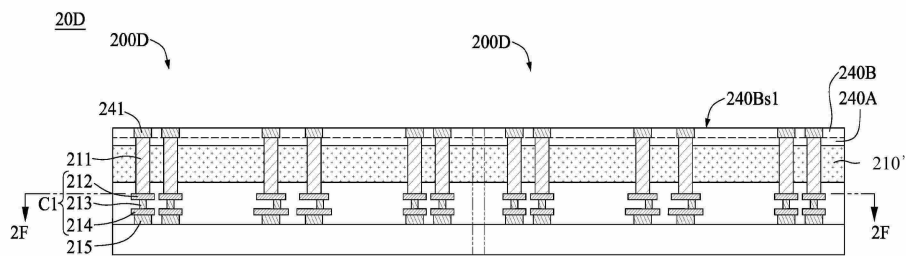
(5)



【圖2B】

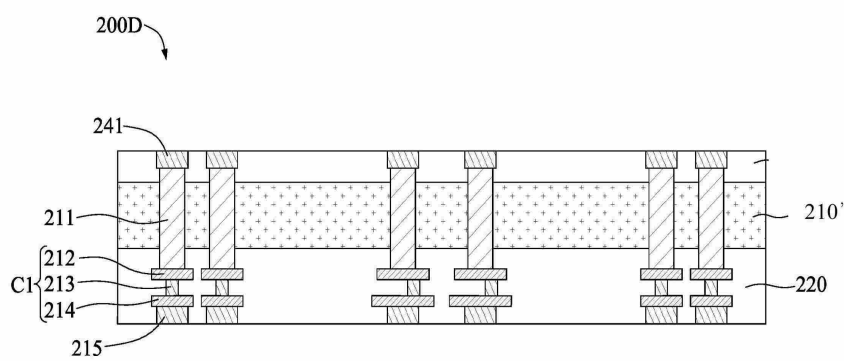


【圖2C】

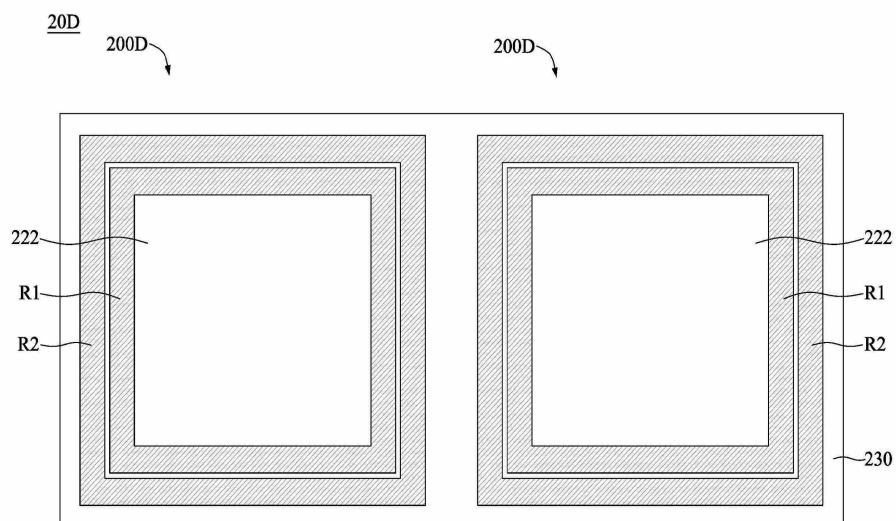


【圖2D】

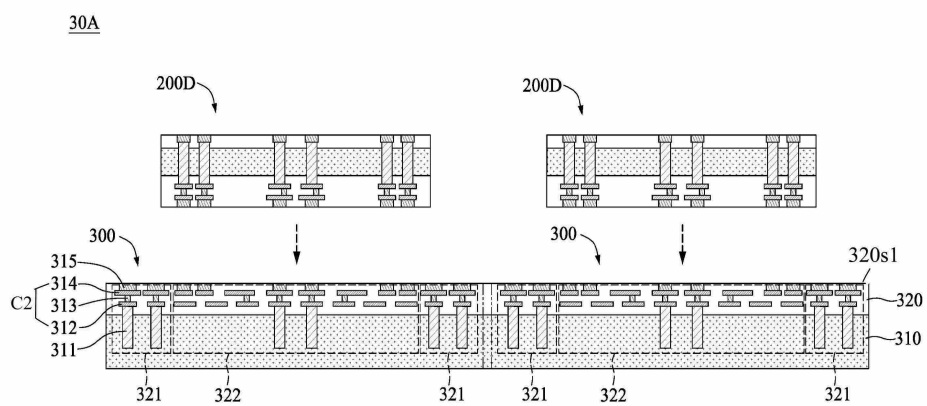
(6)



【圖2E】



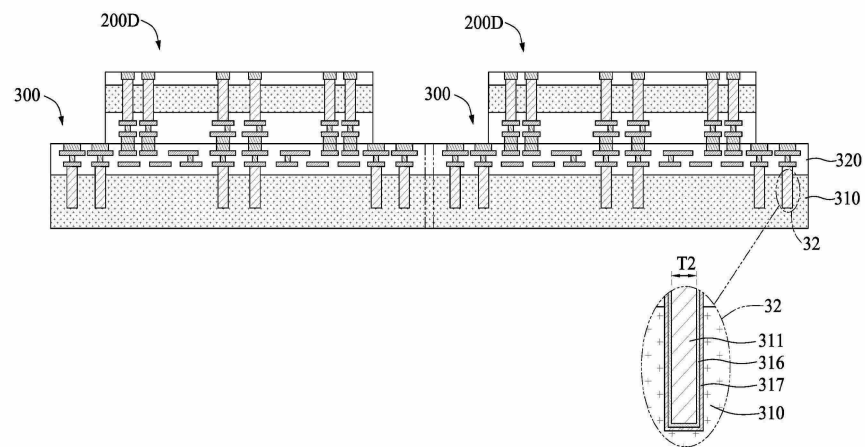
【圖2F】



【圖3A】

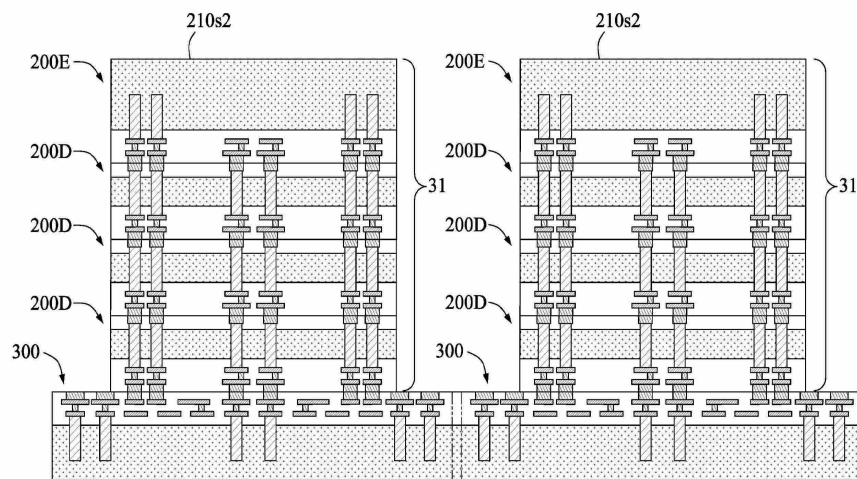
(7)

30B



【圖3B】

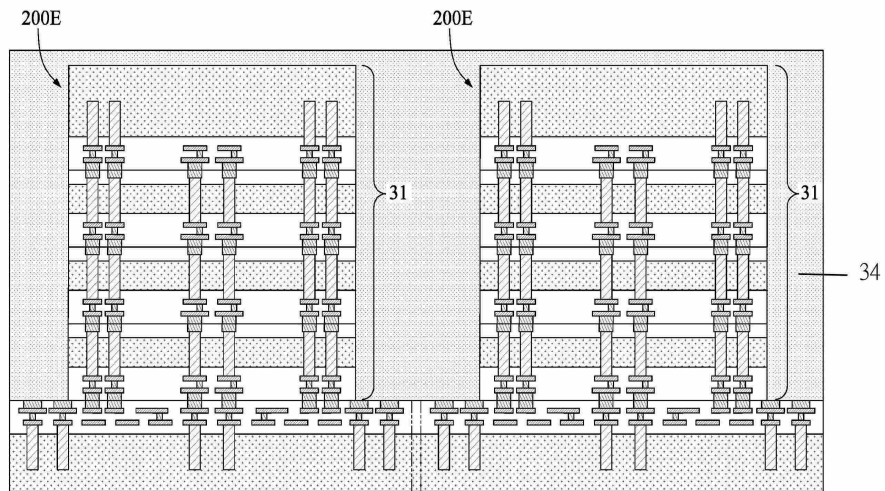
30C



【圖3C】

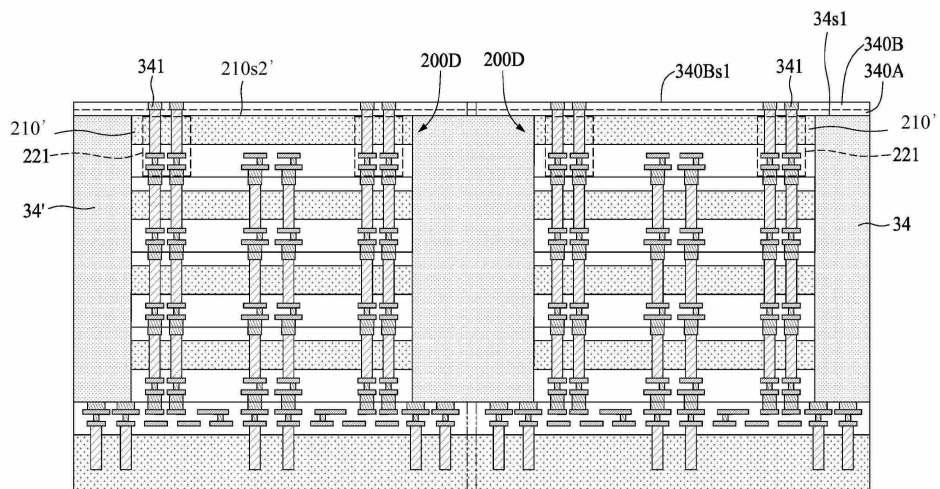
(8)

30C



【圖3D】

30E



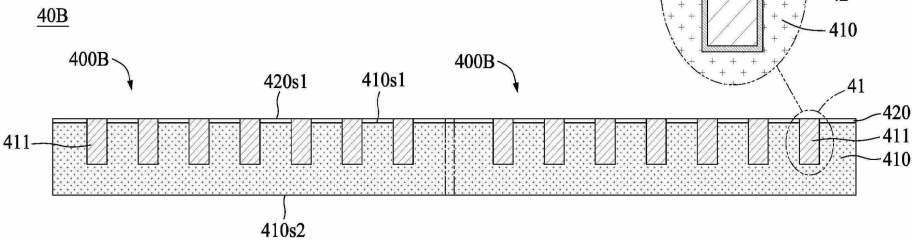
【圖3E】

40A

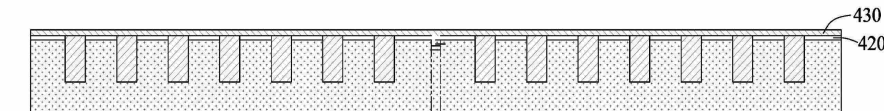


【圖4A】

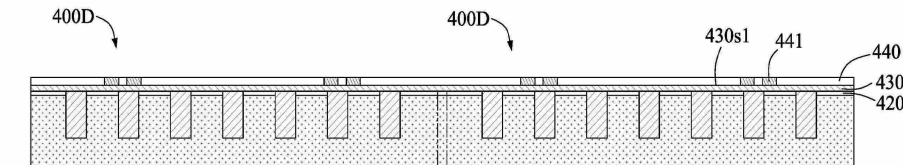
(9)



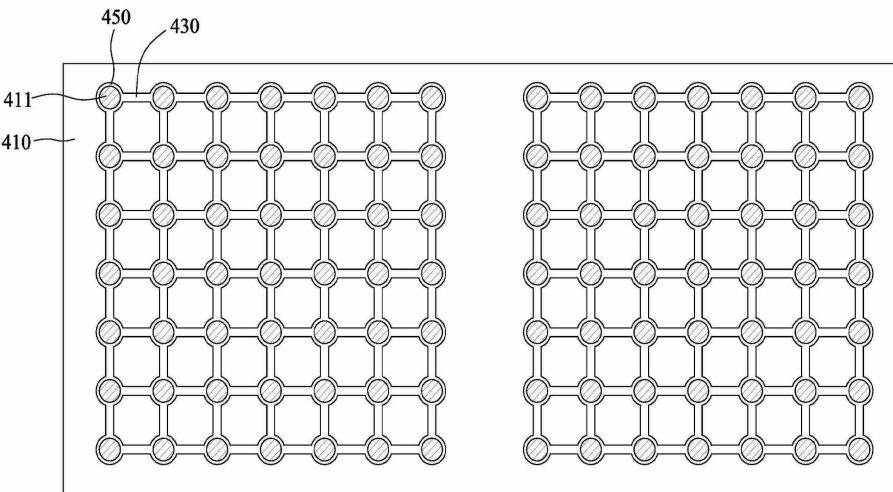
【圖4B】



【圖4C】

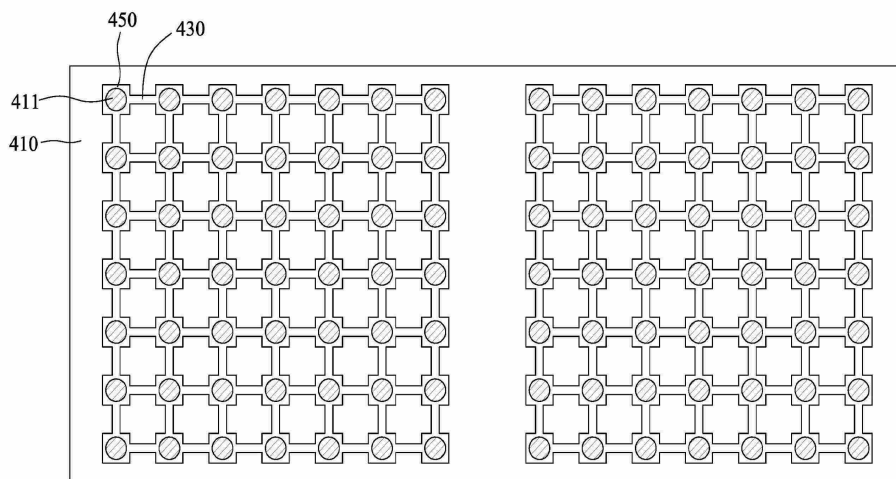


【圖4D】

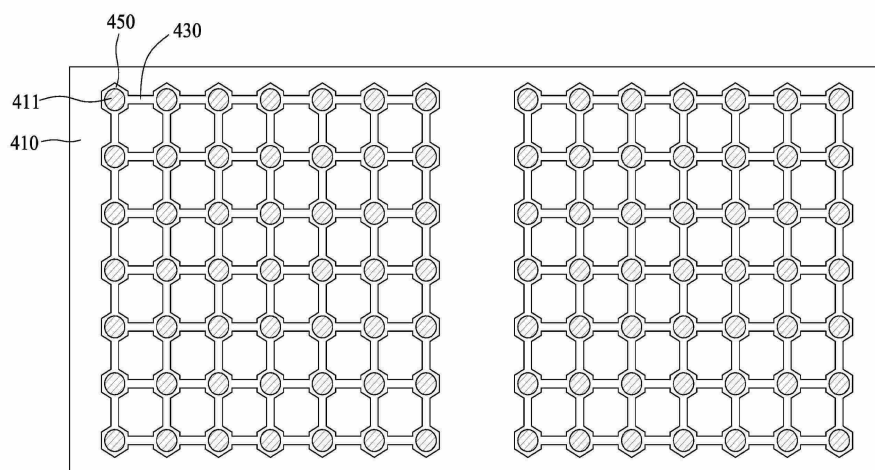


【圖4E】

(10)

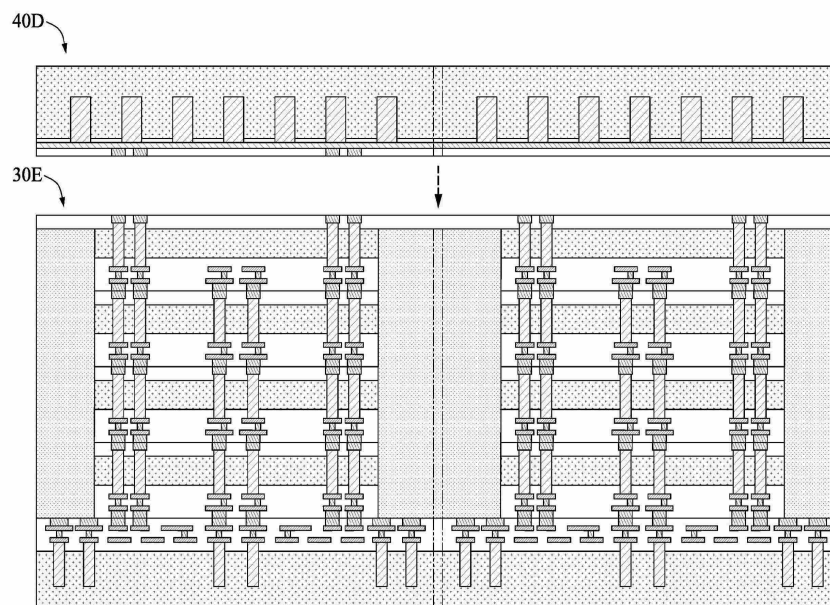


【圖4F】

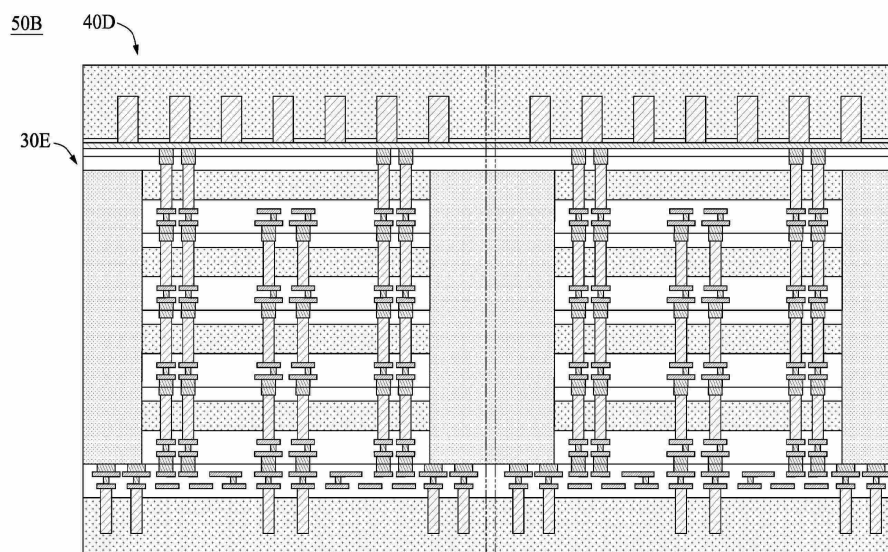


【圖4G】

(11)



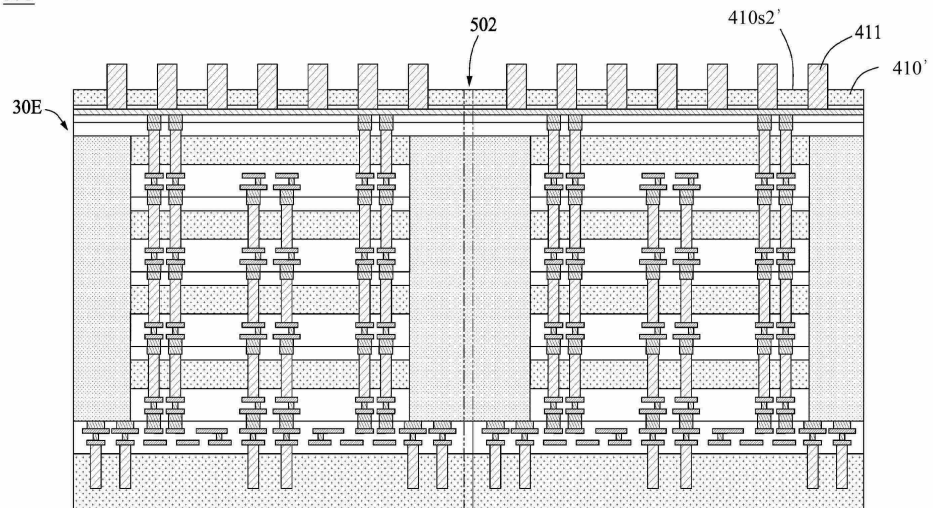
【圖5A】



【圖5B】

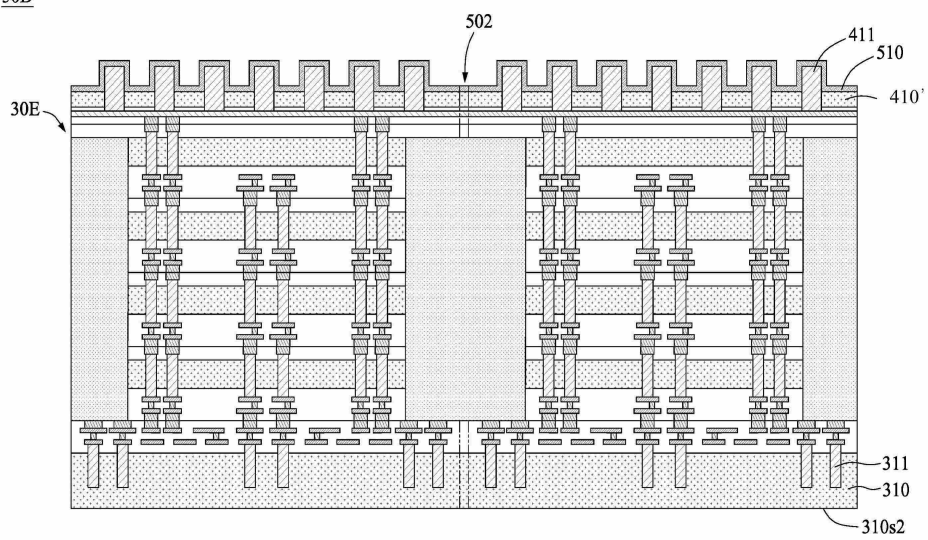
(12)

50C



【圖5C】

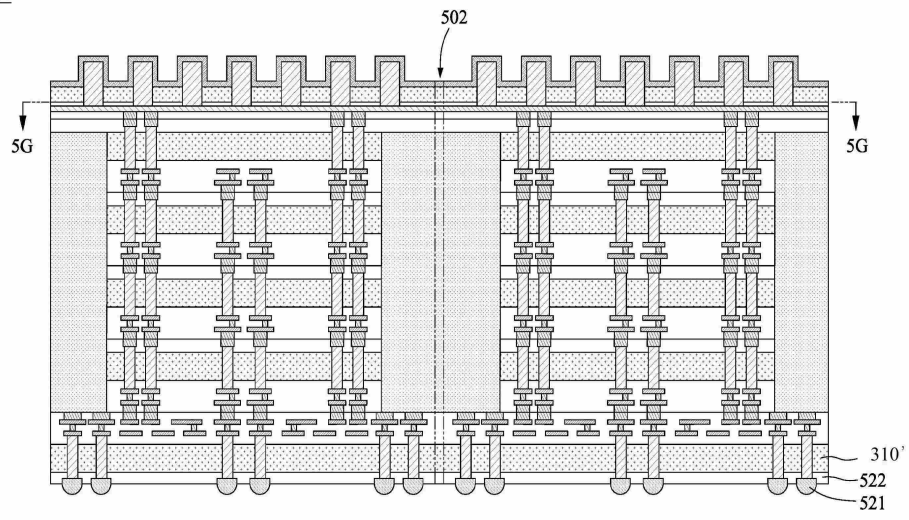
50D



【圖5D】

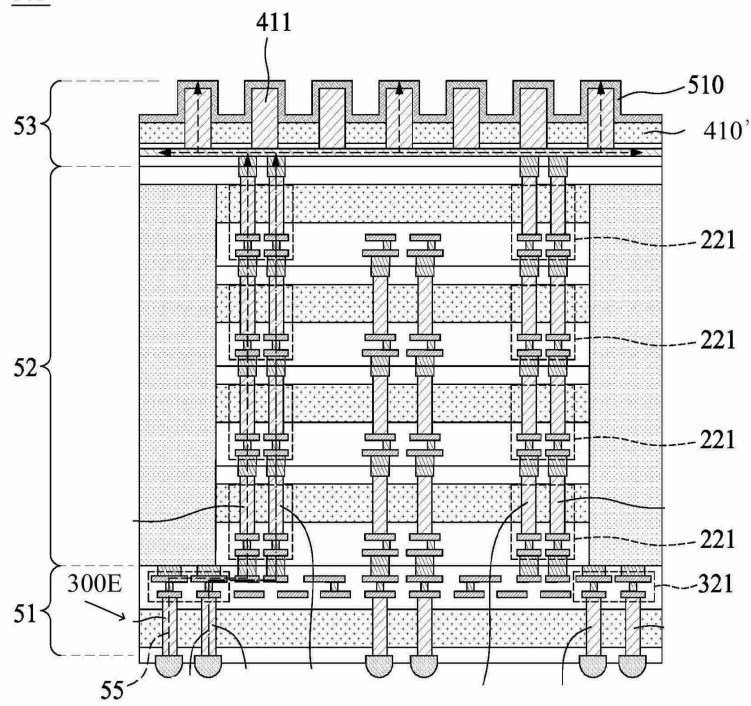
(13)

50E



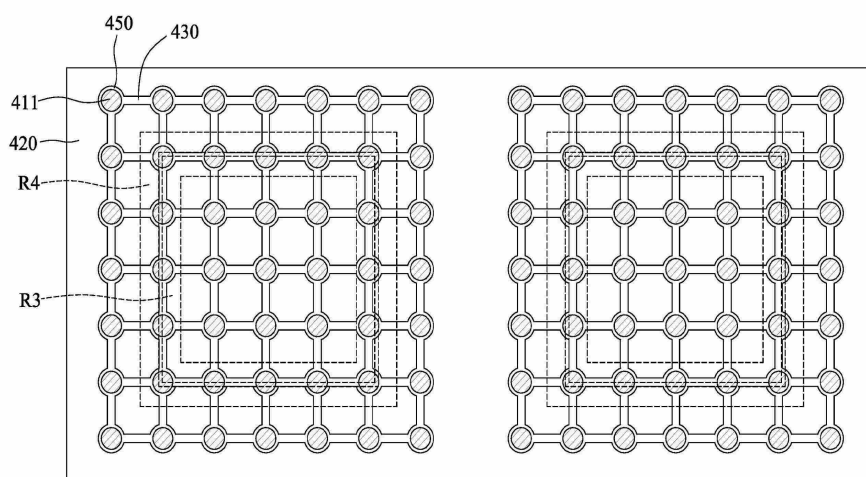
【圖5E】

50F

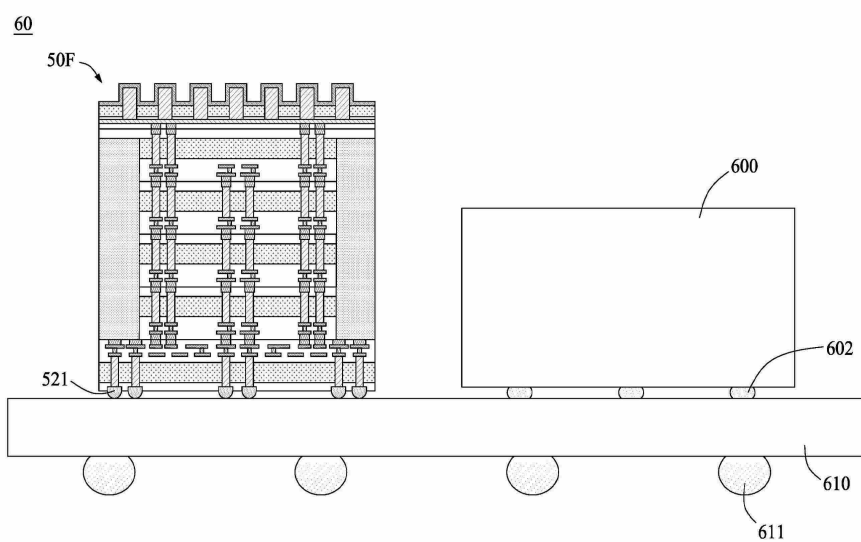


【圖5F】

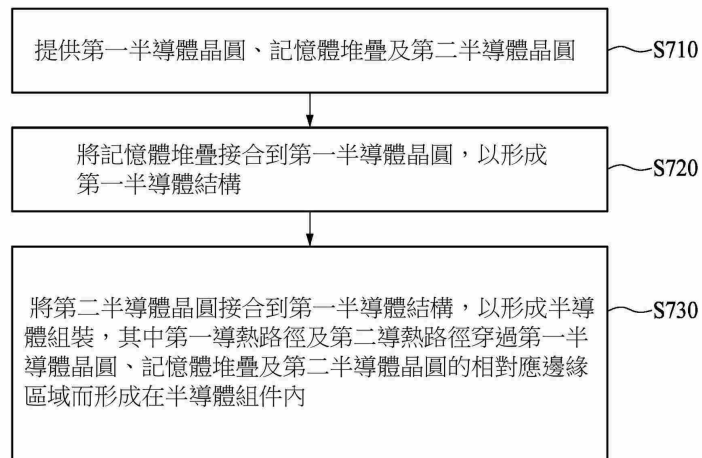
(14)



【圖5G】



【圖6】

700

【圖7】