

【11】證書號數：I938716

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : G11C7/18 (2006.01) G11C8/14 (2006.01)
H10B12/00 (2023.01)

發明

全 7 頁

【54】名稱：具有垂直通道電晶體的半導體元件及其製備方法

【21】申請案號：113148084

【22】申請日：中華民國 113 (2024) 年 12 月 11 日

【11】公開編號：202603716

【43】公開日期：中華民國 115 (2026) 年 01 月 16 日

【30】優先權：2024/07/01

美國

18/760,207

【72】發明人：呂增富 (TW) LU, TSENG-FU

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

CN 102468321A

US 2024/0138142A1

審查人員：陳俊達

【57】申請專利範圍

1. 一種半導體元件，包括：
一位元線，沿一第一方向延伸；
一第一字元線，沿一第二方向延伸並設置在該位元線上方；
一第二字元線，沿該第二方向延伸並設置在該位元線上方；以及
一第一柱結構，與該第一字元線和該第二字元線重疊，
其中該第一柱結構設置在該位元線上方並位在該第一字元線與該第二字元線之間，
其中該第一柱結構包括一垂直通道電晶體的一通道區。
2. 如請求項 1 所述之半導體元件，還包括含有沿該第一方向設置的該第一柱結構的多個柱結構。
3. 如請求項 2 所述之半導體元件，其中該多個柱結構交替設置在該位元線的相對側上。
4. 如請求項 2 所述之半導體元件，其中該多個柱結構與該位元線的相對側交替重疊。
5. 如請求項 1 所述之半導體元件，還包括含有沿該第二方向設置的該第一柱結構的多個柱結構。
6. 如請求項 5 所述之半導體元件，其中該多個柱結構交替設置在該第一字元線的相對兩側上。
7. 如請求項 5 所述之半導體元件，其中該多個柱結構與該第一字元線的相對側交替重疊。
8. 如請求項 1 所述之半導體元件，其中該第一字元線和該第二字元線經配置以導通該垂直通道電晶體的該通道區。
9. 如請求項 8 所述之半導體元件，其中該位元線、該第一字元線和該第二字元線經配置以選擇包括該垂直通道電晶體的一記憶體單元。
10. 如請求項 1 所述之半導體元件，其中該第一字元線與該第二字元線相對於該位元線而設置在不同高度。
11. 如請求項 1 所述之半導體元件，還包括一接觸區，設置在該第一柱結構上方。

(2)

12. 如請求項 1 所述之半導體元件，其中該第一柱結構沿一第三方向延伸。

圖式簡單說明

藉由參考詳細描述以及申請專利範圍而可以獲得對本揭露更完整的理解。本揭露還應理解為與圖式的元件編號相關聯，而圖式的元件編號在整個描述中代表類似的元件。

圖 1A 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的一部分。

圖 1B 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的一部分。

圖 2A 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的一部分。

圖 2B 是剖視示意圖，例示本揭露一些實施例的半導體元件。

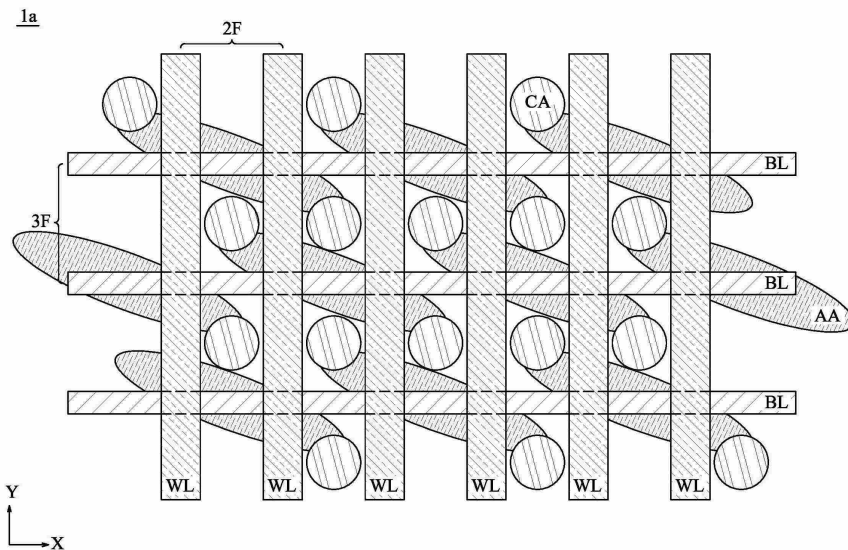
圖 3A 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的製備方法的一或多個階段。

圖 3B 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的製備方法的一或多個階段。

圖 3C 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的製備方法的一或多個階段。

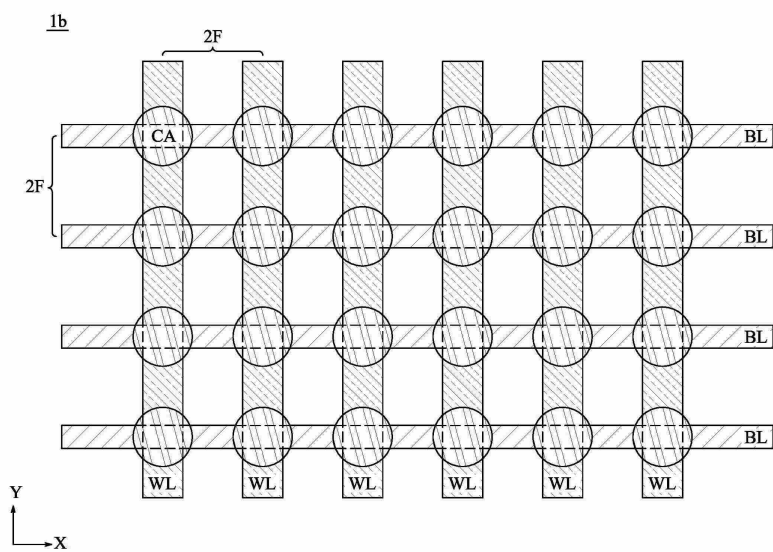
圖 3D 是頂視平面示意圖，例示本揭露一些實施例的半導體元件的製備方法的一或多個階段。

圖 4 是流程示意圖，例示本揭露一些實施例的半導體元件的製備方法。

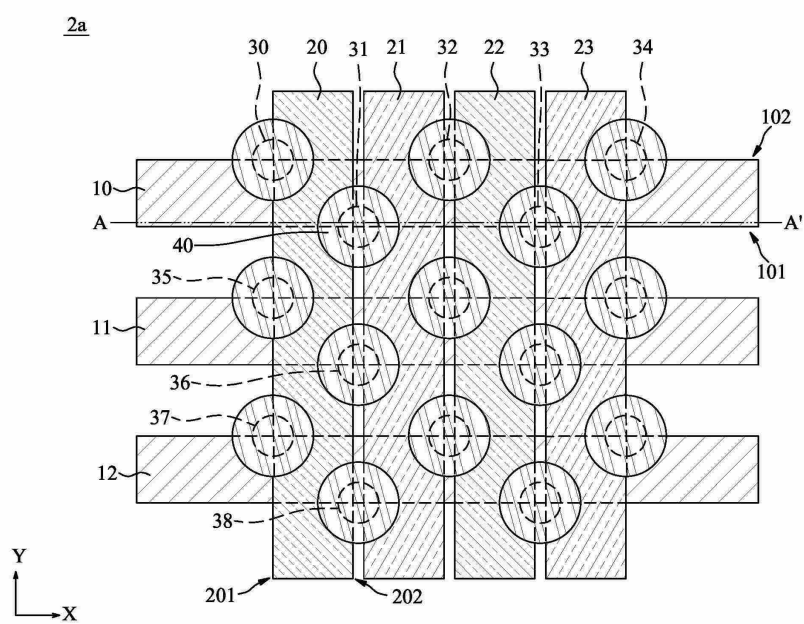


【圖1A】

(3)

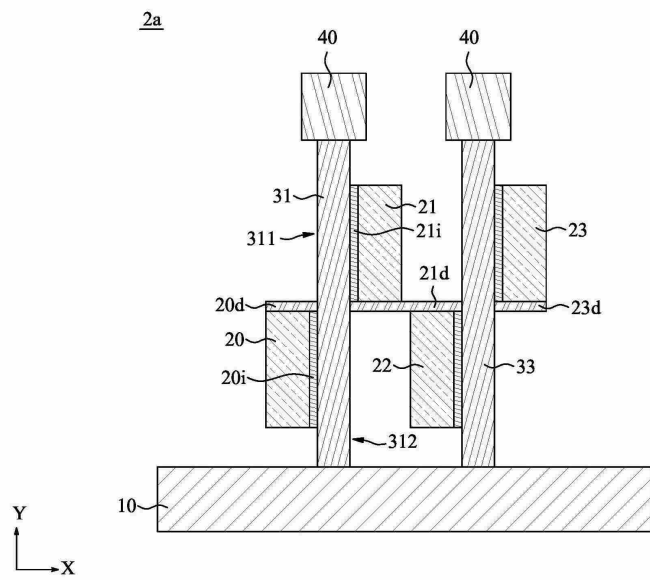


【圖1B】

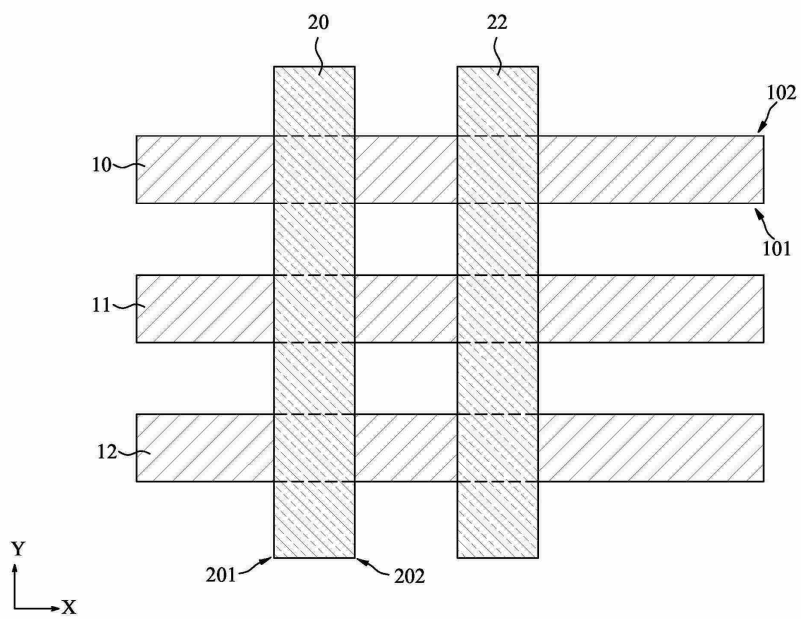


【圖2A】

(4)

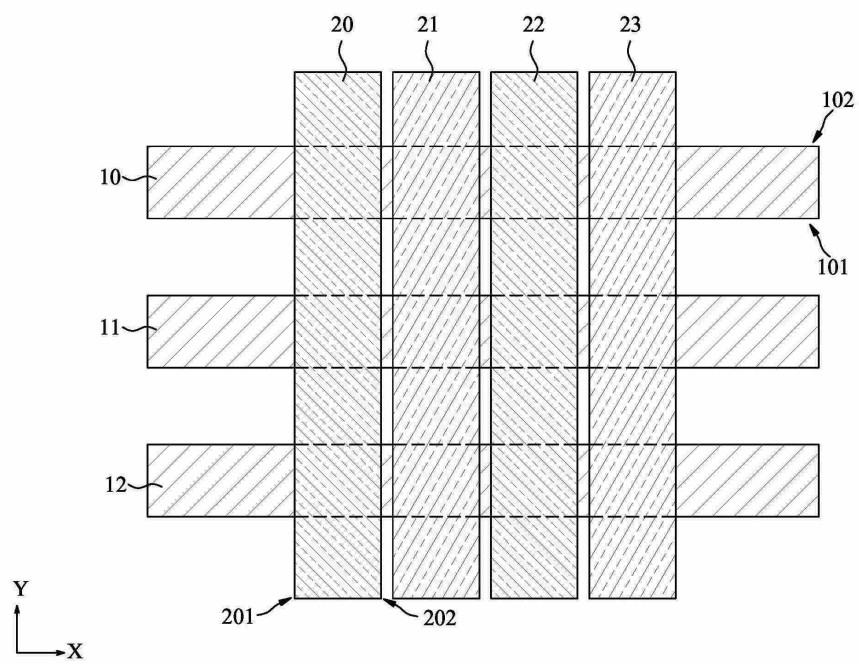


【圖2B】

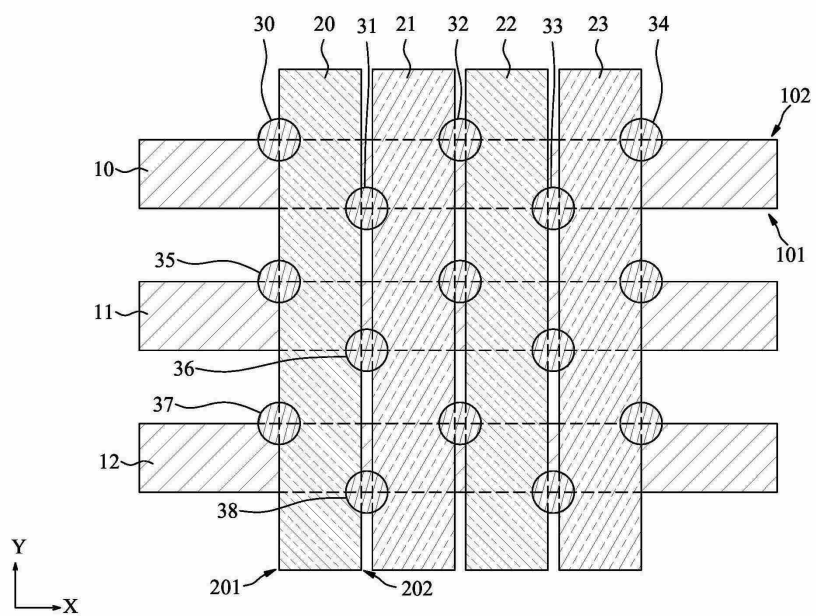


【圖3A】

(5)

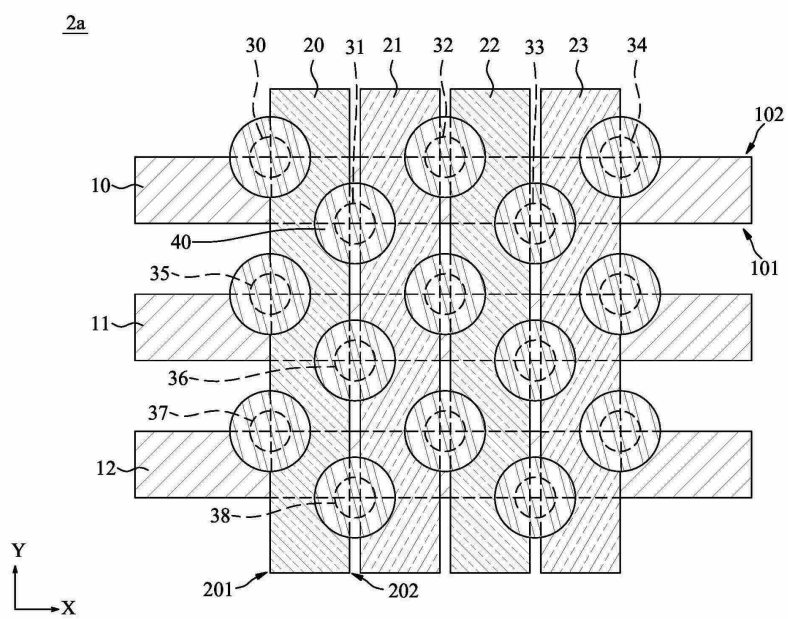


【圖3B】



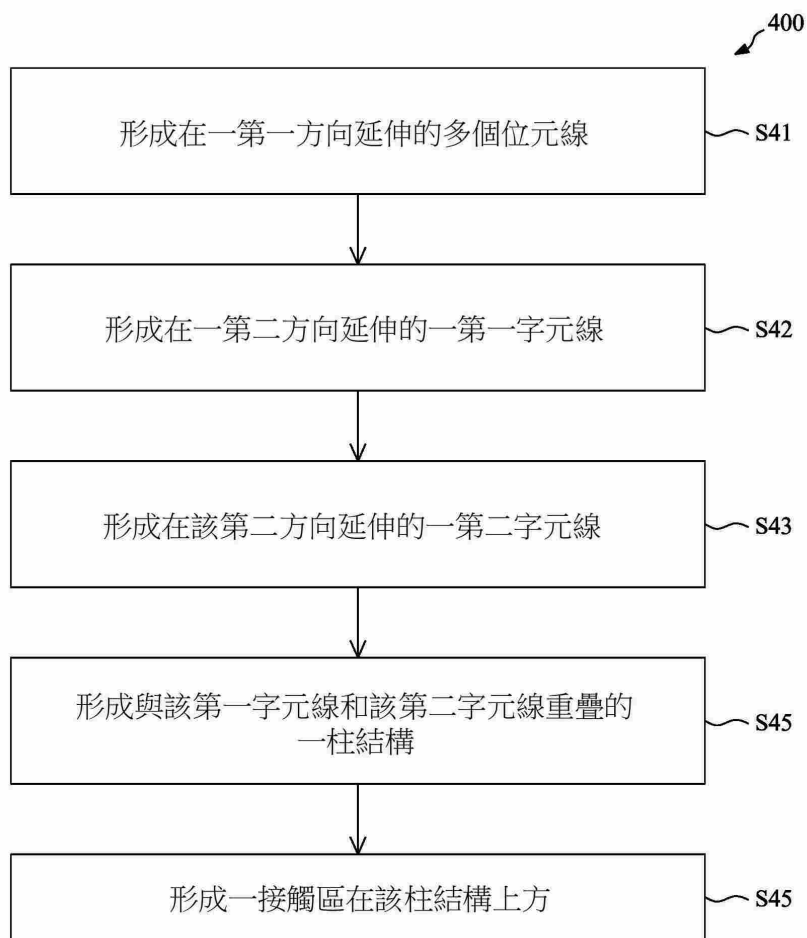
【圖3C】

(6)



【圖3D】

(7)



【圖4】