

【11】證書號數：I938746

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10P50/00 (2026.01) H10P30/00 (2026.01)
H10P14/60 (2026.01) H10D80/20 (2026.01)

發明

全 18 頁

【54】名稱：半導體裝置及其製造方法

【21】申請案號：113151191

【22】申請日：中華民國 113 (2024) 年 12 月 27 日

【11】公開編號：202607802

【43】公開日期：中華民國 115 (2026) 年 02 月 16 日

【30】優先權：2024/08/14

美國

18/804,407

【72】發明人：龔耀雄 (TW) KUNG, YAO-HSIUNG；連振浩 (TW) LIEN, CHEN-HAO

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：李世章；秦建譜

【56】參考文獻：

TW 202315142A

TW 202322355A

TW 202331943A

US 2022/0052057A1

US 2023/0037646A1

審查人員：黃淑萍

【57】申請專利範圍

1. 一種半導體裝置的製造方法，包括：
在一基板上方形形成複數個位元線結構；
沿著該些位元線結構的複數個側壁形成複數個間隔物，各該間隔物包括一氣隙；
在該些位元線結構之間和上方形成複數個導電結構，其中該些導電結構暴露部分該些位元線結構；
在該些導電結構和該些位元線結構之間形成複數個隔離結構；
該些隔離結構經植入以形成複數個植入隔離結構；
在該些植入隔離結構和該些導電結構上方形成一支撐層；以及
在該些導電結構和該些植入隔離結構上方形成複數個電容結構。
2. 如請求項 1 所述之方法，其中沿著該些位元線結構的該些側壁形成該些間隔物，各該間隔物包括該氣隙的步驟包括：
沿著該些位元線結構的該些側壁依序形成一第一間隔物層、一犧牲間隔物層和一第二間隔物層；以及
在形成該些導電結構之後，移除該犧牲間隔物層。
3. 如請求項 1 所述之方法，其中在該些位元線結構之間和上方形成該些導電結構包括：
在該些位元線結構之間形成一第一溝槽，該第一溝槽暴露部分該基板；
在該第一溝槽中形成一第一導電層；
在該第一導電層上方形成一第二導電層；
在該第二導電層上方形成一阻障層；
形成一著陸墊過度填充該第一溝槽；以及
透過移除部分該阻障層、部分該著陸墊和部分該些位元線結構以形成一第二溝槽。

4. 如請求項 1 所述之方法，其中在該些導電結構和該些位元線結構之間形成該些隔離結構包括：
在該些導電結構和該些位元線結構之間和上方形成一隔離層；以及
移除該隔離層的一頂部，其中該隔離層的一頂表面與該些導電結構的一頂表面共平面。
5. 如請求項 1 所述之方法，其中該些隔離結構經植入以形成該些植入隔離結構包括：
在該些導電結構上方沉積一光阻層；
圖案化該光阻層以暴露該些隔離結構的一部分；以及
植入複數個摻雜進入至該些隔離結構的暴露的該部分中。
6. 如請求項 5 所述之方法，其中該些摻雜的一摻雜深度在該些植入隔離結構的一頂表面的約 50nm 處。
7. 如請求項 1 所述之方法，其中該些植入隔離結構具有一第一乾蝕刻速率，該第一乾蝕刻速率小於該些隔離結構的一第二乾蝕刻速率。
8. 如請求項 1 所述之方法，其中該些植入隔離結構具有一第一乾蝕刻速率，該第一乾蝕刻速率小於該支撐層的一第三乾蝕刻速率。
9. 如請求項 8 所述之方法，其中該第三乾蝕刻速率和該第一乾蝕刻速率的一比例大於 8.87。
10. 如請求項 1 所述之方法，其中在該些導電結構和該些植入隔離結構上方形成該些電容結構包括：
在該些導電結構上方形成複數個底部電極；
形成複數個介電層共形於該些底部電極；以及
形成複數個頂部電極層共形於該些介電層。
11. 一種半導體裝置，包括：
一基板；
複數個位元線結構在該基板上方；
複數個間隔物沿著該些位元線結構的複數個側壁，其中各該間隔物包括一氣隙；
複數個導電結構在該些間隔物之間；以及
複數個植入隔離結構在該些導電結構和該些位元線結構之間。
12. 如請求項 11 所述之半導體裝置，其中各該間隔物包括：
一第一間隔物層接觸該些位元線結構中的一者；以及
一第二間隔物層接觸該些導電結構中的一者，其中該第一間隔物層藉由該氣隙與該第二間隔物層分開。
13. 如請求項 11 所述之半導體裝置，進一步包括：
複數個電容結構在該些導電結構和該些植入隔離結構上方，其中各該電容結構包括：
一底部電極接觸該導電結構；
一介電層共形於該底部電極；以及
一頂部電極層共形於該介電層。
14. 如請求項 13 所述之半導體裝置，其中該些電容結構的該些底部電極進一步接觸該些植入隔離結構。
15. 如請求項 13 所述之半導體裝置，其中該些底部電極的一底表面的寬度大於該些導電結構的一頂表面的寬度。
16. 如請求項 11 所述之半導體裝置，其中該些植入隔離結構的一頂表面與該些導電結構的一頂表面共平面。

(3)

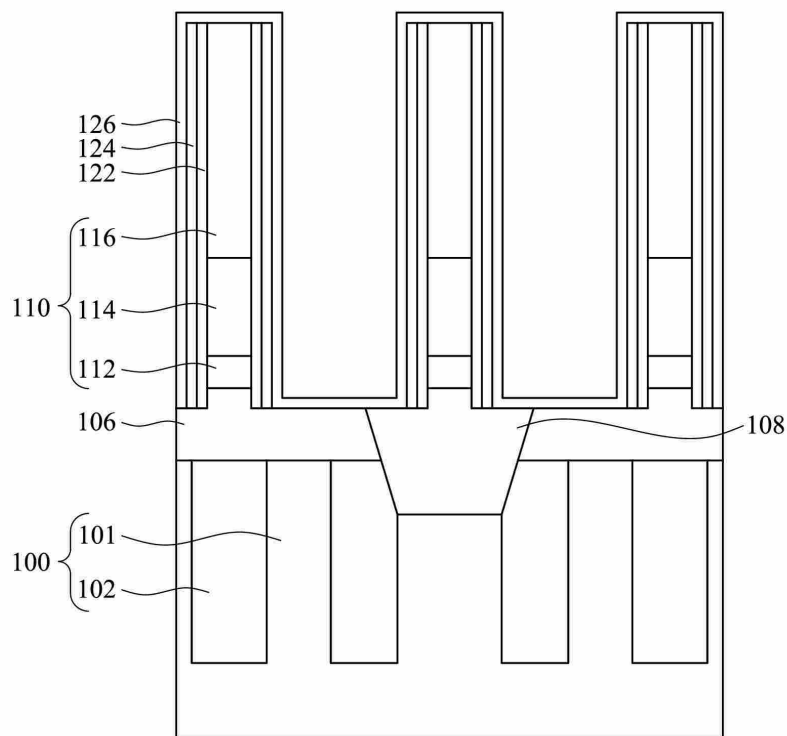
17. 如請求項 11 所述之半導體裝置，其中以作為複數個摻雜的 B 和 Si 植入該些植入隔離結構。
18. 如請求項 17 所述之半導體裝置，其中該些摻雜的一摻雜深度在該些植入隔離結構的一頂表面的約 50nm 處。
19. 如請求項 11 所述之半導體裝置，其中該些植入隔離結構接觸該些間隔物和該些位元線結構。

圖式簡單說明

透過閱讀以下實施例並結合下方附圖的詳細描述，可以更全面地理解本揭示：

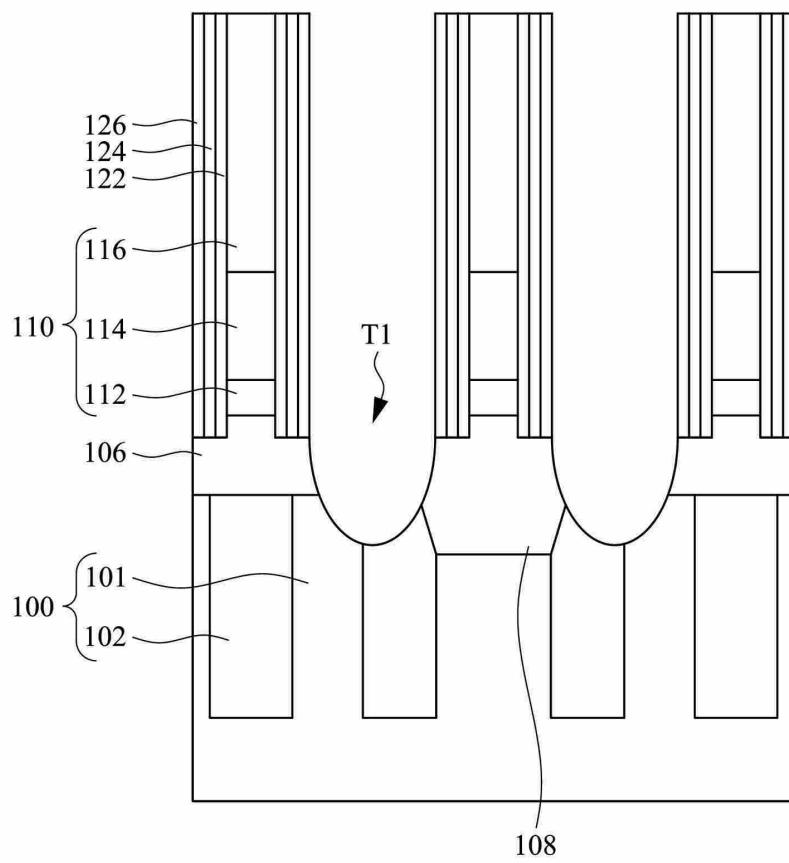
第 1 圖至第 14 圖是根據本揭示內容的一些實施例的在各種階段的形成半導體裝置的製造方法的橫截面視圖。

第 15 圖和第 16 圖是根據本揭示內容的一些實施例的半導體裝置的橫截面視圖。



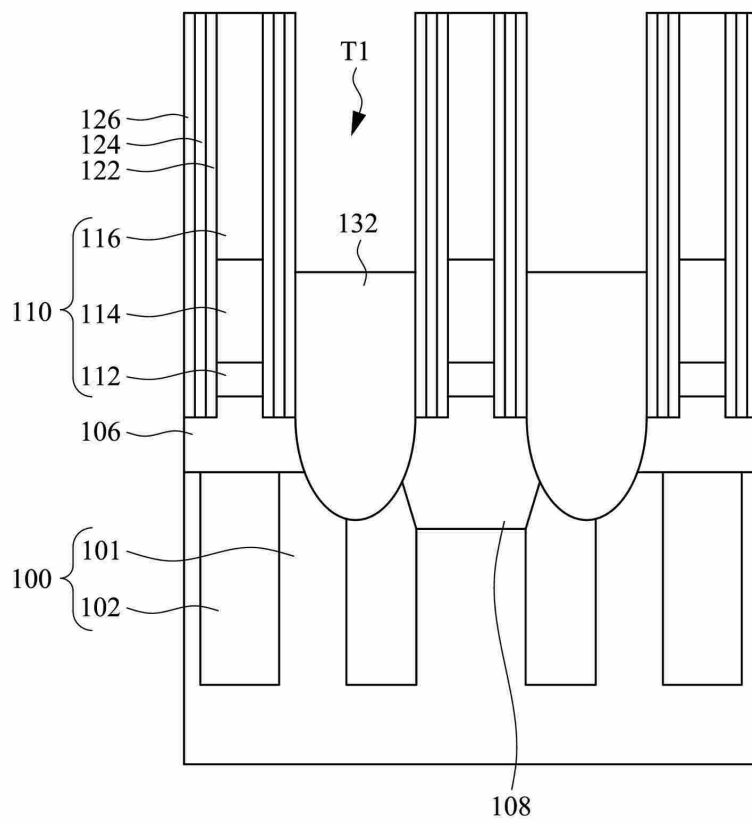
第 1 圖

(4)



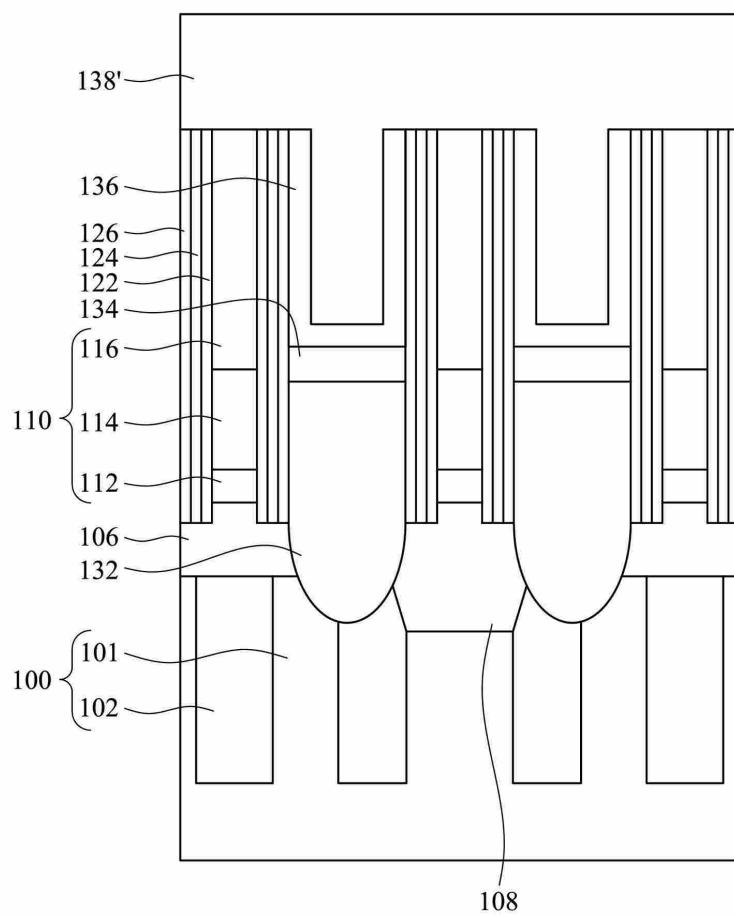
第 2 圖

(5)



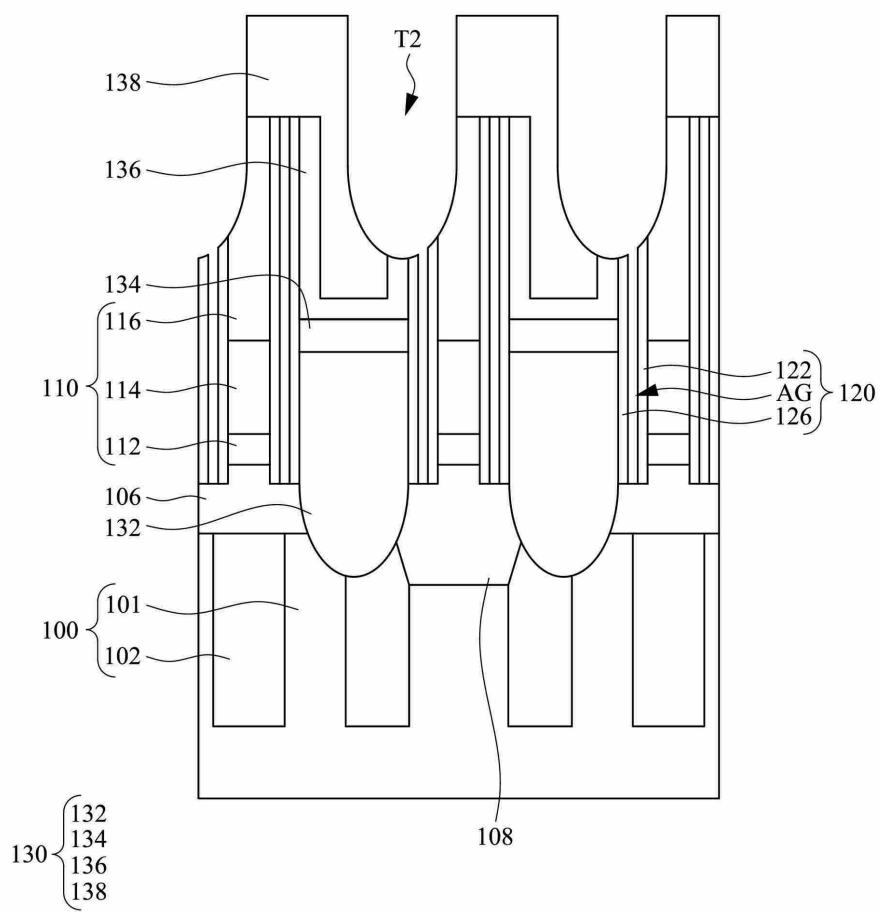
第 3 圖

(6)



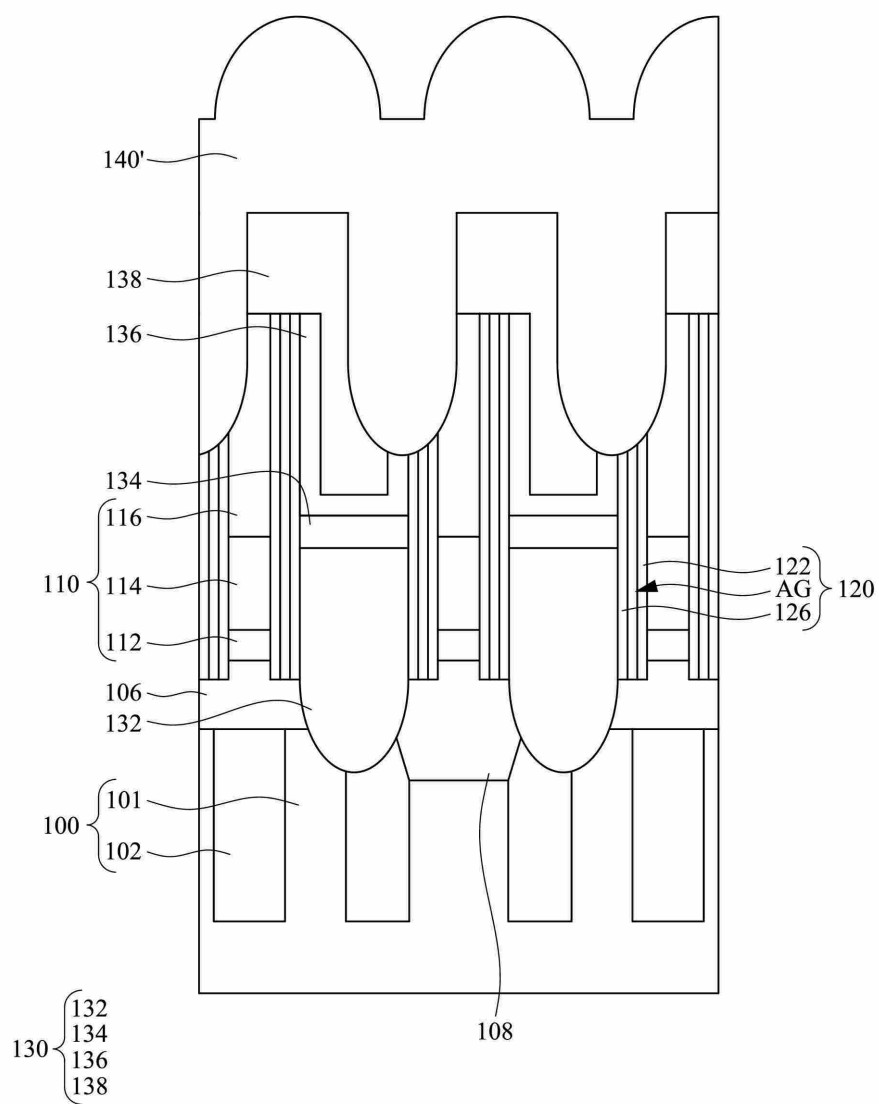
第 4 圖

(7)



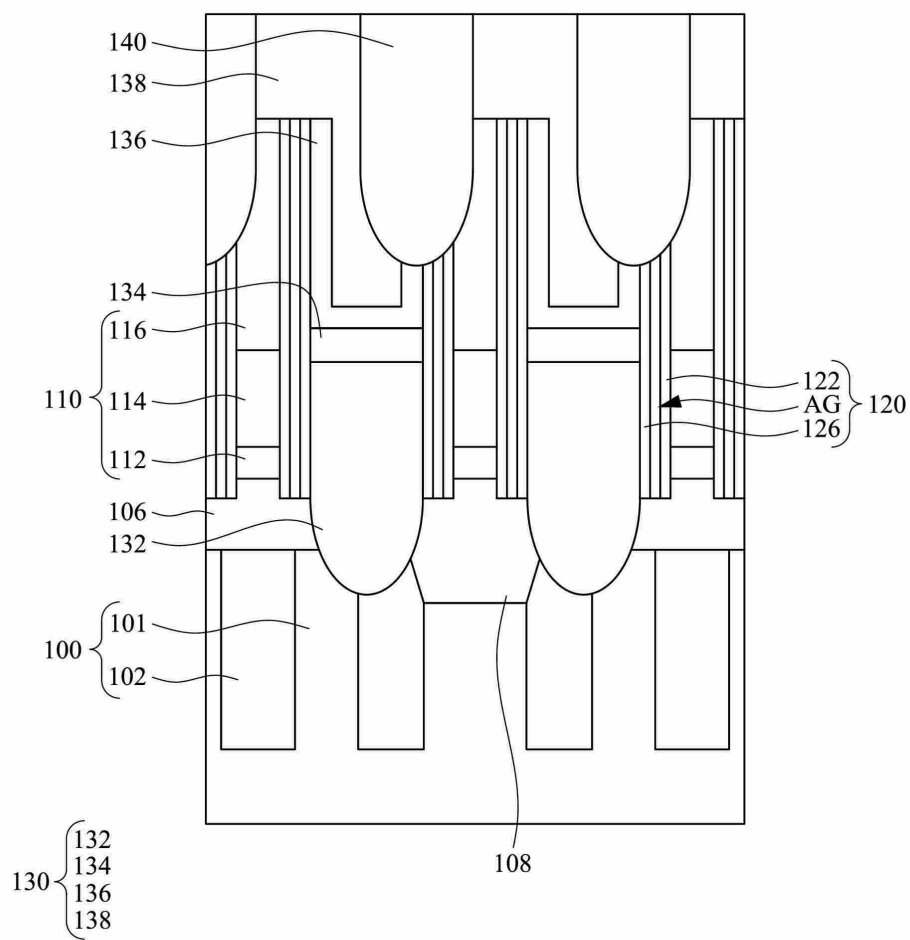
第 5 圖

(8)



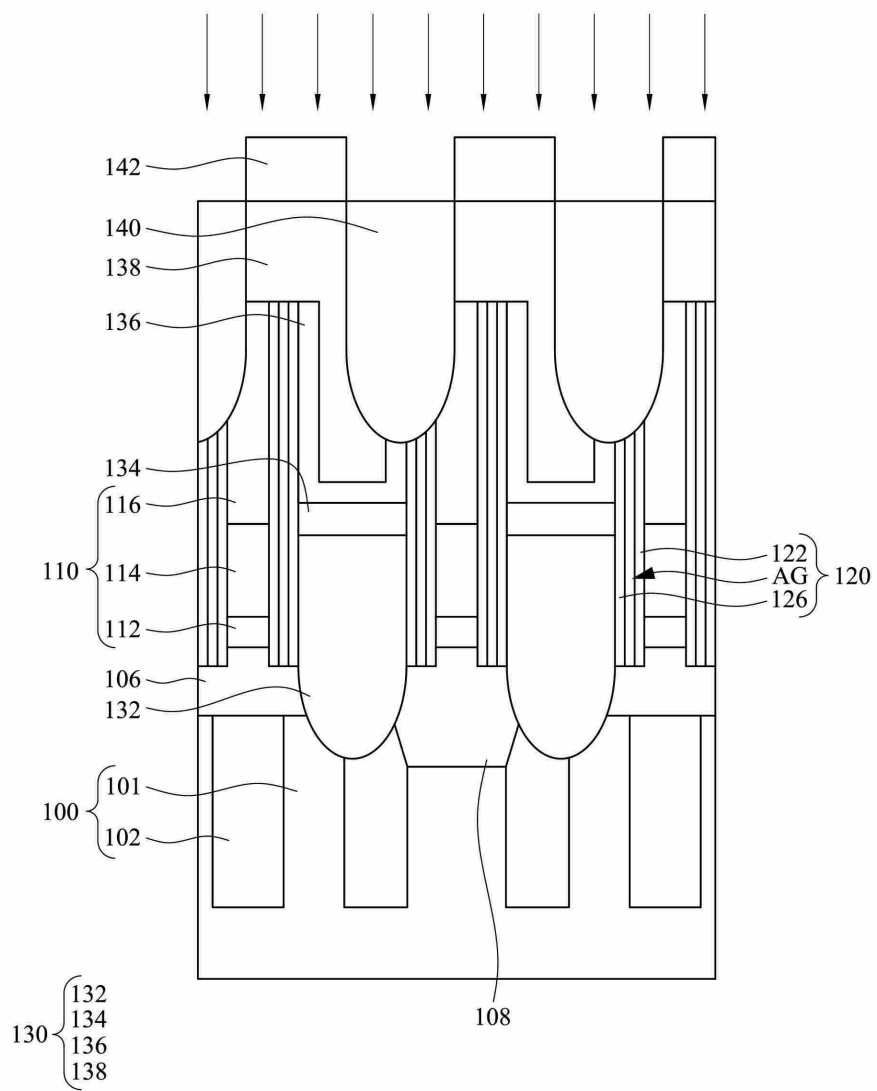
第 6 圖

(9)



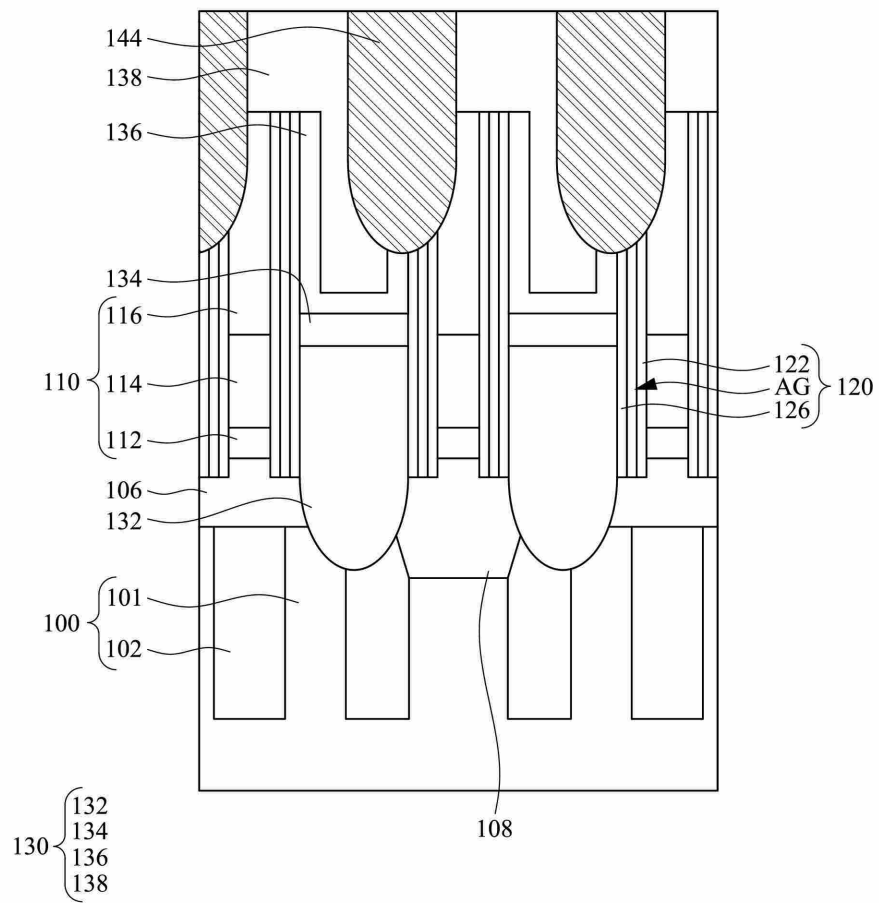
第 7 圖

(10)



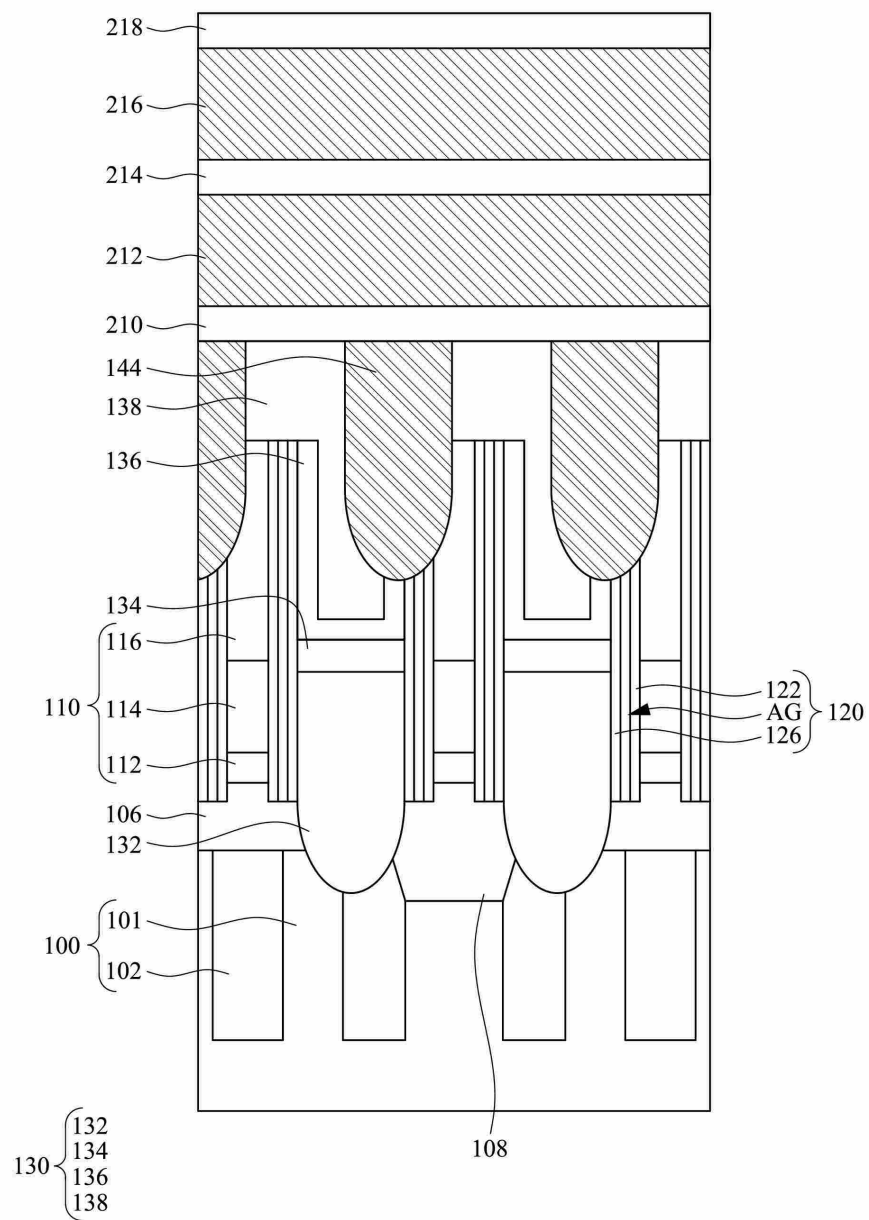
第 8 圖

(11)



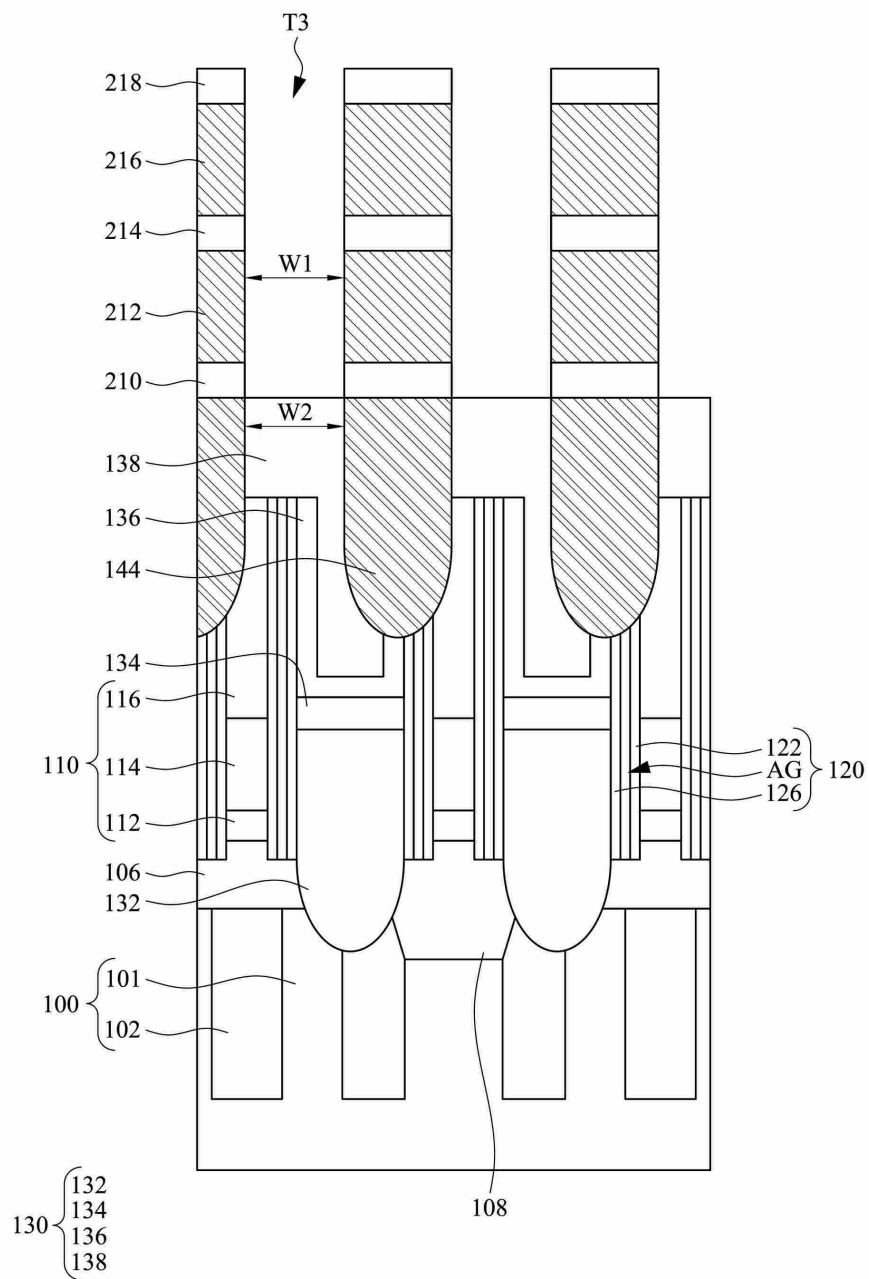
第 9 圖

(12)



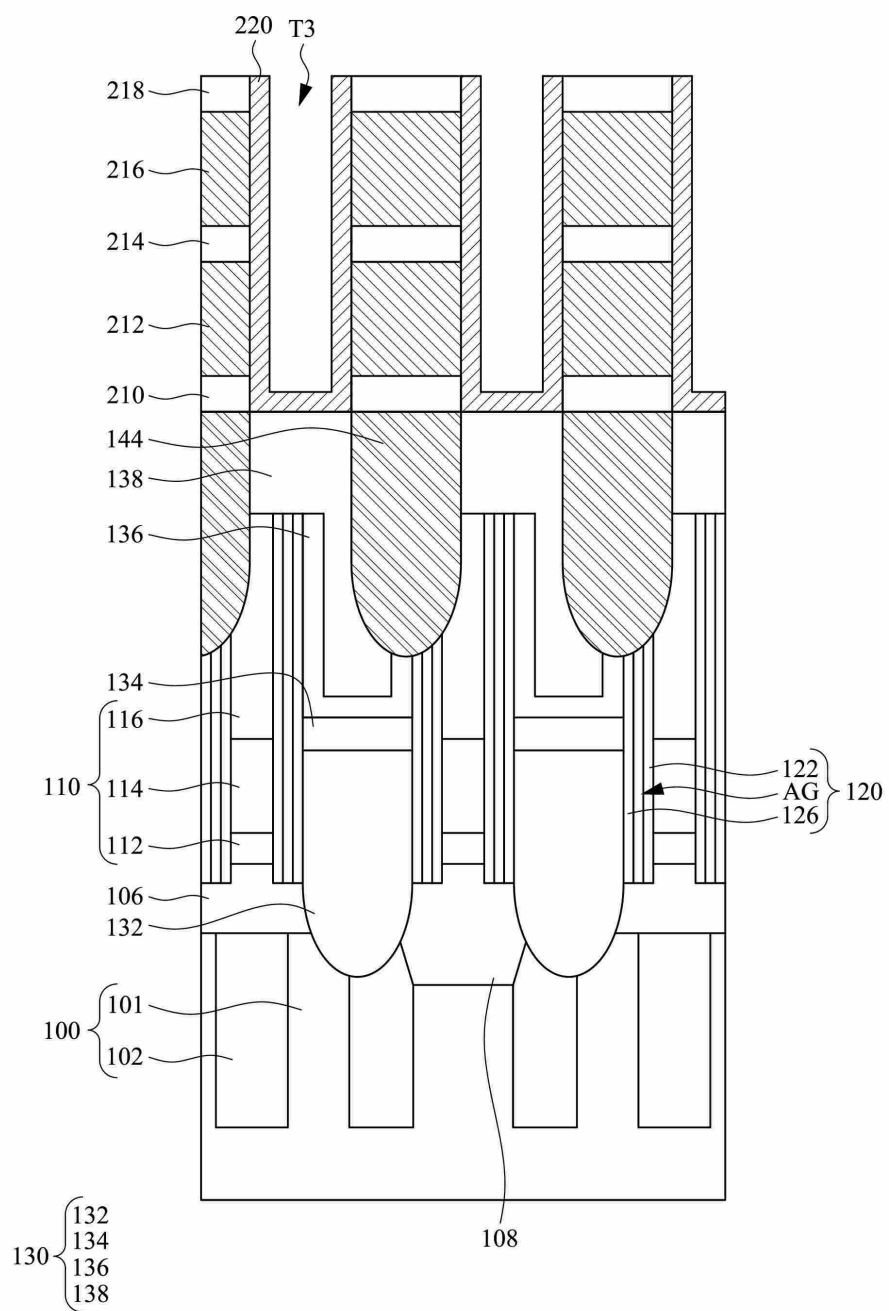
第 10 圖

(13)



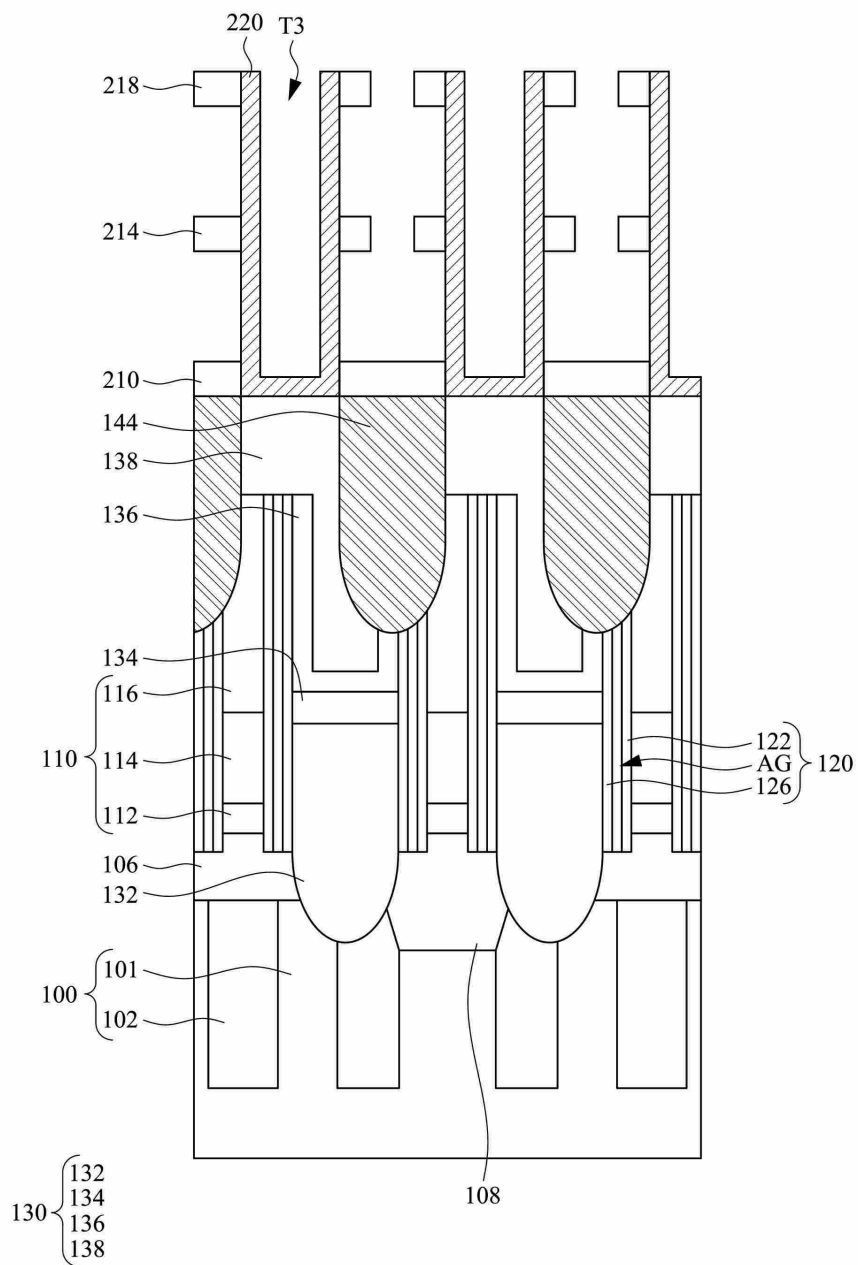
第 11 圖

(14)



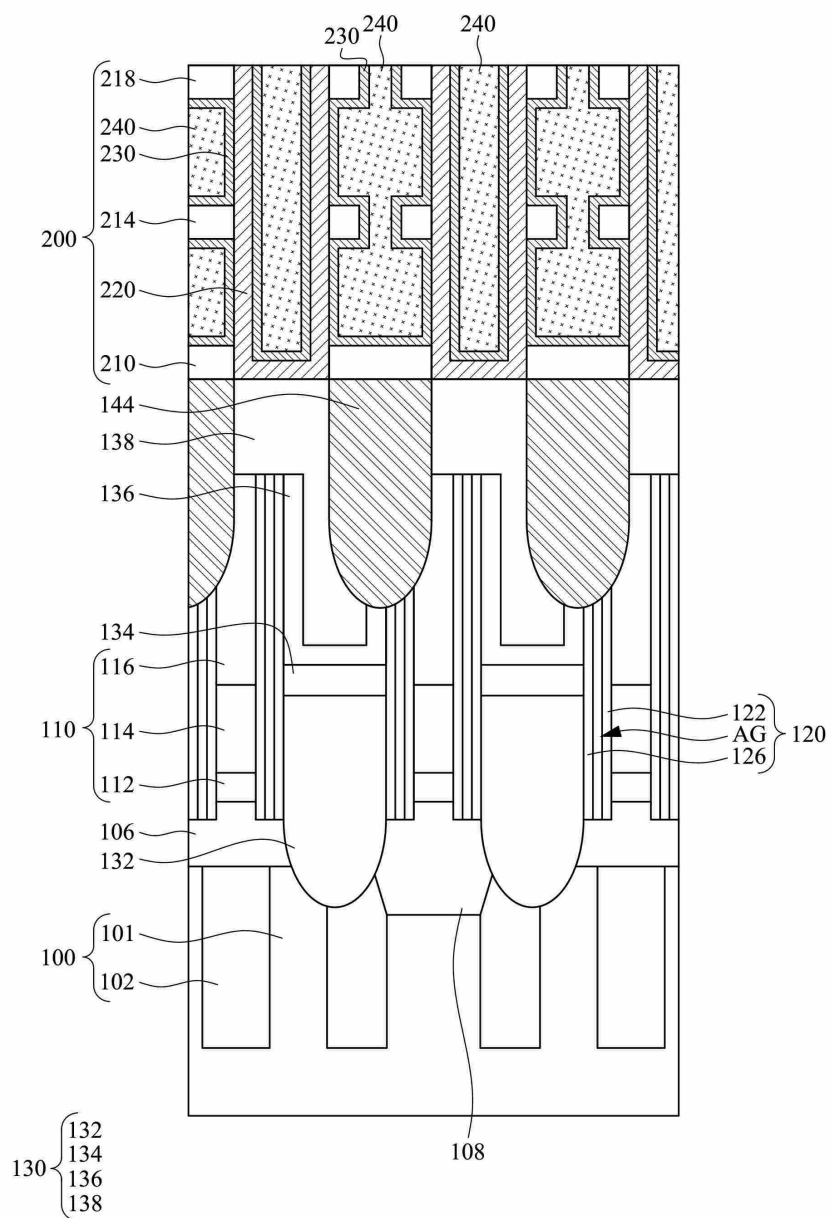
第 12 圖

(15)



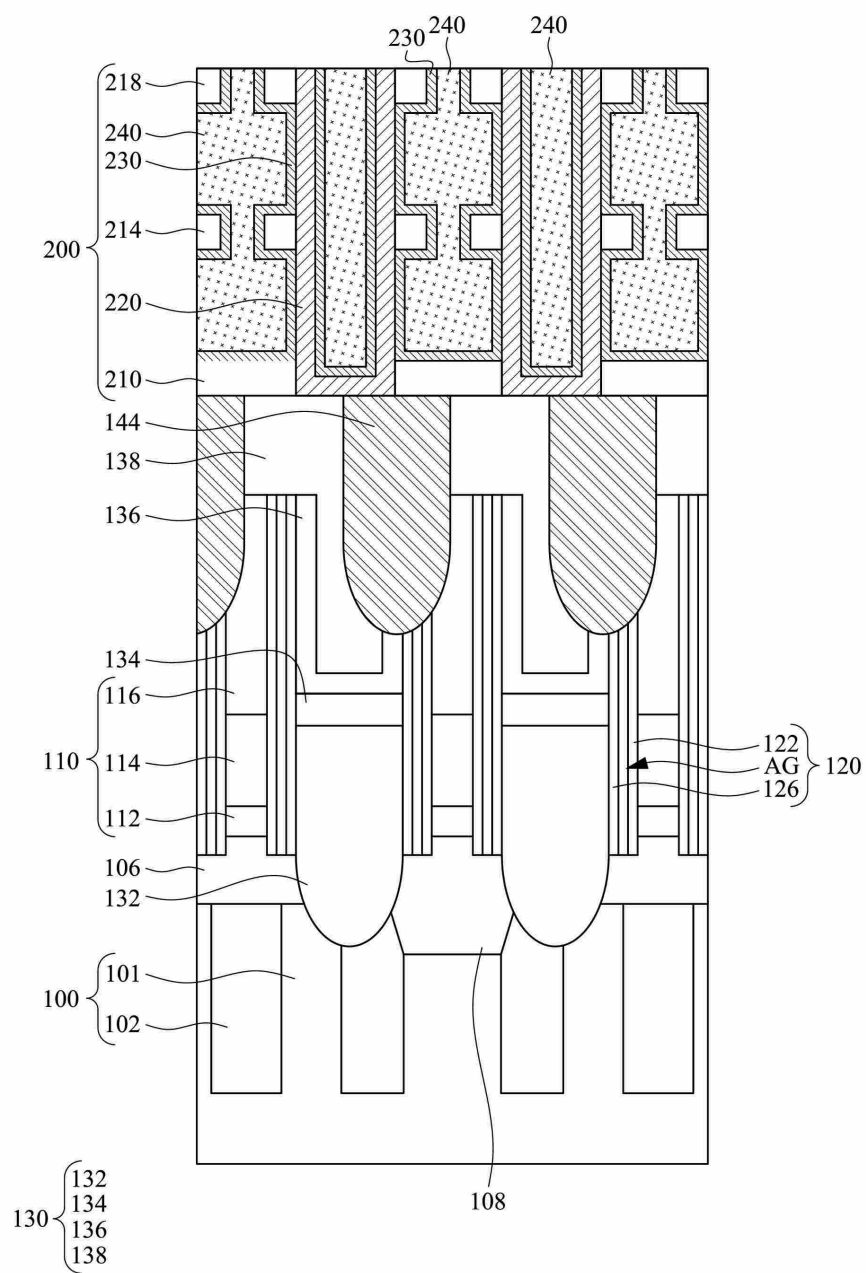
第 13 圖

(16)



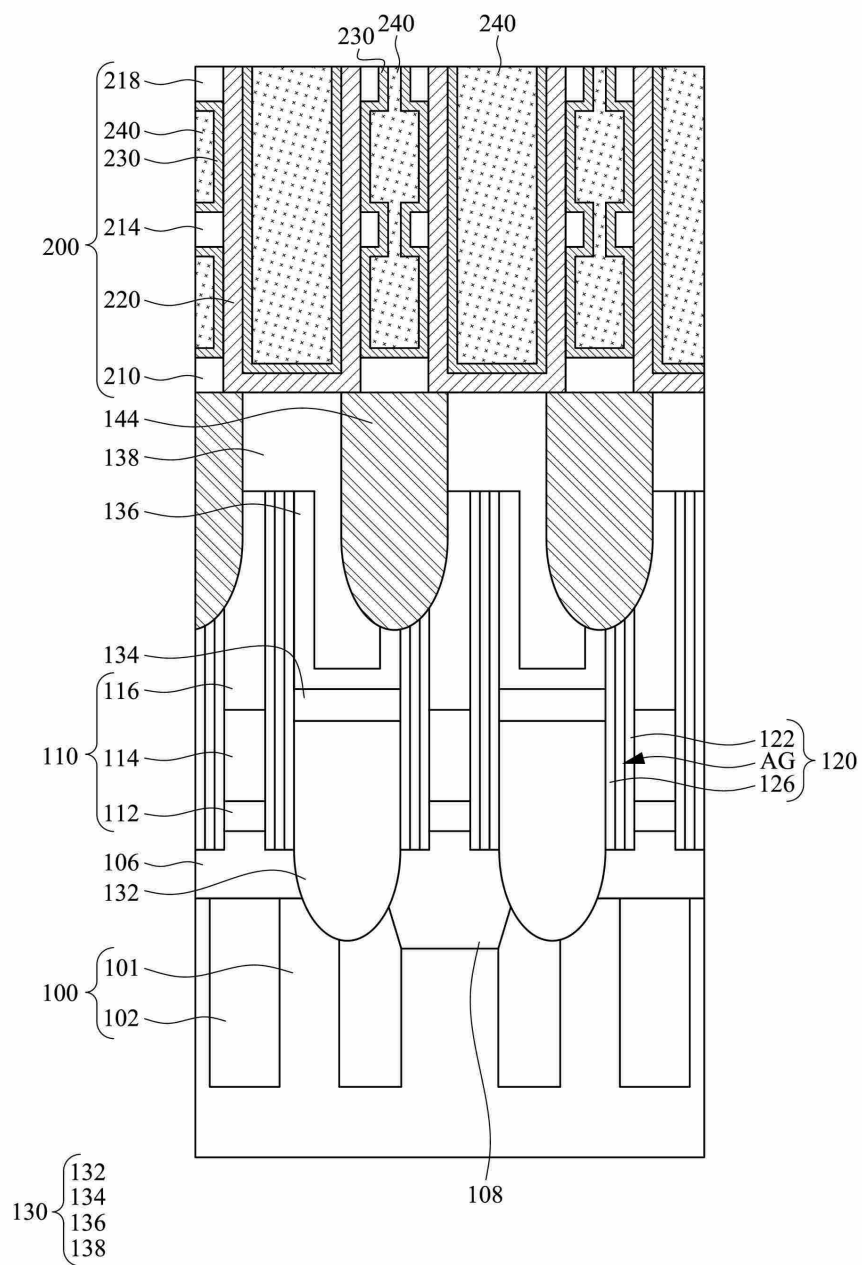
第 14 圖

(17)



第 15 圖

(18)



第 16 圖