

【11】證書號數：I938771

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D1/68 (2025.01) H10D88/00 (2026.01)
H10N97/00 (2023.01)

發明

全 19 頁

【54】名稱：積體電路裝置及其製造方法

【21】申請案號：114101493

【22】申請日：中華民國 114 (2025) 年 01 月 14 日

【11】公開編號：202623370

【43】公開日期：中華民國 115 (2026) 年 06 月 01 日

【30】優先權：2024/11/18

美國

18/950,473

【72】發明人：林孟賢 (TW) LIN, MENG-HSIEN；林杏芝 (TW) LIN, HSING-CHIH；楊蒔融 (TW) YANG, SHIH-RONG；王教瑋 (TW) WANG, JAIIO-WEI；劉克群 (TW) LIU, KO CHUN；劉人誠 (TW) LIU, JEN-CHENG；楊敦年 (TW) YAUNG, DUN-NIAN

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW 201814913A

TW 202220212A

CN 115224031A

CN 116033748A

US 2012/0112317A1

US 2020/0006352A1

US 2024/0381629A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種積體電路 (IC) 裝置，包括：

基底；

多個介電層，設置在所述基底之上；以及

電容結構，包括多個第一電容部分，所述多個第一電容部分中的每一個包括：

第一導電元件，延伸穿過所述多個介電層；

介電元件，延伸穿過所述多個介電層並沿所述第一導電元件對齊；以及

第二導電元件，延伸穿過所述多個介電層並沿著所述介電元件對齊，

其中在沿所述第一導電元件、所述介電元件以及所述第二導電元件的方向上的所述積體電路裝置的剖視圖中，所述第一導電元件的最外側壁對齊所述介電元件的最外側壁，且所述第二導電元件的最外側壁偏移於所述第一導電元件的所述最外側壁與所述介電元件的所述最外側壁；

其中所述多個介電層中的至少一個包括第一介電層，所述第一介電層在所述多個第一電容部分的多個第一相鄰對之間橫向延伸，其中所述多個第一電容部分的所述多個第一相鄰對中的每一對中的多個第一電容部分彼此之間以第一距離而相隔開，其中所述第一介電層包括限定所述多個第一電容部分的多個第二相鄰對中的每對之間的間隙的側壁，其中所述間隙的長度大於所述第一距離。

2. 如請求項 1 所述的積體電路裝置，其中：

在所述積體電路裝置的平面圖中，所述多個第一電容部分被排列成二維陣列；

所述多個第一電容部分的所述多個第一相鄰對中的每一對沿著所述二維陣列的行或柱對齊；以及

所述多個第一電容部分的所述多個第二相鄰對中的每一對沿著所述二維陣列的對角線對齊。

3. 如請求項 1 所述的積體電路裝置，其中所述第一介電層是蝕刻停止層，其中所述第一導電元件的一部分與所述介電元件的一部分被所述第二導電元件暴露出來。
4. 如請求項 1 所述的積體電路裝置，其中所述多個介電層更包括第二介電層，並且其中所述第一介電層和所述第二介電層包括不同的材料。
5. 如請求項 1 所述的積體電路裝置，其中，對於所述多個第一電容部分中的每一個：

所述第一導電元件包括在所述積體電路裝置的側視圖中垂直取向的第一結構；

所述介電元件包括與所述第一導電元件同軸且位於所述第一導電元件內部的第二結構；

以及

所述第二導電元件包括與所述介電元件同軸且位於所述介電元件內部的第三結構。
6. 如請求項 1 所述的積體電路裝置，更包括：

第一電極，電連接至所述多個第一電容部分中的每一個的所述第一導電元件；以及

第二電極，電連接至所述多個第一電容部分中的每一個的所述第二導電元件。
7. 如請求項 1 所述的積體電路裝置，其中所述電容結構更包括：

一個或多個第二電容部分，所述一個或多個第二電容部分中的每一個包含：

第一導電元件，延伸穿過所述多個介電層，其中所述第一導電元件的一部分與所述多個第一電容部分中的至少一個的所述第一導電元件的一部分共享；

介電元件，延伸穿過所述多個介電層並沿所述第一導電元件對齊；以及

第二導電元件，延伸穿過所述多個介電層並沿著所述介電元件對齊，

其中在所述多個第一電容部分與所述一個或多個第二電容部分中的一者中具有孔隙。
8. 一種積體電路裝置，包括：

基底；

多個介電層，設置在所述基底之上；以及

電容結構，包括多個第一電容部分，所述多個第一電容部分中的每一個包括：

第一導電元件，延伸穿過所述多個介電層；

介電元件，延伸穿過所述多個介電層並沿所述第一導電元件對齊；以及

第二導電元件，延伸穿過所述多個介電層並沿著所述介電元件對齊，

其中在沿所述第一導電元件、所述介電元件以及所述第二導電元件的方向上的所述積體電路裝置的剖視圖中，所述第一導電元件的最外側壁對齊所述介電元件的最外側壁，且所述第二導電元件的最外側壁偏移於所述第一導電元件的所述最外側壁與所述介電元件的所述最外側壁；

其中在所述積體電路裝置的平面圖中，所述多個第一電容部分被排列成二維陣列；

其中所述多個介電層中的至少一個橋接沿著所述二維陣列的行或柱對齊的所述多個第一電容部分中的每一相鄰對；以及

其中所述多個介電層中的所述至少一個在所述多個第一電容部分中的沿著所述二維陣列的對角線方向上的相鄰的每一對之間具有開口。
9. 一種製造積體電路裝置的方法，包括：

在基底上形成第一電極；

在所述第一電極上形成多個介電層；

穿過所述多個介電層形成多個溝渠；

在所述多個介電層上共形沉積第一導電結構並沉積到所述多個溝渠中；

移除所述第一導電結構在所述多個溝渠外部的部分；
 部分移除在所述多個溝渠外部且在所述多個介電層中的第一介電層上方的所述多個介電層中的至少一個；
 部分移除所述第一介電層；
 透過經部分移除的所述第一介電層，移除所述多個介電層中的另外一些；
 在所述多個溝渠內部和外部共形沉積第一導電材料；
 在所述第一導電材料上共形沉積介電材料；
 在所述介電材料上形成第二導電材料；以及
 在所述第二導電材料上形成第二電極。

10. 如請求項 9 所述的方法，其中：

部分移除在所述多個溝渠外部且在所述多個介電層中的所述第一介電層上方的所述多個介電層中的所述至少一個包括移除所述多個介電層中的在所述多個溝渠外部的經暴露部分直至暴露出所述第一介電層；以及
 部分移除所述第一介電層包括：
 在所述多個溝渠內部和外部的所述第一電極的表面上形成多個介電間隙壁結構；以及
 部分移除所述介電間隙壁結構部分，以去除所述多個溝渠中以至少第一線性距離間隔開的相鄰的所述多個溝渠之間的所述第一介電層的多個部分，同時留下所述第一介電層的完整剩餘部分。

圖式簡單說明

當結合附圖閱讀時，可以從以下詳細描述中最好地理解本揭露的各方面。需要說明的是，依照業界標準慣例，各種特徵並未按比例繪製。事實上，為了討論的清楚起見，各種特徵的尺寸可以任意增加或減少。

圖 1A 示出了根據本揭露的一些實施例在單側 MIM (single-side MIM) 電容結構的製造期間的示意性側視圖。

圖 1B 示出了根據本揭露的一些實施例在雙側 MIM (double-side MIM) 電容結構的製造期間的示意性側視圖。

圖 2A 示出了根據本揭露的一些實施例在機械穩定的雙側三維 (3D) MIM 電容結構的製造製程的示意性平面圖。

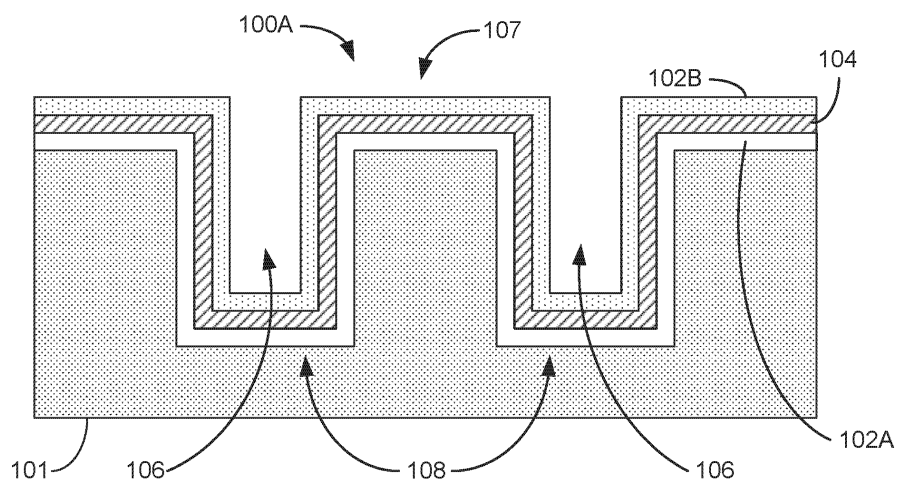
圖 2B、圖 2C 和圖 2D 分別示出了根據本揭露的一些實施例在機械穩定的雙側 3D MIM 電容結構的平面圖、正交側視圖以及對角線側視圖。

圖 3 至圖 9、圖 10A 和圖 10B、圖 11A 和圖 11B、圖 12A、圖 12B 和圖 12C、圖 13A 和圖 13B、圖 14A 和圖 14B 以及圖 15A 和圖 15B 示出了根據本揭露的一些實施例在包括機械穩定的雙側 3D MIM 電容結構的 IC 裝置的各個製造階段的各種側視圖。

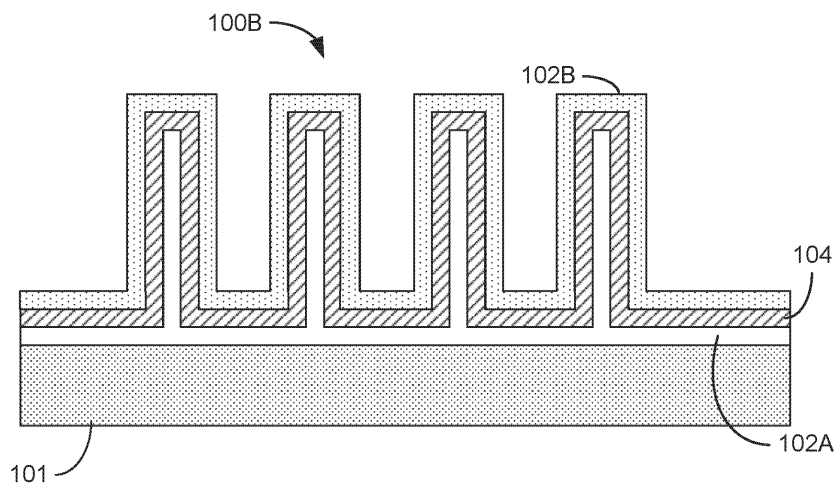
圖 16、圖 17A 和圖 17B 以及圖 18A 和圖 18B 示出了根據本揭露的附加實施例在包括機械穩定的雙側 3D MIM 電容結構的 IC 裝置的各個製造階段的各種側視圖。

圖 19 示出了根據本揭露的一些實施例的形成包括機械穩定的雙側 3D MIM 電容結構的 IC 裝置的方法。

(4)

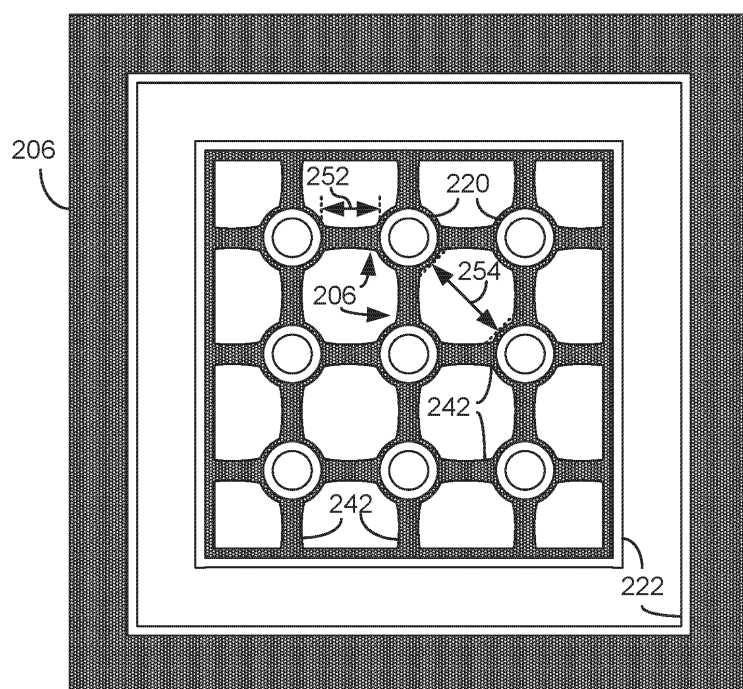


【圖1A】



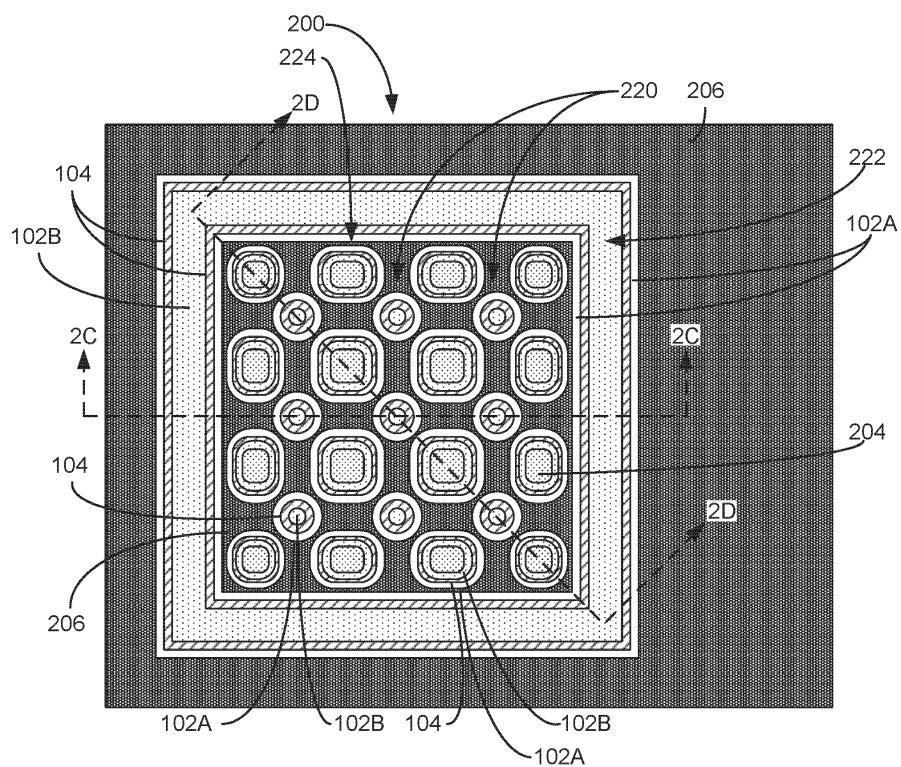
【圖1B】

(5)

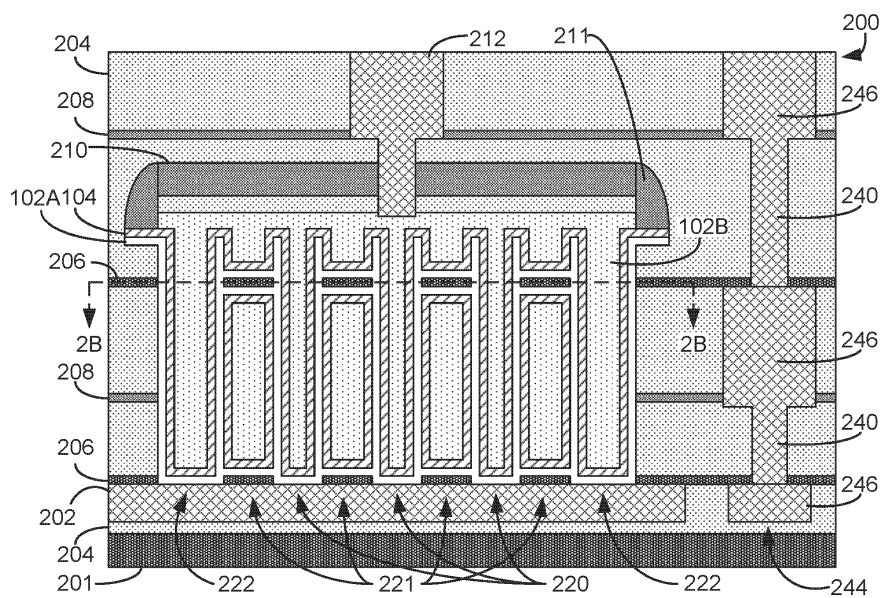


【圖2A】

(6)

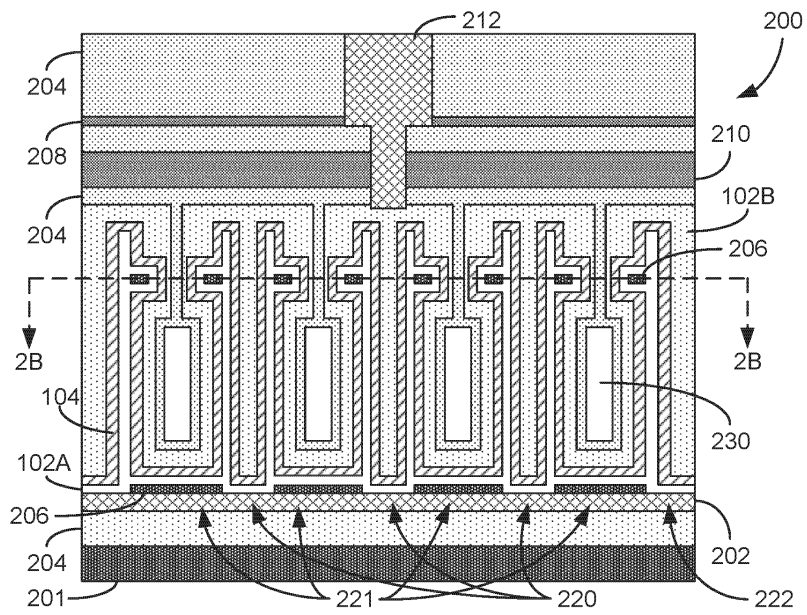


【圖2B】

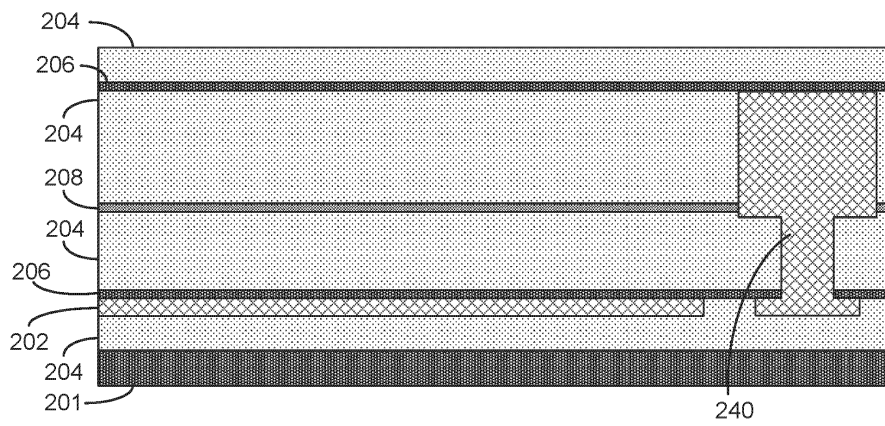


【圖2C】

(7)

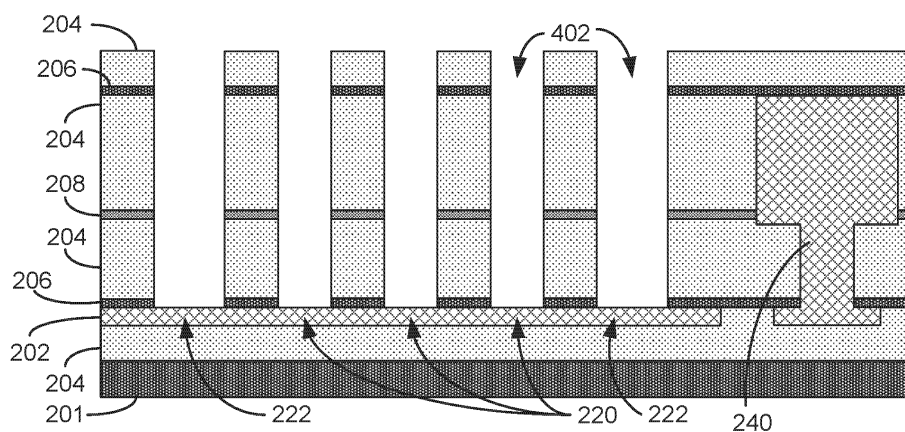


【圖2D】

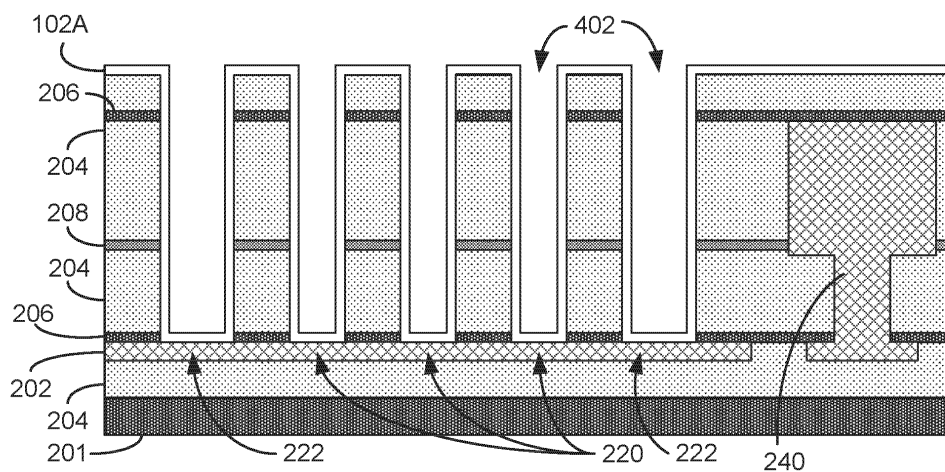


【圖3】

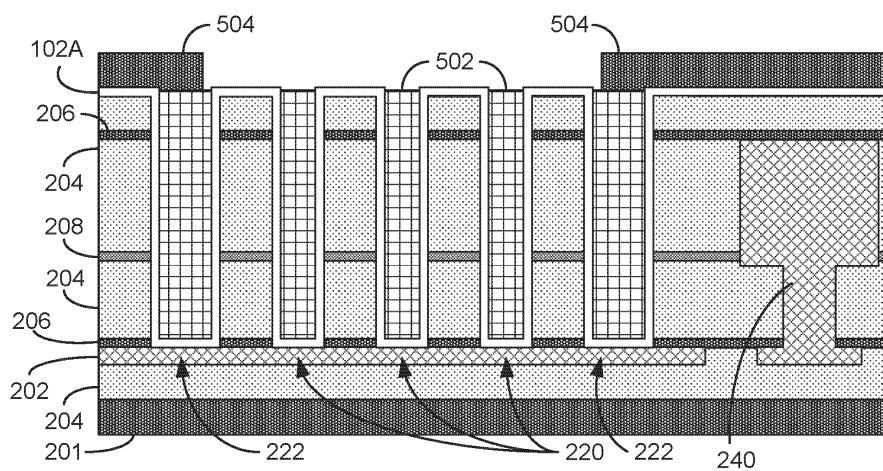
(8)



【圖4】

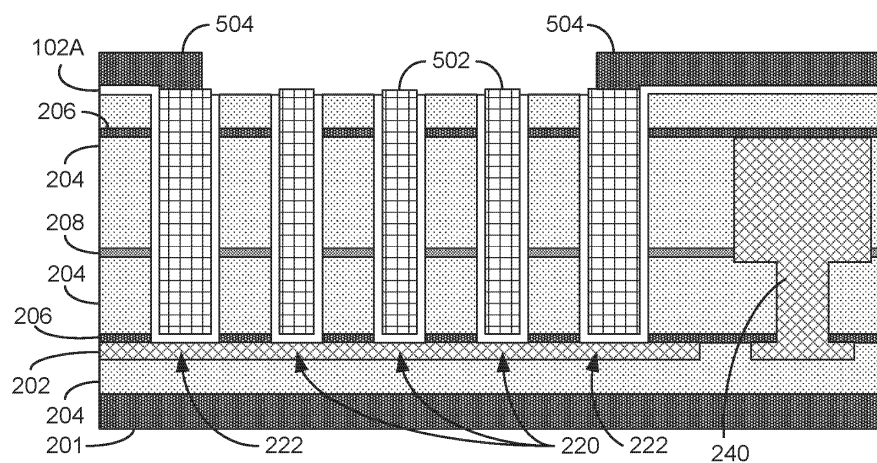


【圖5】

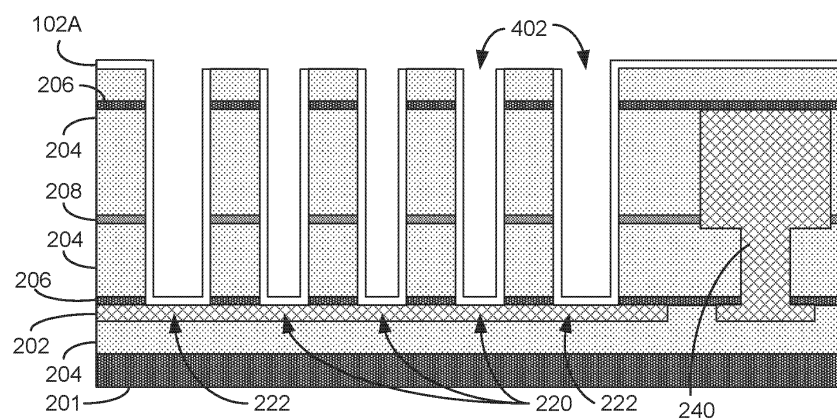


【圖6】

(9)

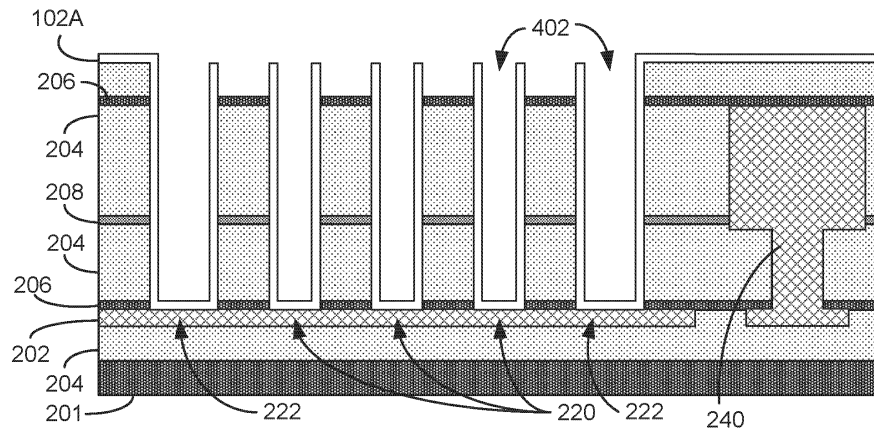


【圖7】

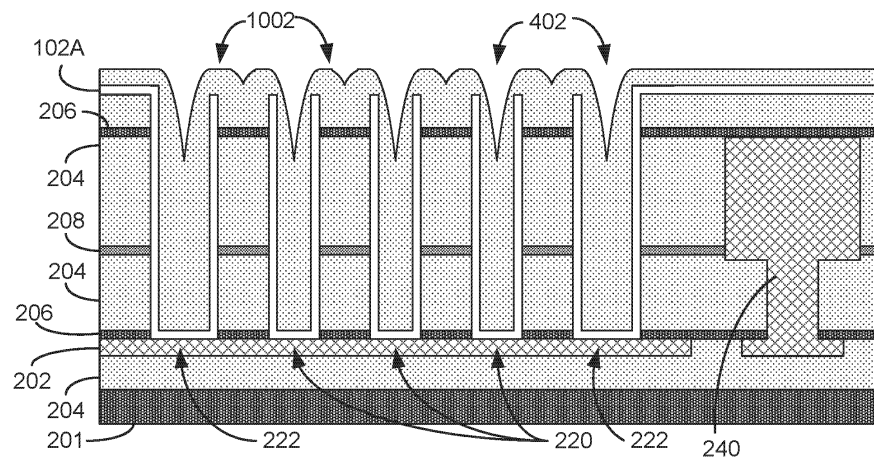


【圖8】

(10)

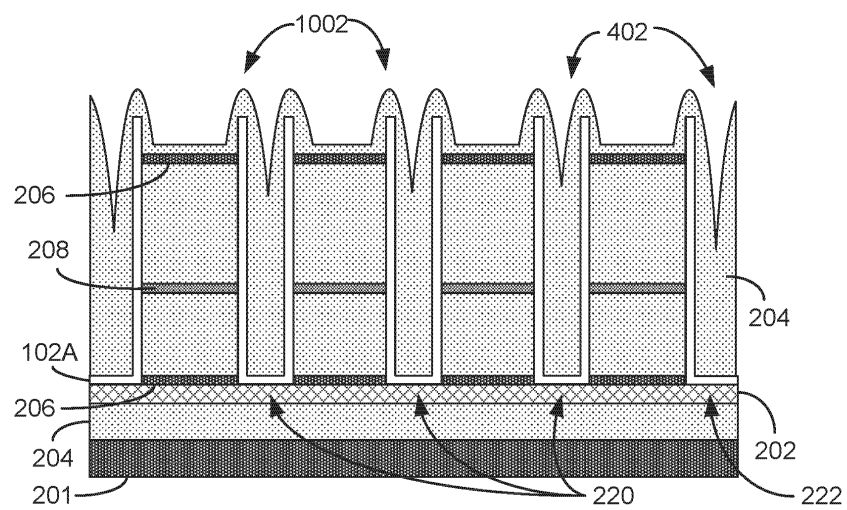


【圖9】

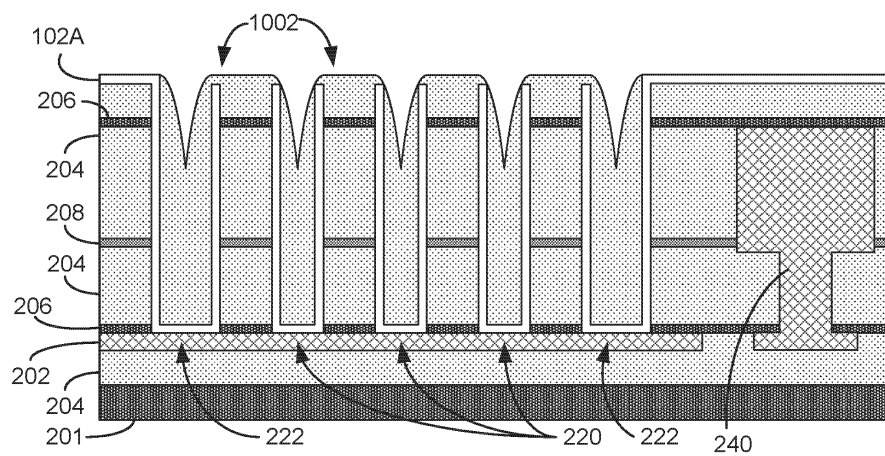


【圖10A】

(11)

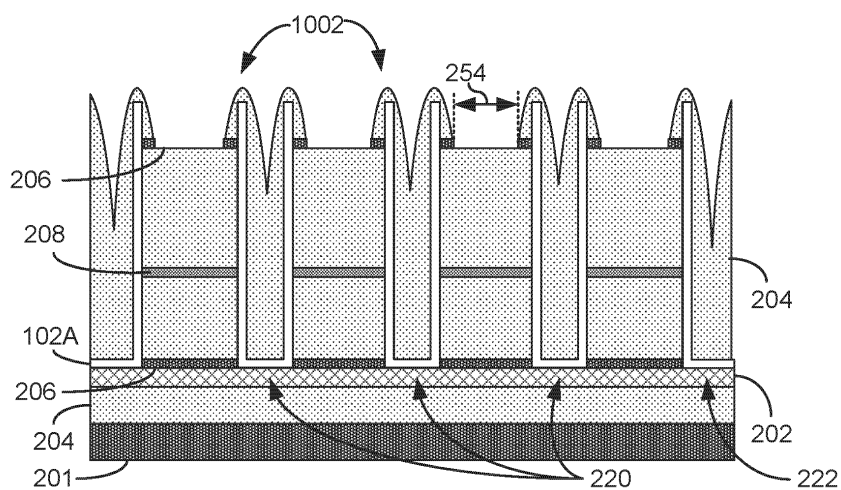


【圖10B】

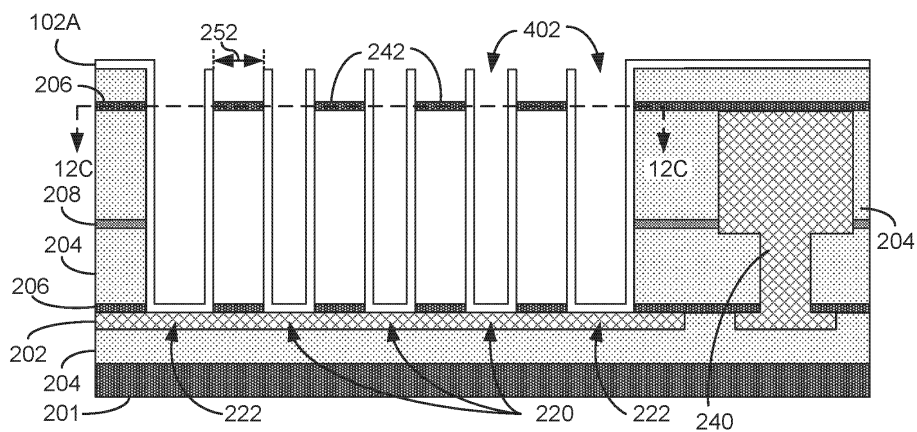


【圖11A】

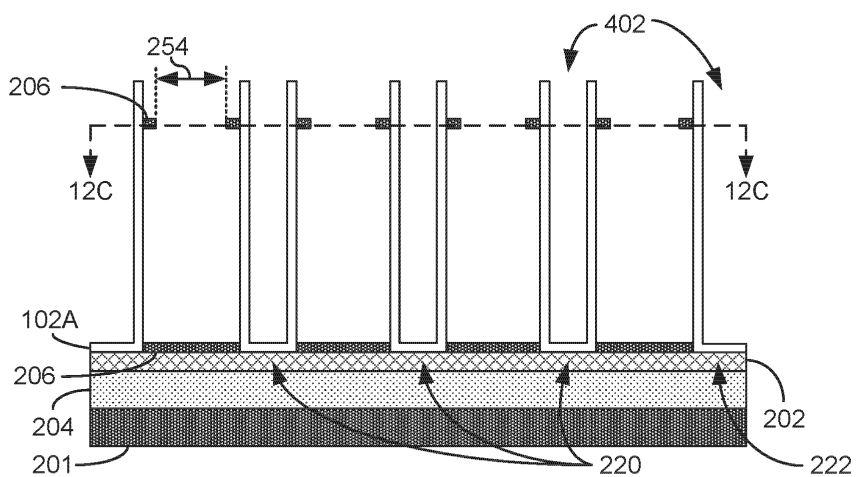
(12)



【圖11B】

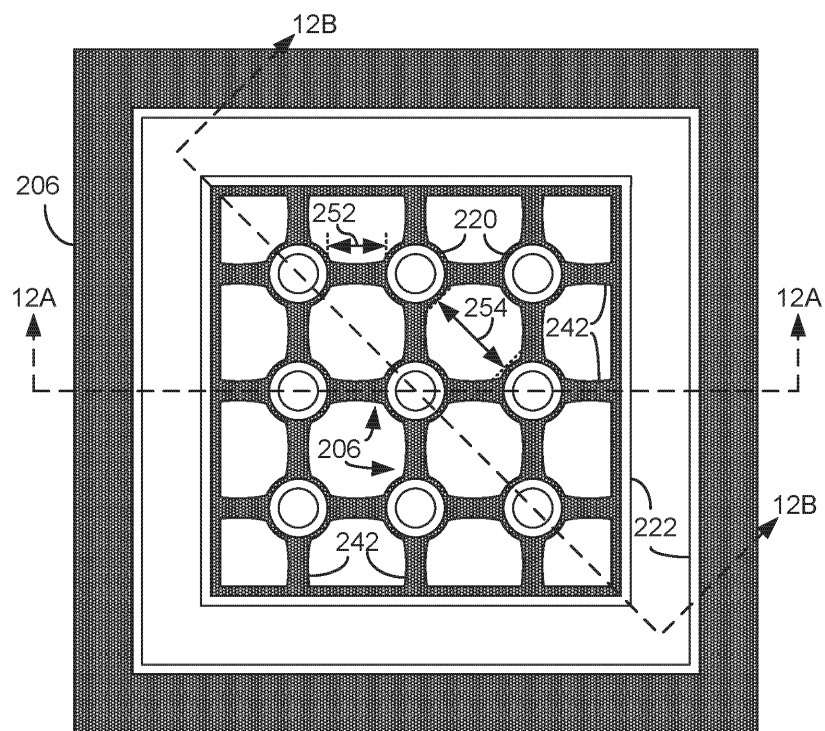


【圖12A】

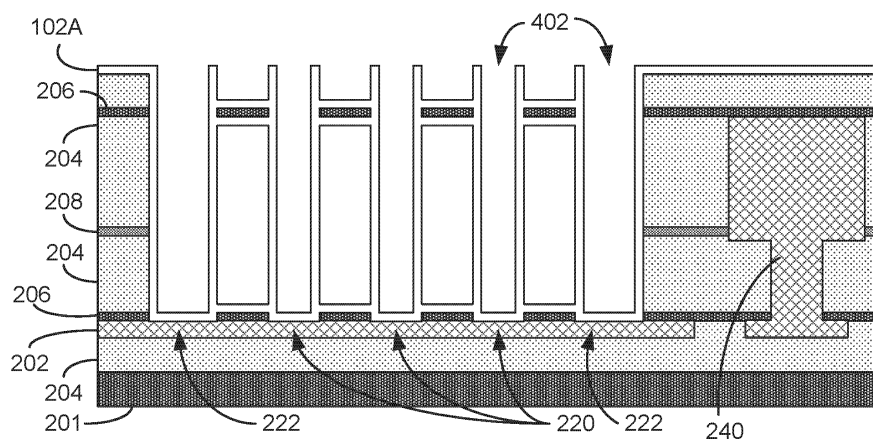


【圖12B】

(13)

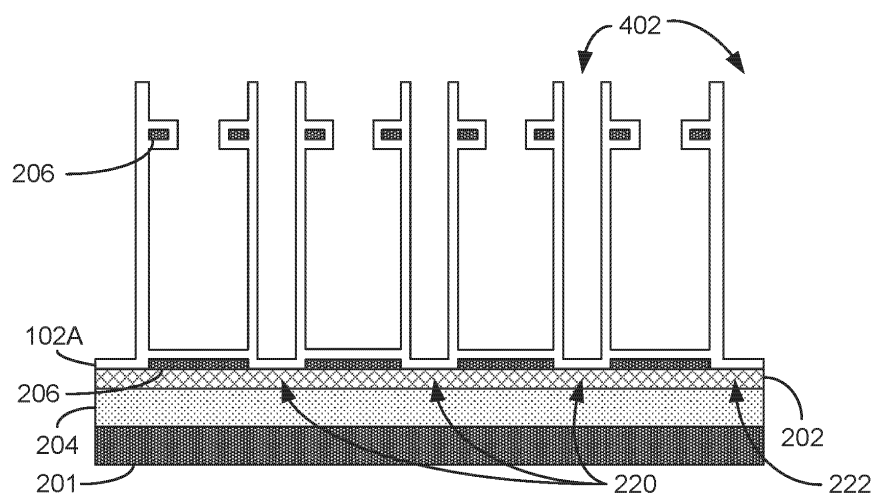


【圖12C】

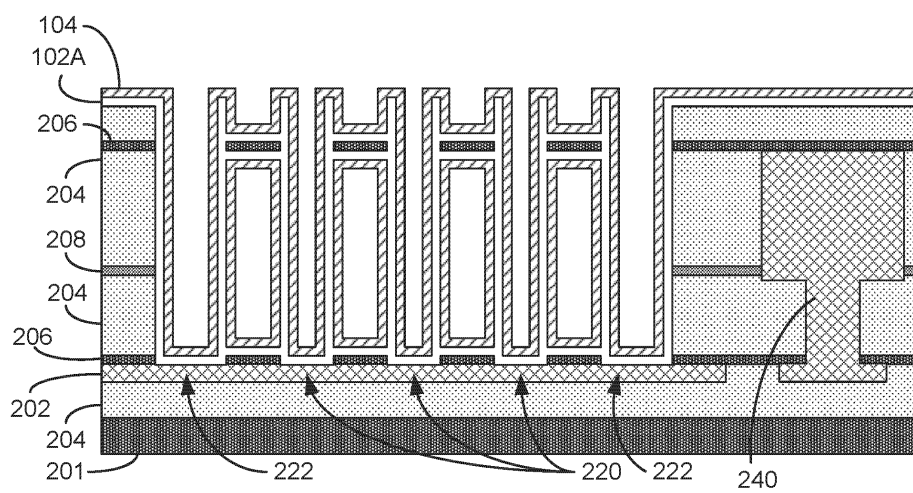


【圖13A】

(14)

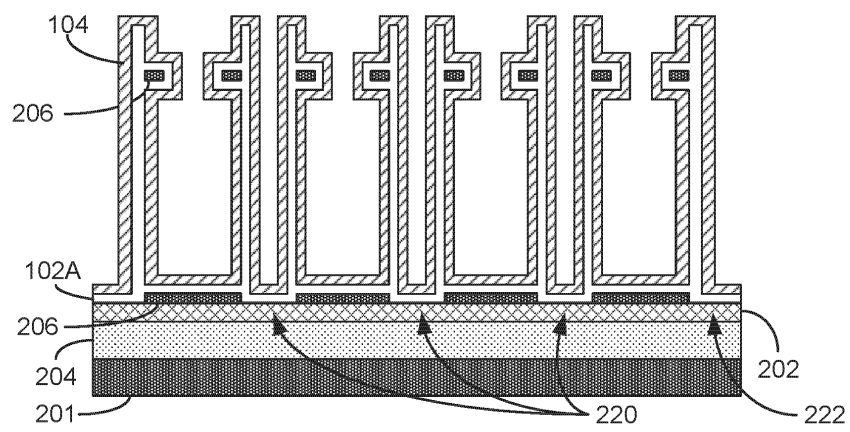


【圖13B】

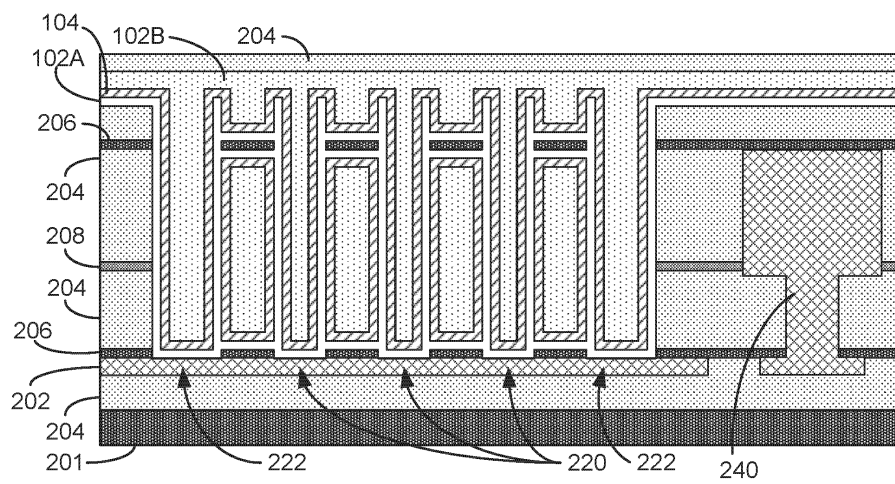


【圖14A】

(15)

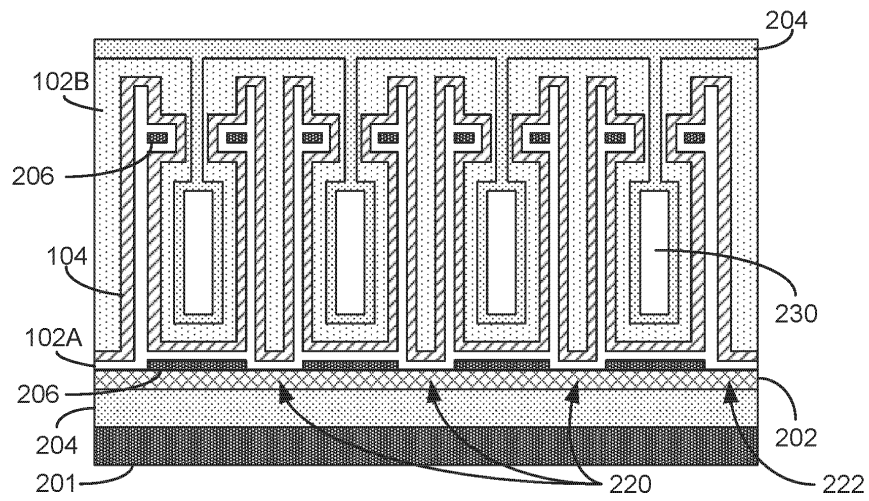


【圖14B】

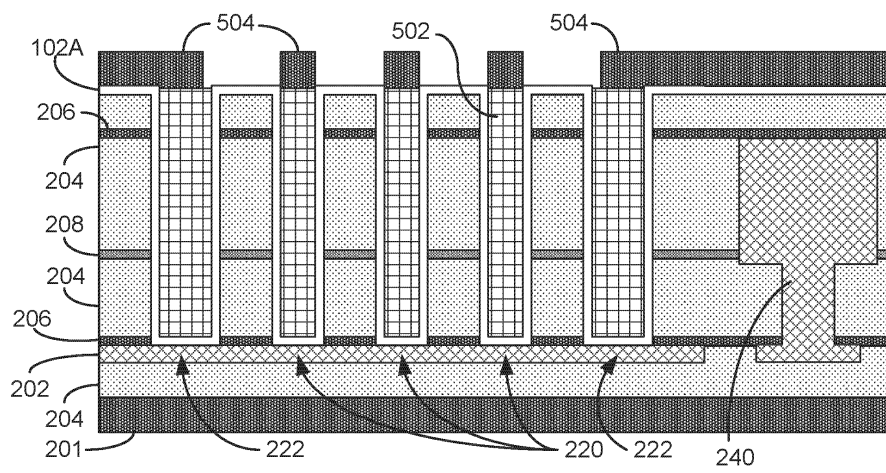


【圖15A】

(16)

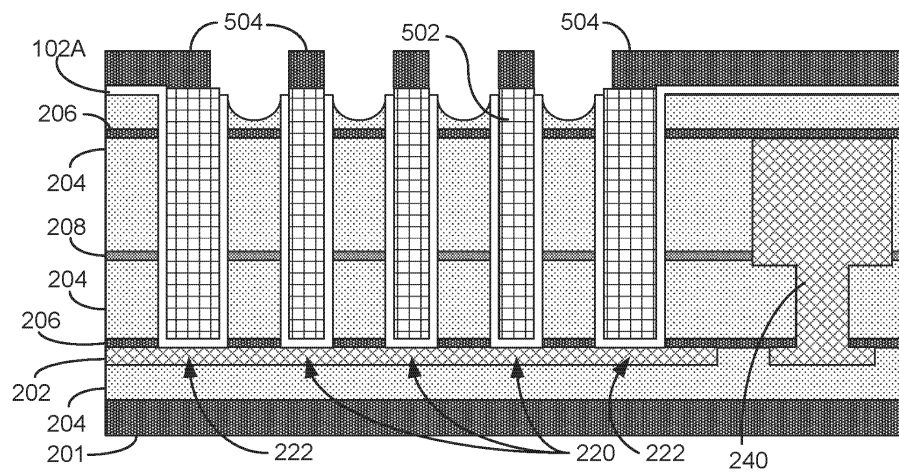


【圖15B】

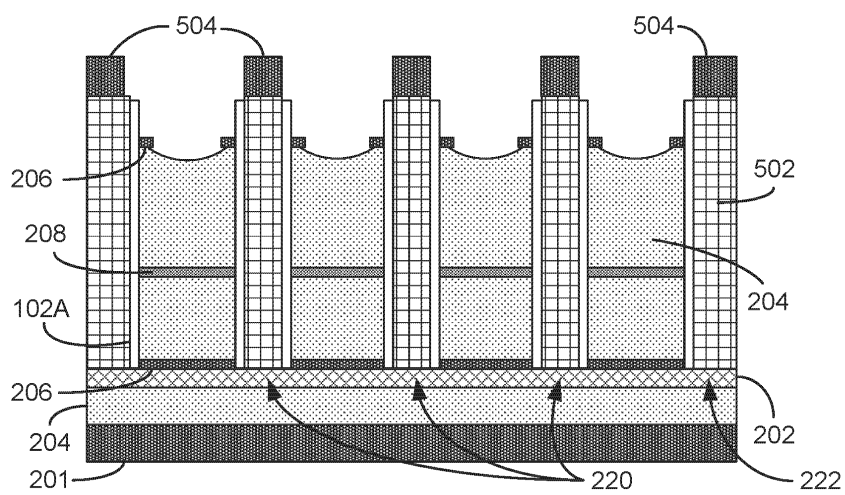


【圖16】

(17)

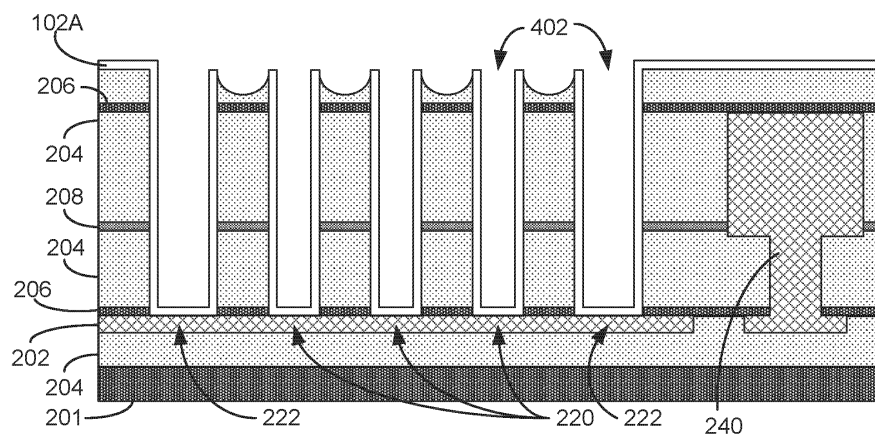


【圖17A】

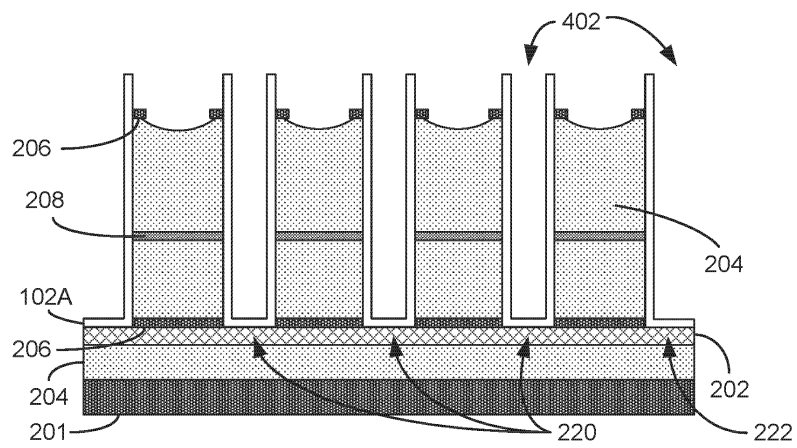


【圖17B】

(18)

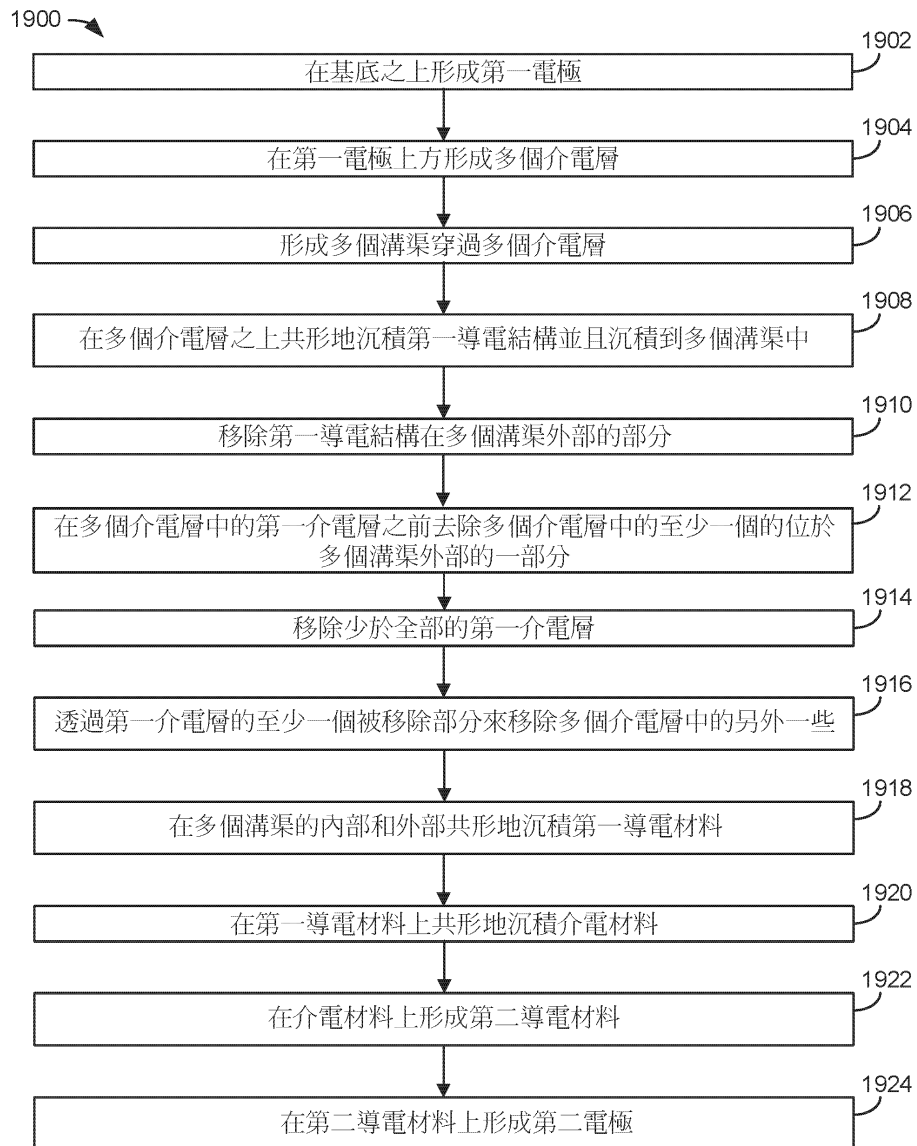


【圖18A】



【圖18B】

(19)



【圖19】