

【11】證書號數：I938779

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H05K1/14 (2006.01) H10W72/00 (2026.01)
H10W20/40 (2026.01)

發明

全 4 頁

【54】名稱：半導體裝置及半導體結構

【21】申請案號：114102178

【22】申請日：中華民國 114 (2025) 年 01 月 17 日

【11】公開編號：202619425

【43】公開日期：中華民國 115 (2026) 年 05 月 01 日

【30】優先權：2024/10/24

美國

63/711,325

【72】發明人：旋乃仁 (TW) HSUAN, NAI-JEN；楊文呈 (TW) YANG, WEN-CHENG

【71】申請人：瑞昱半導體股份有限公司 REALTEK SEMICONDUCTOR CORP.
新竹科學園區創新二路 2 號

【74】代理人：李文賢；盧建川

【56】參考文獻：

TW 248340U

TW I690253B

US 2016/0148967A1

審查人員：劉育瑜

【57】申請專利範圍

1. 一種半導體裝置，包含：
一基板；
一電路層，設置於該基板的上表面；
一介電層，設置於該電路層的上表面；
一走線層，設置於該電路層的上表面且位於該介電層中；
一金屬緩衝層，設置於該走線層的上表面且位於該介電層中；及
一金屬打線墊，設置於該金屬緩衝層的上表面。
2. 如請求項 1 所述的半導體裝置，其中該走線層包含多個垂直走線，該金屬緩衝層經由該些垂直走線連接於該電路層。
3. 如請求項 2 所述的半導體裝置，其中各該垂直走線連接於該電路層之輸入端或輸出端。
4. 如請求項 2 所述的半導體裝置，其中該走線層更包含多個水平走線。
5. 如請求項 4 所述的半導體裝置，其中至少一該水平走線係通過相鄰二該垂直走線之間。
6. 如請求項 4 所述的半導體裝置，其中至少一該水平走線連接於該電路層之電源端。
7. 如請求項 4 所述的半導體裝置，其中至少一該水平走線連接於該電路層之接地端。
8. 如請求項 1 所述的半導體裝置，更包含一鈍化層，該鈍化層形成於該介電層上且包含一開口，該開口對應於該金屬打線墊。
9. 如請求項 1 所述的半導體裝置，其中該金屬打線墊的材質為鋁。
10. 一種半導體結構，包含：
如請求項 1 至 9 中任一項所述的半導體裝置；及
多個導線，打線連接於該半導體裝置的該金屬打線墊。

圖式簡單說明

圖 1 為半導體裝置之一實施例的剖面示意圖。

圖 2 為走線層之一實施例的俯視圖。

(2)

圖 3 為半導體結構之一實施例的剖面示意圖。

圖 4A 為金屬打線墊對應於開口的區域之一實施例的示意圖。

圖 4B 為金屬打線墊對應於開口的區域之另一實施例的示意圖。

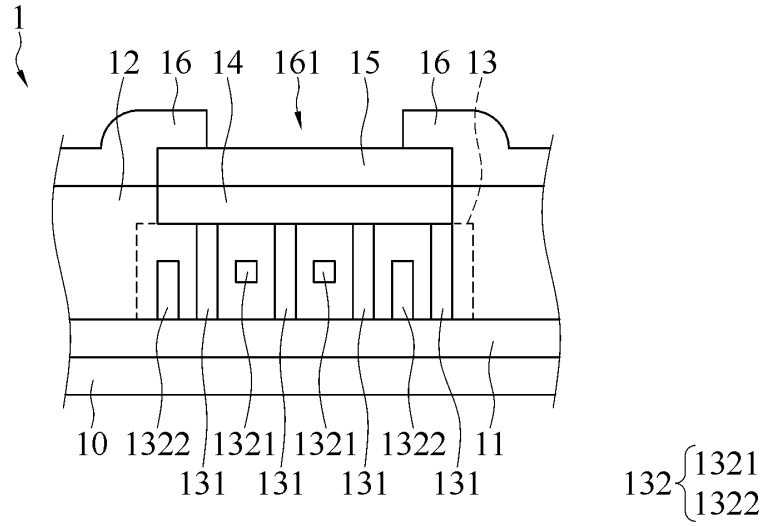


圖 1

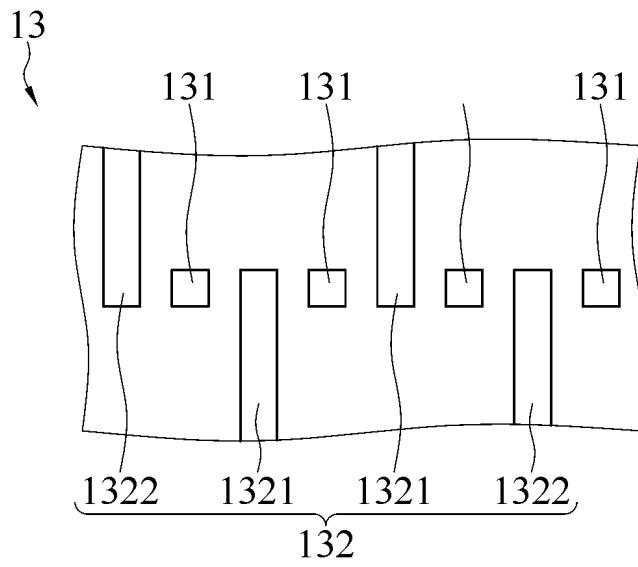


圖 2

(3)

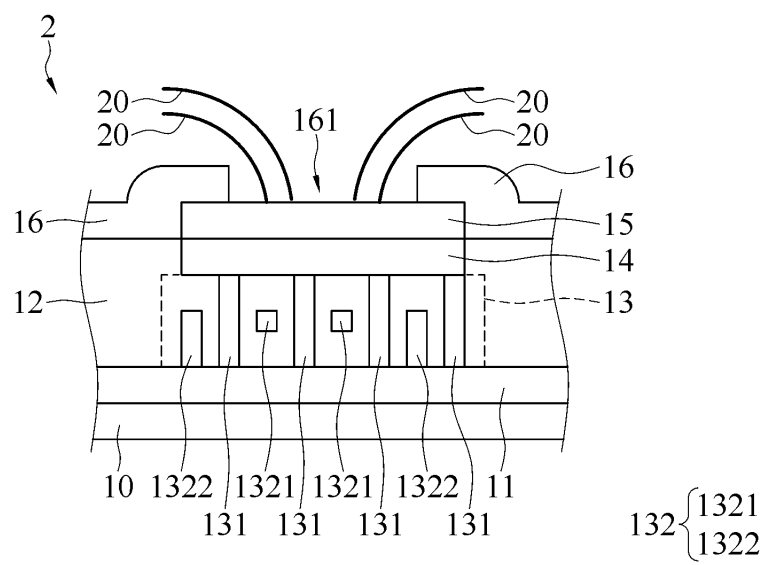


圖3

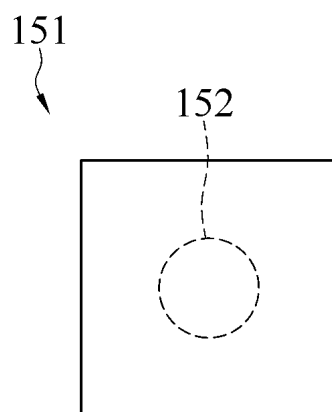


圖4A

(4)

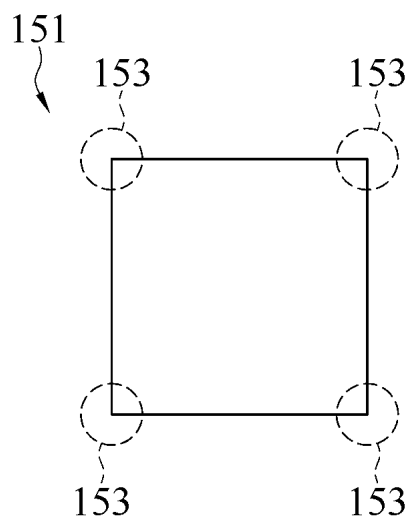


圖4B