

【11】證書號數：I938788

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10B53/00 (2023.01) H10B53/30 (2023.01)
H10B53/40 (2023.01) H10W20/43 (2026.01)
H10W72/50 (2026.01)

發明

全 18 頁

【54】名稱：半導體裝置結構及其形成方法

【21】申請案號：114102794

【22】申請日：中華民國 114 (2025) 年 01 月 22 日

【11】公開編號：202539379

【43】公開日期：中華民國 114 (2025) 年 10 月 01 日

【30】優先權：2024/02/07

美國

18/435,128

【72】發明人：廖詩瑀 (TW) LIAO, SHIH-YU；程仲良 (TW) CHENG, CHUNG-LIANG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR

MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 201112745A

TW 201123429A

TW 202201742A

TW 202221733A

TW 202234676A

US 2023/0284455A1

US 2023/0371241A1

US 2023/0389336A1

US 2023/0413531A1

US 2024/0040799A1

審查人員：李景松

【57】申請專利範圍

- 一種半導體裝置結構，包括：
一裝置層，具有一第一側及與該第一側相對的一第二側；
一第一互連結構，設置在該裝置層的該第一側上方，且該第一互連結構包括：
一第一互連級層；
一第二互連級層，設置在該第一互連級層上方，其中該第二互連級層包括垂直型的複數個記憶體單元裝置的一陣列；以及
一第三互連級層，設置在該第二互連級層上方；
一介電材料層，設置在該裝置層的該第二側上方，其中該介電材料層包括耦接到一電源的一電源軌；以及
一記憶體裝置層，設置在該介電材料層上方，其中該記憶體裝置層包括垂直型的複數個記憶體單元裝置的一陣列。
- 如請求項 1 所述之半導體裝置結構，其中各該記憶體單元裝置電性連接至一位元線，且各該記憶體單元裝置被一字元線環繞，且該位元線沿著垂直或不垂直於該字元線的一第二方向的一第一方向延伸。
- 如請求項 1 所述之半導體裝置結構，其中各該記憶體單元裝置是具有被一介電材料層環繞的一通道區的一閘極全環電晶體結構，且該通道區垂直設置在一頂部源極/汲極部件與一底部源極/汲極部件之間。
- 如請求項 3 所述之半導體裝置結構，其中該些記憶體單元裝置的該陣列包括垂直堆疊的至少兩該閘極全環電晶體結構。

(2)

5. 如請求項 1 所述之半導體裝置結構，進一步包括：
一第二互連結構，設置在該裝置層的該第二側上方。
6. 一種半導體裝置結構，包括：
一裝置層，具有一第一側及與該第一側相對的一第二側；
一第一互連結構，設置鄰近於該裝置層的該第一側；
一介電材料層，設置在該裝置層的該第二側上方，其中該介電材料層包括耦接到一電源的一電源軌；
一記憶體裝置層，設置在該介電材料層上方，且該記憶體裝置層包括：
一第一組的複數個記憶體單元裝置，設置在沿著一第一方向延伸的一第一行中，其中各該記憶體單元裝置具有被一第一鐵電材料層圍繞且垂直設置的一通道區；以及
一位元線，耦接至該第一組的該些記憶體單元裝置，並沿著該第一方向延伸；以及
一第二互連結構，設置在該記憶體裝置層上方。
7. 如請求項 6 所述之半導體裝置結構，進一步包括：
一字元線，設置沿著與該第一方向不同的一第二方向延伸。
8. 如請求項 7 所述之半導體裝置結構，其中該第一方向不垂直於該第二方向。
9. 如請求項 6 所述之半導體裝置結構，進一步包括：
一第二組的複數個記憶體單元裝置，設置在沿著該第一方向延伸的該第一行中，其中該第二組的該些記憶體單元裝置中的各該記憶體單元裝置具有被一第二鐵電材料層圍繞且垂直設置的一通道區，且該第一組的該些記憶體單元裝置中的該些記憶體單元裝置的至少其中一者及該第二組的該些記憶體單元裝置中的該些記憶體單元裝置的至少其中一者垂直堆疊且彼此連接。
10. 一種形成半導體裝置結構的方法，包括：
在一裝置層的一第一側上方提供一第一互連結構，其中該裝置層具有包含一或複數個邏輯裝置的一基板；
將該第一互連結構附接至一載體基板；
翻轉該載體基板，使得該裝置層的一第二側朝上以暴露該基板的一背面；
從該背面去除一部分的該基板；
在該基板的該背面上方形成一介電材料層，其中該介電材料層包括耦接到一電源的一電源軌；
在該介電材料層上方形成一記憶體裝置層，其中該記憶體裝置層包括垂直型的複數個記憶體單元裝置的一陣列；以及
在該記憶體裝置層上方提供一第二互連結構。

圖式簡單說明

當結合附圖閱讀時，可以透過以下詳細說明中更好地理解本揭露的實施例。值得注意的是，根據實務上的標準做法，各特徵並未按照比例繪製。事實上，為了討論的清楚起見，可以任意增加或減少各種特徵的尺寸。

第 1A 圖繪示了根據一些實施例的 1-電晶體(1-transistor, 1T)型的鐵電隨機存取記憶體(Ferromagnetic random access memory, FeRAM)電路的示例性電路圖；

第 1B 圖示出了採用第 1A 圖所示的複數個 1T 型 FeRAM 電路的記憶體裝置陣列；

第 2A 圖至第 2C 圖是根據本揭露的一些實施例的示例性半導體裝置結構的垂直剖面圖；

第 3A 圖是沿著第 3C 圖的平面 A-A 所截取的示例性半導體裝置結構的垂直剖面圖；

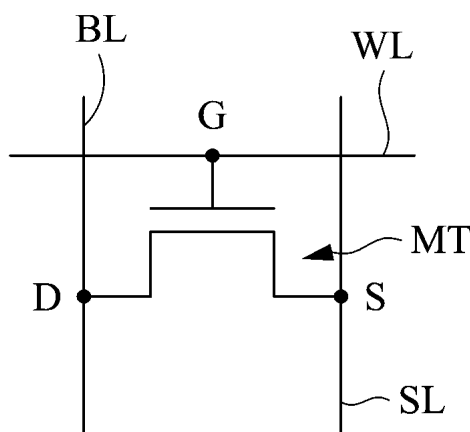
第 3B 圖是沿著第 3C 圖的平面 B-B 所截取的示例性半導體裝置結構的垂直剖面圖；

第 3C 圖是根據本揭露的一些實施例的示例性半導體裝置結構的水平剖面圖；

第 4A 圖是沿著第 4C 圖的平面 A-A 所截取的示例性半導體裝置結構的垂直剖面圖；

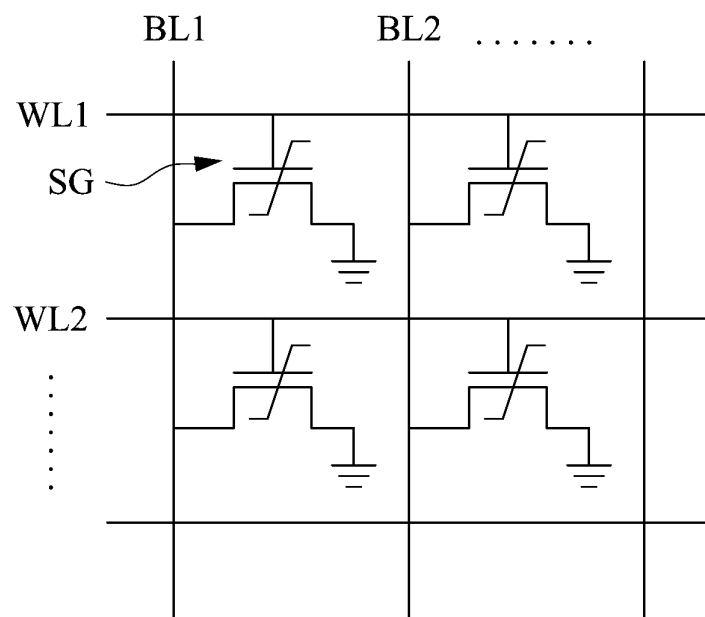
(3)

第 4B 圖是沿著第 4C 圖的平面 B-B 所截取的示例性半導體裝置結構的垂直剖面圖；
第 4C 圖是根據本揭露的一些實施例的示例性半導體裝置結構的水平剖面圖；
第 5 圖至第 17 圖是根據本揭露的一些實施例中在製造的各階段期間的示例性半導體裝置結構的垂直剖面圖；
第 18 圖繪示了根據第 17 圖的實施例的佈局設計的示意圖；
第 19 圖繪示了根據本揭露的一些實施例的佈局設計的示意圖；
第 20 圖繪示了根據一些實施例的示例性半導體裝置結構的垂直剖面圖；
第 21 圖至第 28 圖是根據本揭露的一些實施例的製造示例性半導體裝置結構的各階段的剖面側視圖；
第 29 圖繪示了根據本揭露的一些實施例的示例性半導體裝置結構的剖面側視圖；
第 30 圖繪示了根據本揭露的一些實施例的示例性半導體裝置結構的剖面側視圖；以及
第 30-1 圖繪示了根據本揭露的一些實施例的第 30 圖所示的半導體裝置結構的一部分的放大圖。

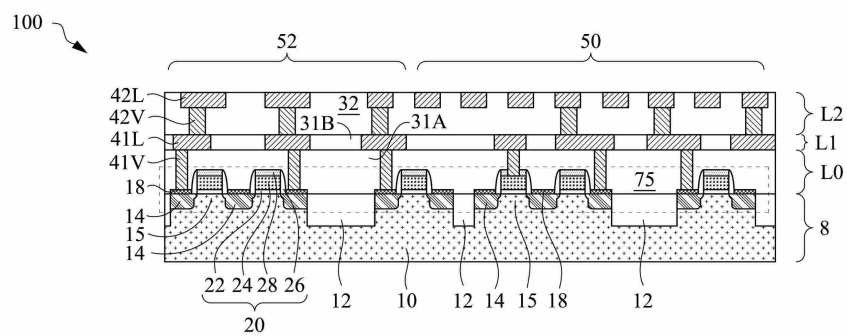


第 1A 圖

(4)

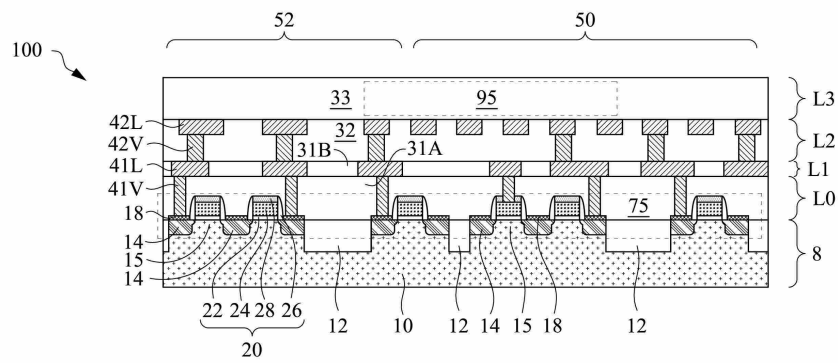


第 1B 圖

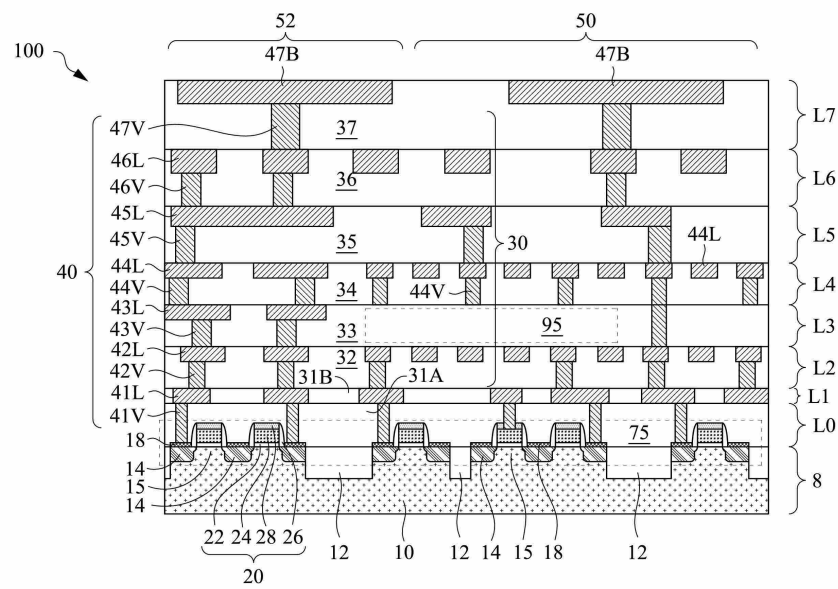


第 2A 圖

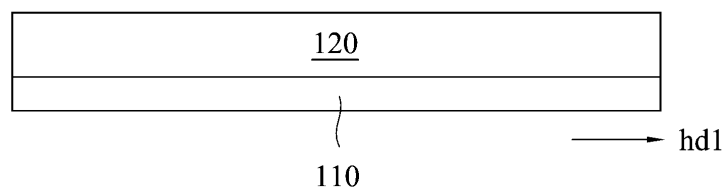
(5)



第 2B 圖

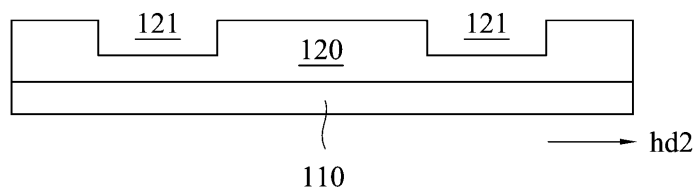


第 2C 圖

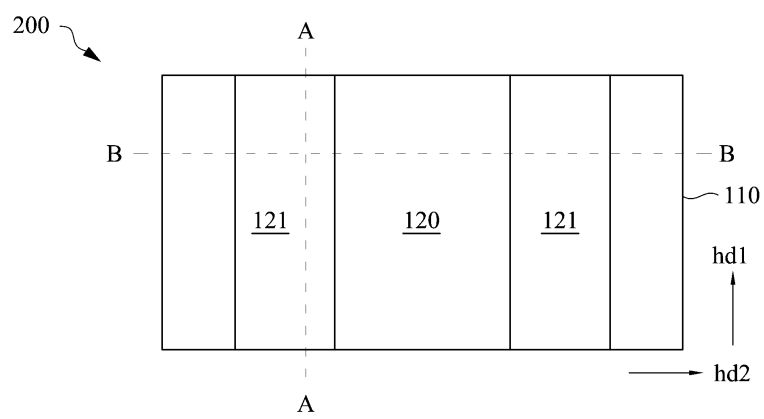


第 3A 圖

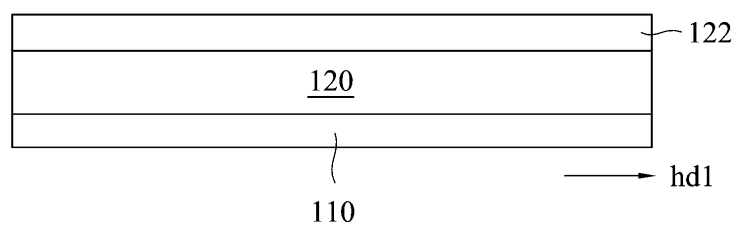
(6)



第 3B 圖

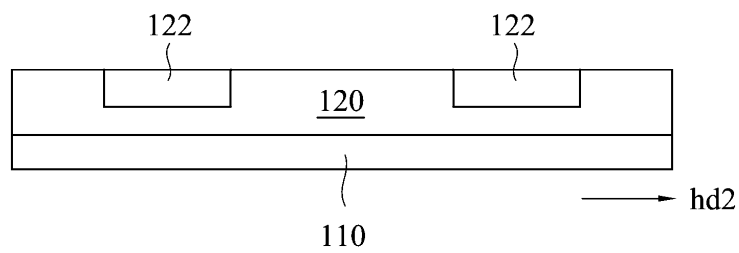


第 3C 圖

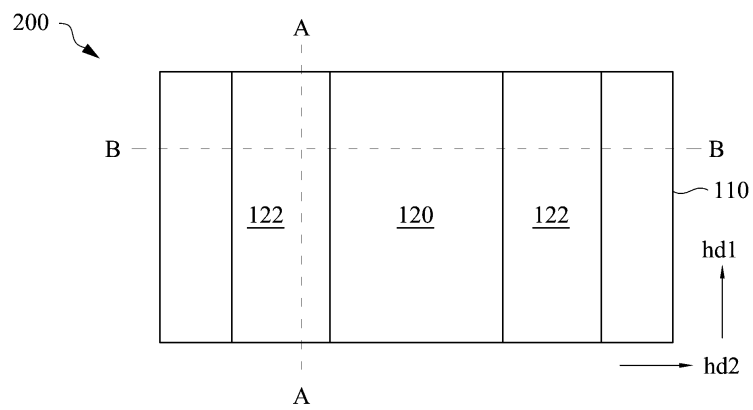


第 4A 圖

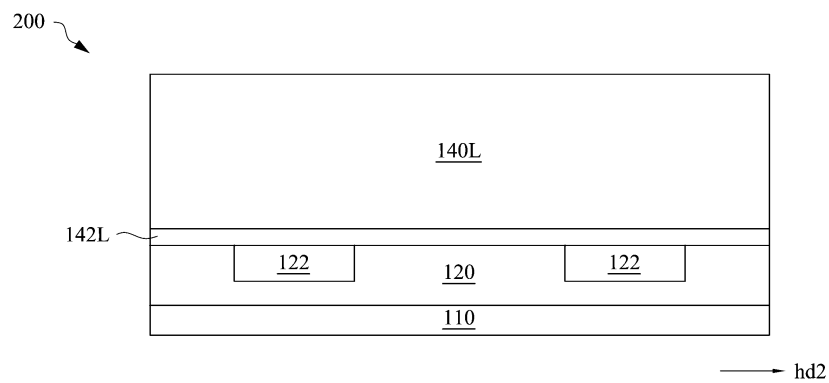
(7)



第 4B 圖

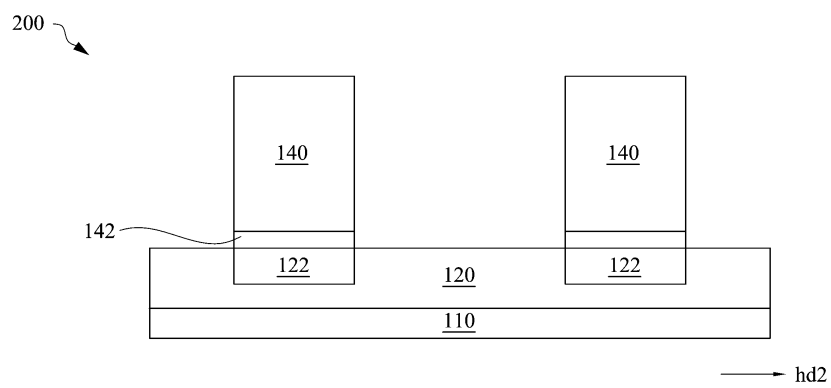


第 4C 圖

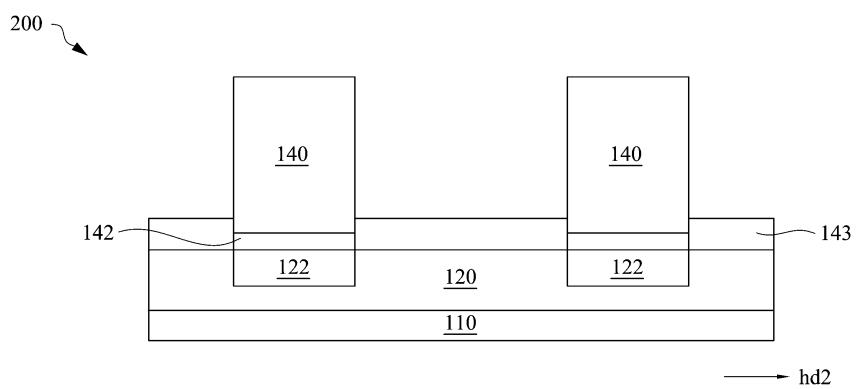


第 5 圖

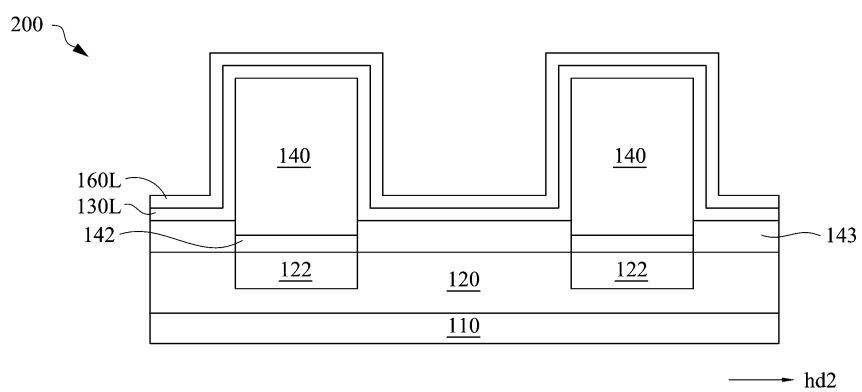
(8)



第 6 圖

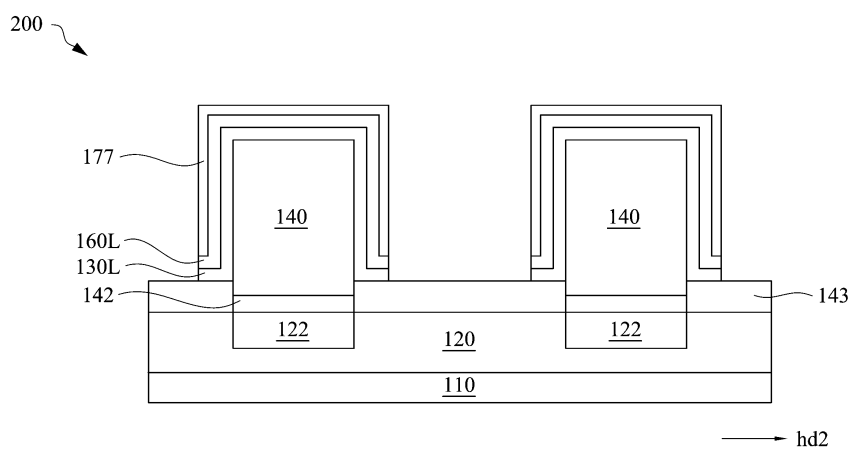


第 7 圖

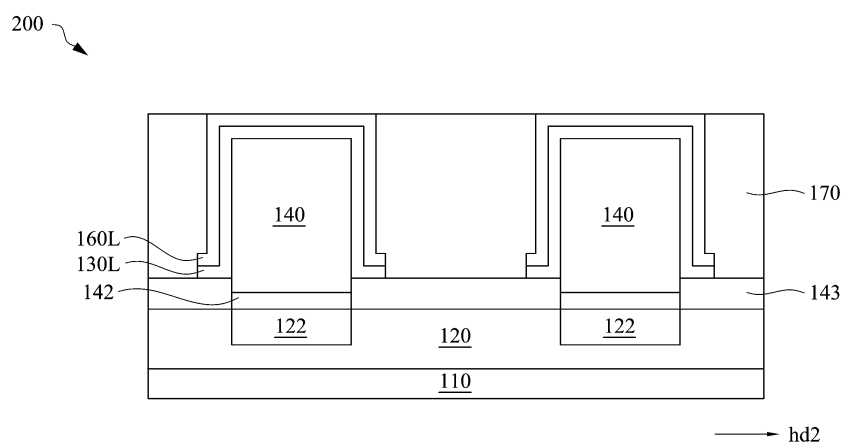


第 8 圖

(9)



第 9 圖



第 10 圖

200

171

160L

130L

142

140

122

120

110

170

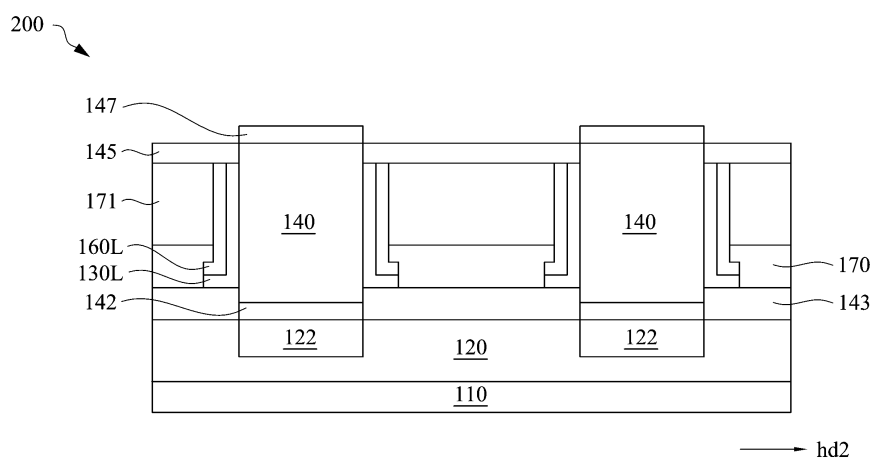
143

hd2

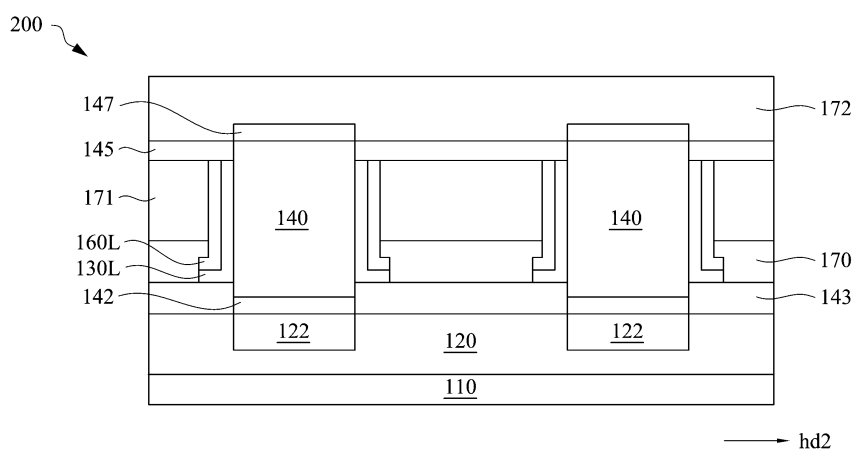
Figure 2 is a cross-sectional view of the semiconductor device 200 in a second direction $hd2$. The device includes a substrate 110, a base layer 120, and a gate stack 140. The gate stack 140 is composed of a gate dielectric layer 142, a gate conductive layer 143, and a capping layer 145. The gate conductive layer 143 is patterned to form gate electrodes 170. The capping layer 145 is patterned to form a gate cap 171. The base layer 120 is patterned to form a channel layer 122. The channel layer 122 is located beneath the gate electrodes 170. The device is shown in a cross-section along the direction $hd2$.

- 6451 -

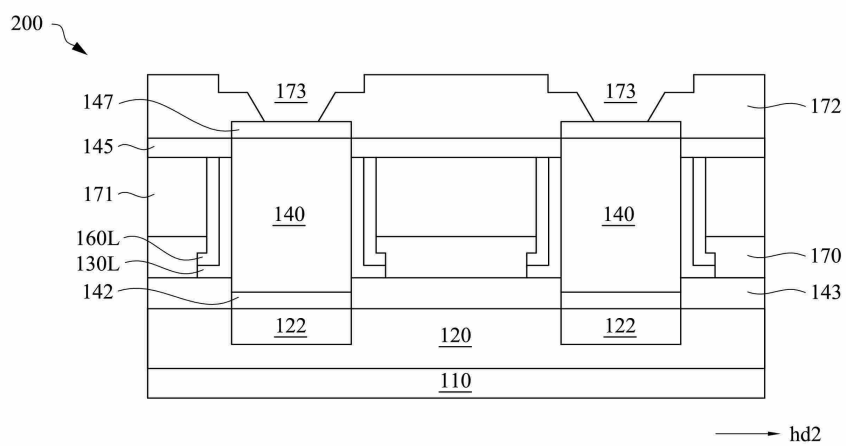
(11)



第 14 圖

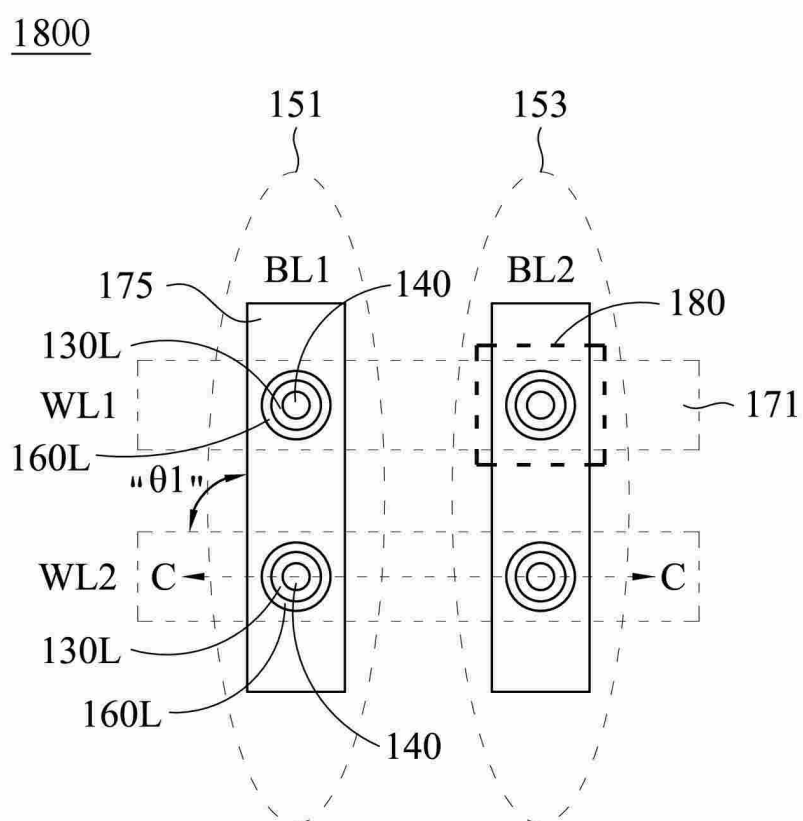


第 15 圖



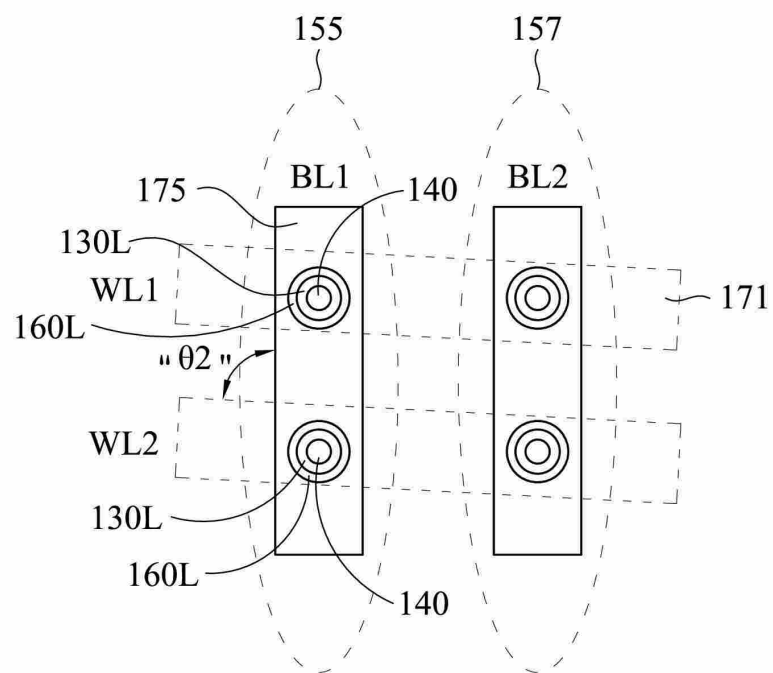
第 16 圖

第 17 圖



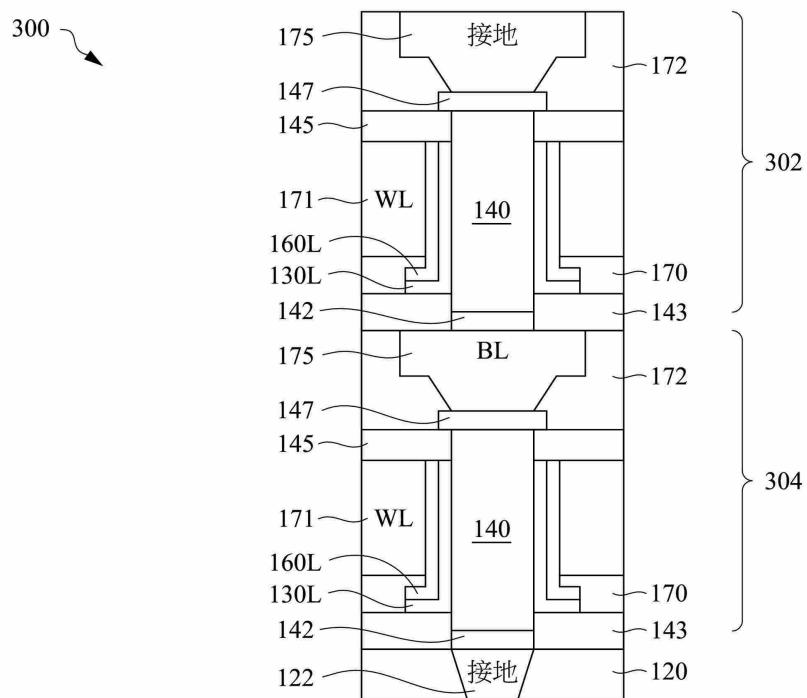
第 18 圖

1900

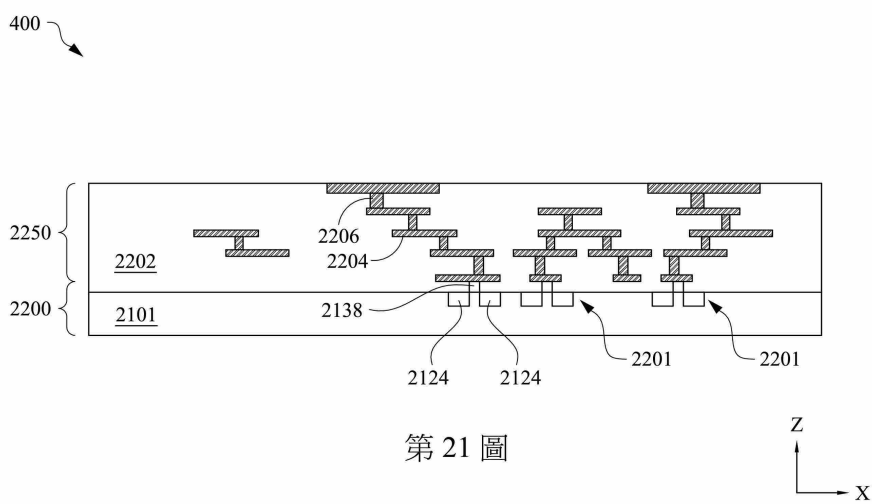


第 19 圖

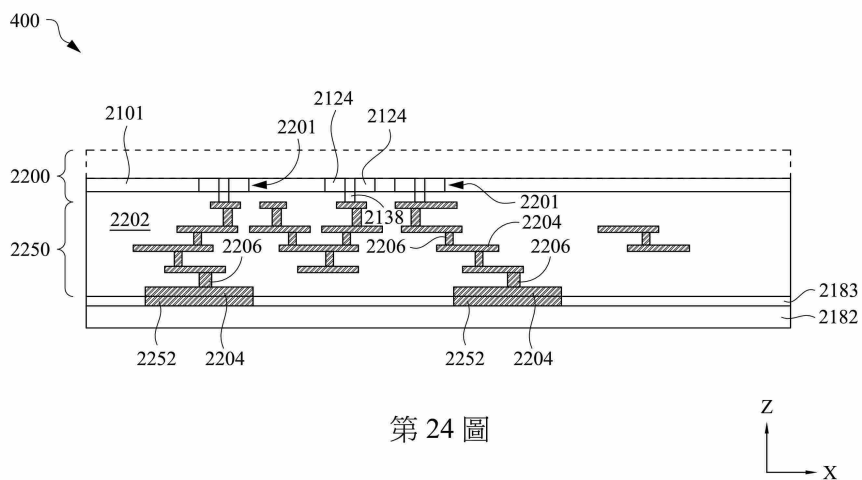
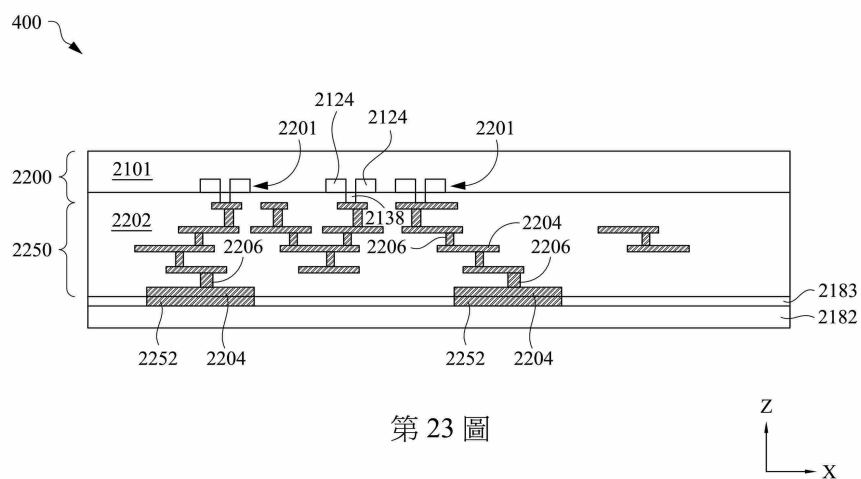
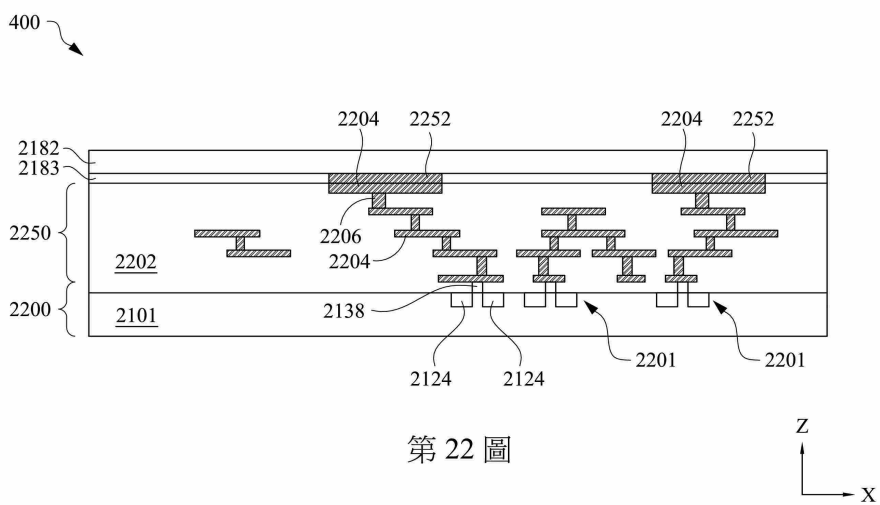
(14)



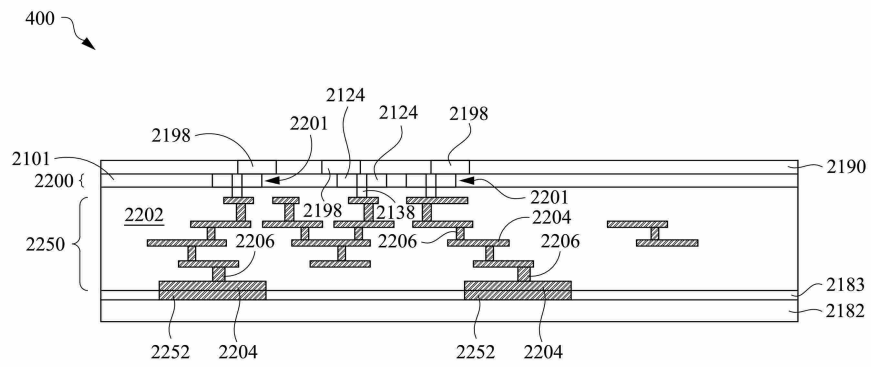
第 20 圖



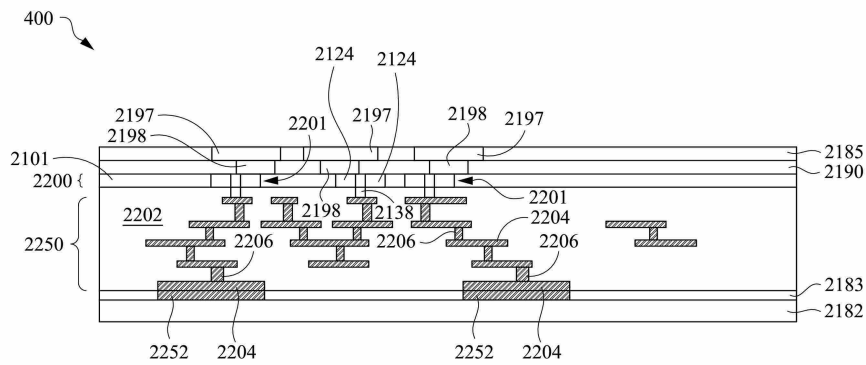
(15)



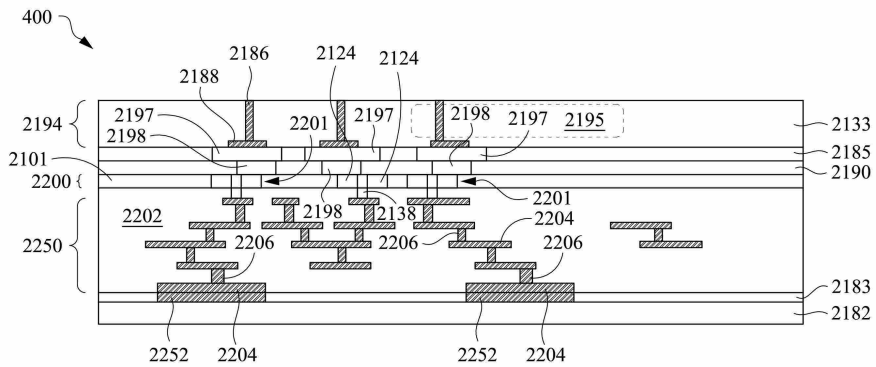
(16)



第 25 圖



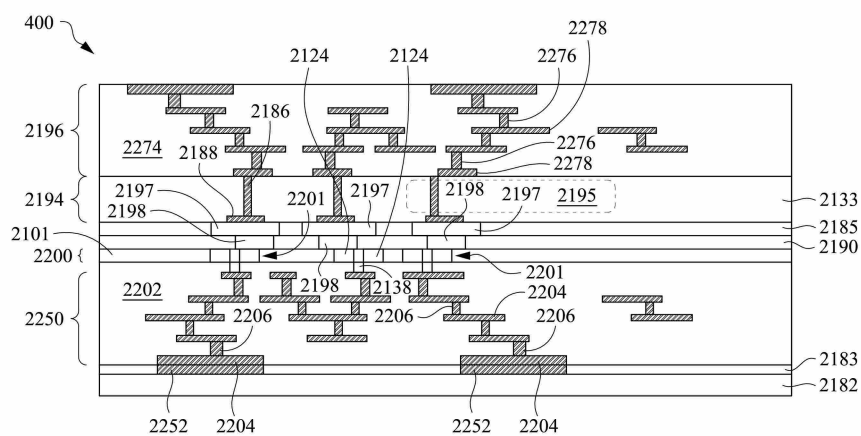
第 26 圖



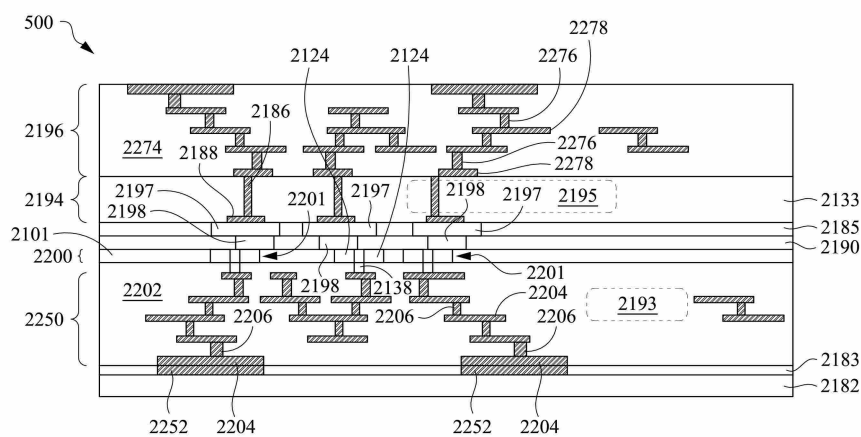
第 27 圖



(17)

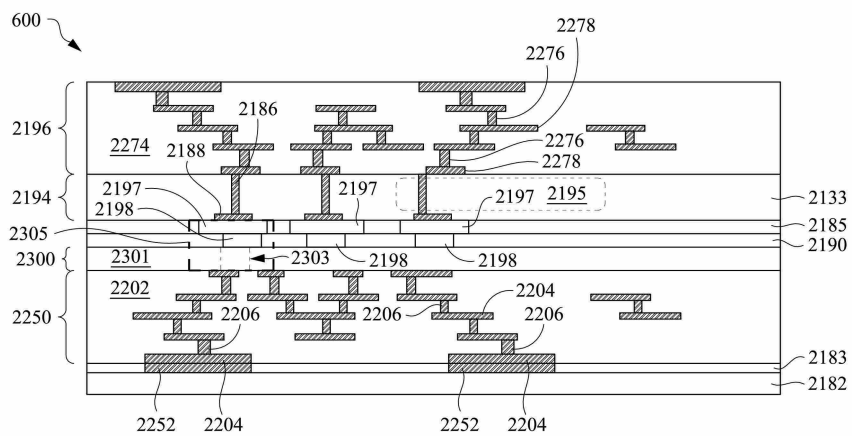


第 28 圖

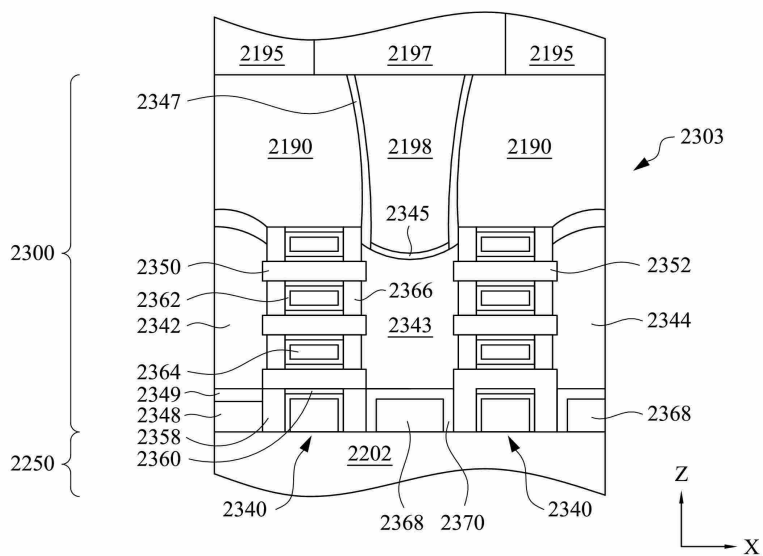


第 29 圖
(替代性實施例)

(18)



第 30 圖
(替代性實施例)



第 30-1 圖