

【11】證書號數：I938789

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/00 (2026.01) H10W10/00 (2026.01)
H10W20/20 (2026.01) H10W70/60 (2026.01)
H10W20/40 (2026.01) H10B80/00 (2026.01)

發明

全 17 頁

【54】名稱：半導體裝置及其形成方法

【21】申請案號：114102919

【22】申請日：中華民國 114 (2025) 年 01 月 23 日

【11】公開編號：202623624

【43】公開日期：中華民國 115 (2026) 年 06 月 01 日

【30】優先權：2024/11/27

美國

18/961,819

【72】發明人：黃立賢 (TW) HUANG, LI-HSIEN；陳冠宇 (TW) CHEN, KUAN-YU；陳錦賢 (TW) CHEN, CHIN-HSIEN；譚詠霖 (TW) TAN, YUNG-LIN；鄭錫圭 (TW) CHENG, HSI-KUEI

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：洪澄文；洪茂

【56】參考文獻：

TW 201145456A

US 2024/0258287A1

US 2024/0371916A1

審查人員：謝懷毅

【57】申請專利範圍

1. 一種形成半導體裝置的方法，包括：
形成一內連線晶粒，該內連線晶粒包括：
多個穿孔，部分地延伸穿過一半導體基板；
一內連線結構，位在該半導體基板上；以及
多個晶粒連接元件，位在該內連線結構上方；
在該等晶粒連接元件上施加一保護層；
圖案化該保護層，以在該等晶粒連接元件周圍形成多個保護覆層；
在該內連線晶粒及該等保護覆層上方及周圍形成一封裝材料；
執行一第一平坦化製程，使該封裝材料、該等保護覆層以及該等晶粒連接元件等高；以及
在該等晶粒連接元件上方形成一第一重分佈結構，且該第一重分佈結構與該等晶粒連接元件電性連接。
2. 如請求項 1 所述之形成半導體裝置的方法，其中該等保護覆層的一第一組之第一厚度大於該等保護覆層的一第二組之第二厚度。
3. 如請求項 2 所述之形成半導體裝置的方法，其中在一俯視剖面圖中，該第一組位於該內連線晶粒的一周邊區域附近，而在該俯視剖面圖中，該第二組位於該內連線晶粒的一中央區域附近。
4. 如請求項 2 所述之形成半導體裝置的方法，其中該等保護覆層的該第一組的一單一保護覆層覆蓋該等晶粒連接元件的一第一組，而該等保護覆層的該第二組以一對一的方式覆

(2)

蓋該等晶粒連接元件的一第二組，其中該等晶粒連接元件的該第一組之一第一圖案密度大於該等晶粒連接元件的該第二組之一第二圖案密度。

5. 一種形成半導體裝置的方法，包括：
形成一內連線晶粒，其中形成該內連線晶粒包括：
形成部分地通過一基板的一穿孔；
在該基板上方形形成一內連線結構；
在該內連線結構上方形成一第一晶粒連接元件與一第二晶粒連接元件；以及
在該第一晶粒連接元件上方形成一第一介電覆層，並在該第二晶粒連接元件上形成一第二介電覆層；
將該內連線晶粒附接到一承載基板上；
在該內連線晶粒上方及周圍形成一封裝材料；
平坦化該封裝材料，以露出該第一晶粒連接元件與該第二晶粒連接元件；
於該封裝材料、該第一晶粒連接元件、與該第二晶粒連接元件上方形成一第一重分佈結構；以及
將一積體電路晶粒附接到該第一重分佈結構上方。
6. 如請求項 5 所述之形成半導體裝置的方法，其中形成該第一介電覆層與該第二介電覆層包括：
在該第一晶粒連接元件與該第二晶粒連接元件上方沉積一介電層；以及
圖案化該介電層，以形成該第一介電覆層與該第二介電覆層。
7. 如請求項 5 所述之形成半導體裝置的方法，更包括於該內連線結構上方形成一第三晶粒連接元件，其中該第二介電覆層沿著該第二晶粒連接元件與該第三晶粒連接元件各自之側壁設置。
8. 一種半導體裝置，包括：
一背側重分佈結構，設置在一封裝基板上；
一封裝材料，設置在該背側重分佈結構上方；
一前側重分佈結構，設置在該封裝材料上方；
一膜封穿孔，內嵌於該封裝材料中，並將該前側重分佈結構電性耦接到該背側重分佈結構；以及
一內連線晶粒，內嵌於該封裝材料中，該內連線晶粒包括：
一半導體基板；
一內連線結構，設置在該半導體基板上；
一第一晶粒連接元件，設置在該內連線結構上方，並與該前側重分佈結構電性連接；以及
一第一介電覆層，直接介於該第一晶粒連接元件與該封裝材料之間，其中該第一介電覆層之一第一橫向厚度小於該第一晶粒連接元件之一第一橫向直徑。
9. 如請求項 8 所述之半導體裝置，其中該內連線晶粒更包括：
一第二晶粒連接元件，設置在該內連線結構上方；以及
一第二介電覆層，直接介於該第二晶粒連接元件與該封裝材料之間。
10. 如請求項 9 所述之半導體裝置，其中該第二介電覆層之一第二橫向厚度大於該第一介電覆層之該第一橫向厚度，其中該第二晶粒連接元件之一第二橫向直徑與該第一橫向直徑相同，其中該第一晶粒連接元件位於該內連線晶粒之一周邊區域附近，而該第二晶粒連接元件位於該內連線晶粒之一中央區域附近。

圖式簡單說明

(3)

以下將配合所附圖式詳述本揭露之實施例。應注意的是，依據在業界的標準做法，多種特徵並未按照比例繪示且僅用以說明例示。事實上，可能任意地放大或縮小元件的尺寸，以清楚地表現出本揭露的特徵。

第 1 圖為積體電路晶粒的剖面圖。

第 2A 圖至第 2B 圖為晶粒堆疊的剖面圖。

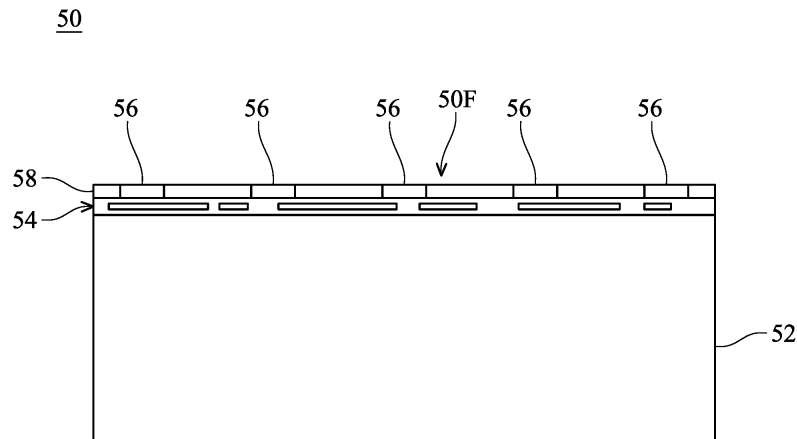
第 3A 圖至第 5C 圖為根據各種實施例製造內連線晶粒的中間階段視圖。

第 6 圖至第 14 圖為根據各種實施例製造積體電路封裝體的中間階段視圖。

第 15A 圖至第 15C 圖為根據各種實施例的內連線晶粒的剖面圖。

第 16A 圖與第 16B 圖為根據各種實施例的內連線晶粒的剖面圖。

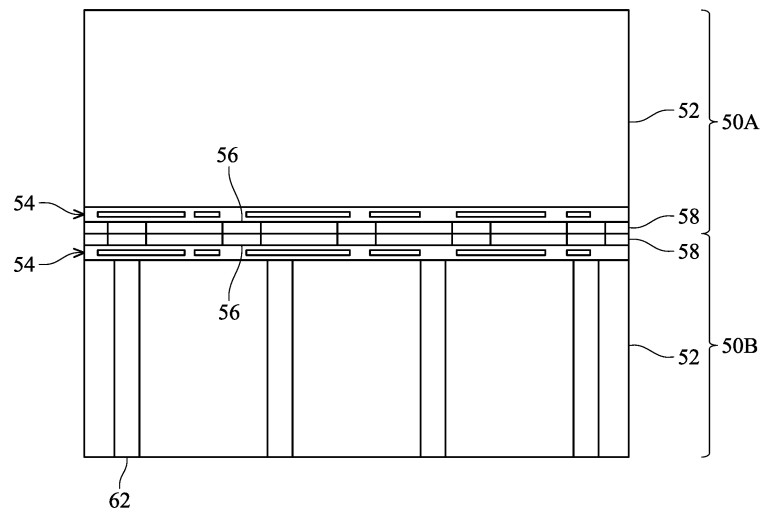
第 17A 圖至第 17C 圖為根據各種實施例的內連線晶粒的剖面圖。



第 1 圖

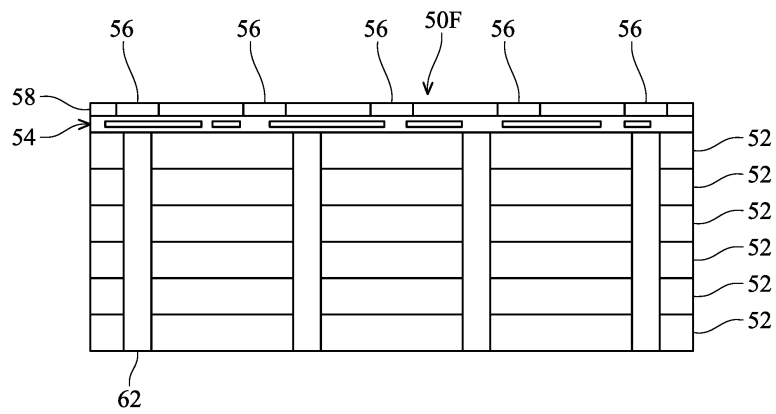
(4)

60A



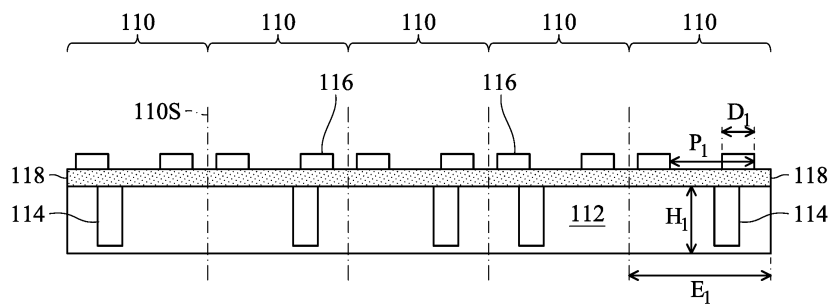
第 2A 圖

60B



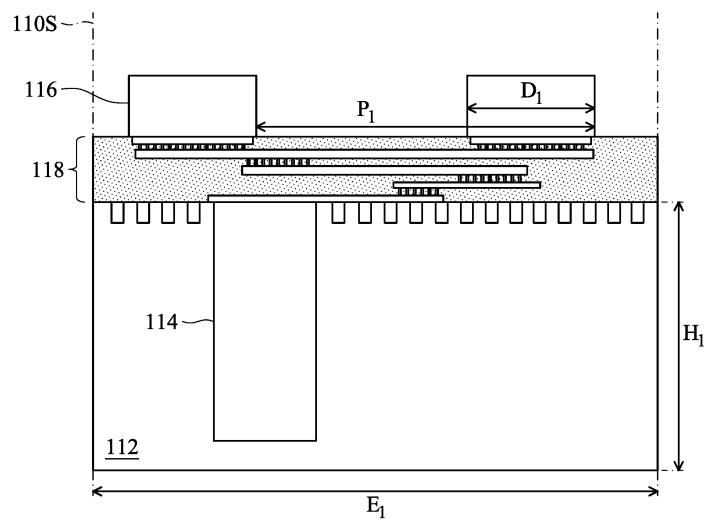
第 2B 圖

(5)



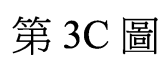
第 3A 圖

110



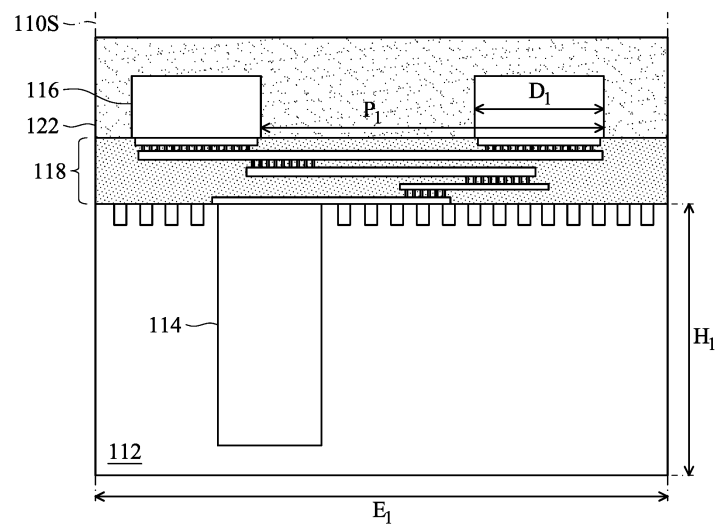
第 3B 圖

110



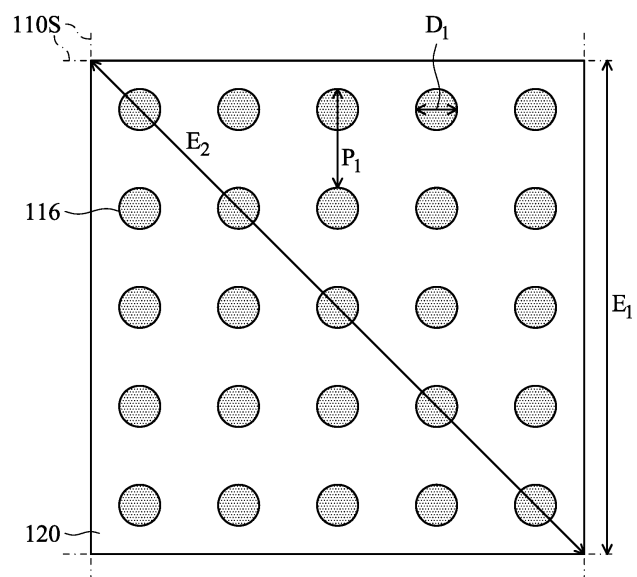
(7)

110



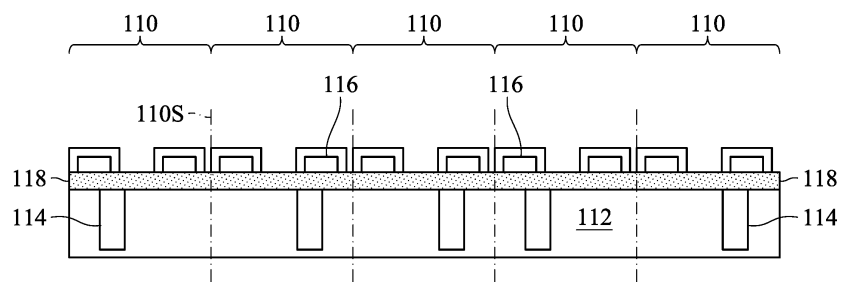
第 4B 圖

110



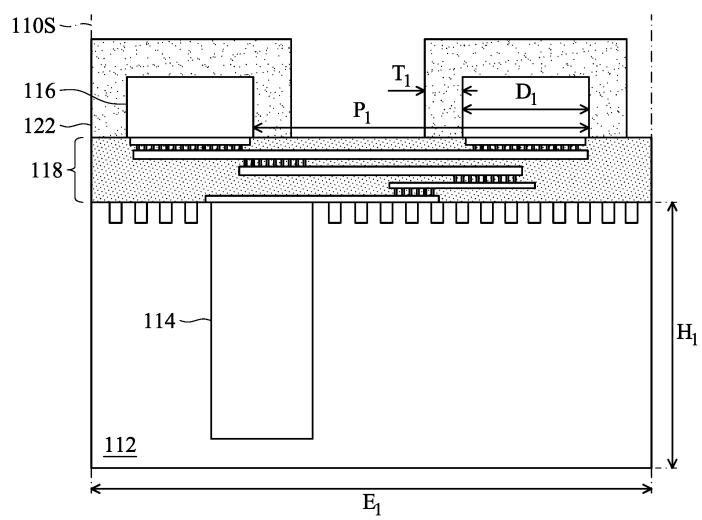
第 4C 圖

(8)



第 5A 圖

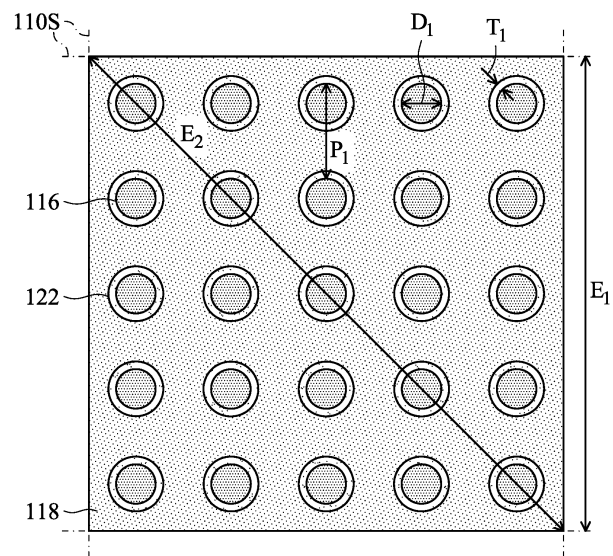
110



第 5B 圖

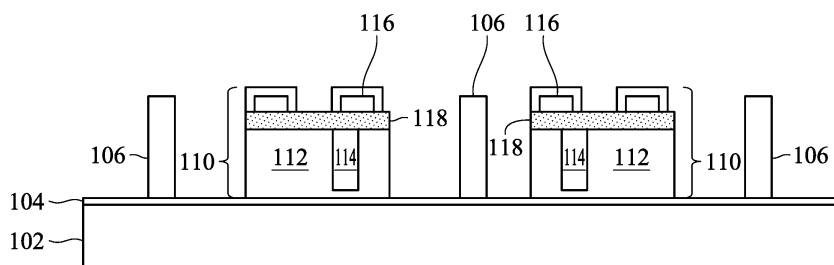
(9)

110



第 5C 圖

100P



第 6 圖

A cross-sectional view of a semiconductor device 100P. The device is built on a substrate 102, which is covered by a thin layer 104. A thick layer 106 is formed on top of 104. Within layer 106, there are several rectangular features. On the left and right sides, there are single rectangular blocks labeled 106. In the center, there are two identical, more complex structures. Each of these central structures consists of a base layer 112, a middle layer 114, and a top layer 118. Above each of these central structures is a rectangular block labeled 116. A bracket labeled 110 groups the two central structures together. A large bracket at the top of the diagram spans the entire width of the device and is labeled 100P.

100P

116 106 116

128 106 110 112 114 118 118 114 112 110 106

104

102

Detailed description: This cross-sectional view shows a semiconductor device 100P. A substrate 102 is at the base, with a layer 104 on top. A series of vertical pillars 106 are formed. Between some pillars are memory cells 110, and between others are memory cells 118. Each memory cell (110 or 118) consists of a lower plate 112 and an upper plate 114. The upper plates 114 are connected to a common line 116. The pillars 106 are also connected to a common line 116. The device is divided into sections by pillars 106, with labels 128, 106, 110, 112, 114, 118, 118, 114, 112, 110, 106 indicating the various components and regions.

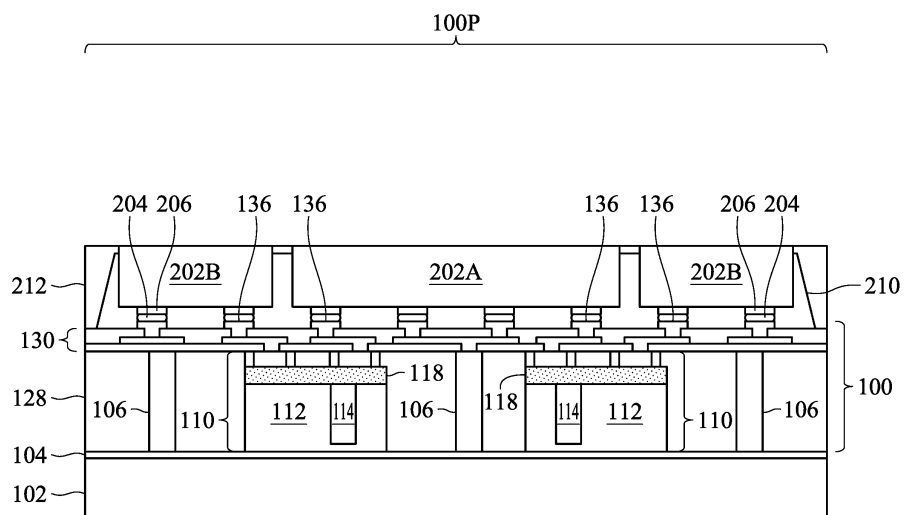
- 6469 -

A cross-sectional view of a semiconductor device 100P. The device is built on a substrate 102. A base layer 104 is formed on the substrate. Above the base layer, there is a stack of layers including a gate stack 106, a channel layer 110, and a source/drain region 112. The source/drain region 112 is further divided into a sub-region 114. A gate stack 118 is also present. The device is covered by a passivation layer 130, which includes a top layer 132 and a middle layer 134. A contact layer 136 is located between the passivation layer and the source/drain region. The device is labeled 100P at the top.

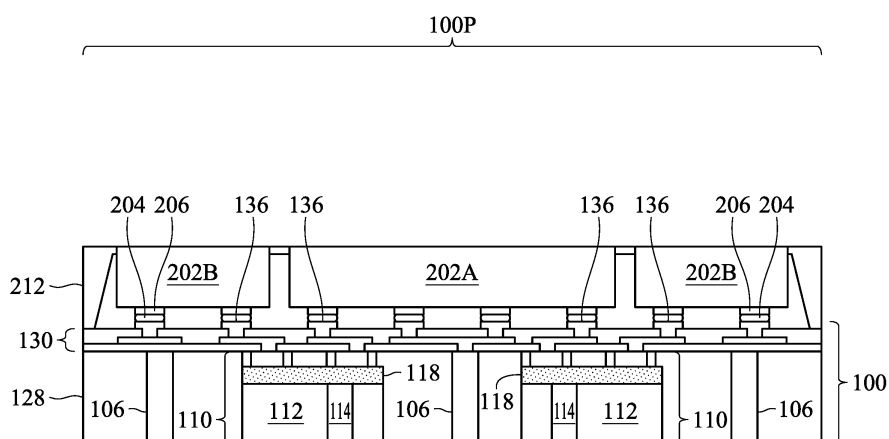
[illegible]

- 6470 -

(12)

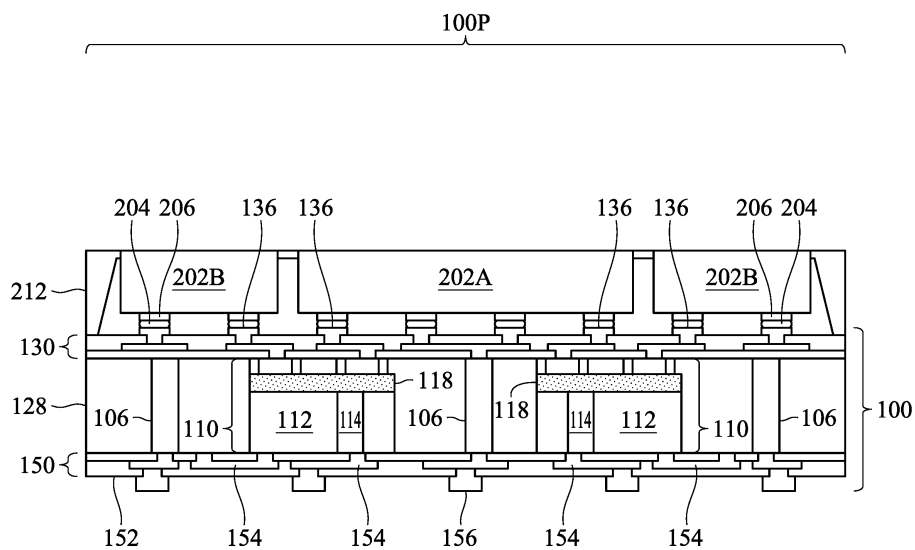


第 11 圖

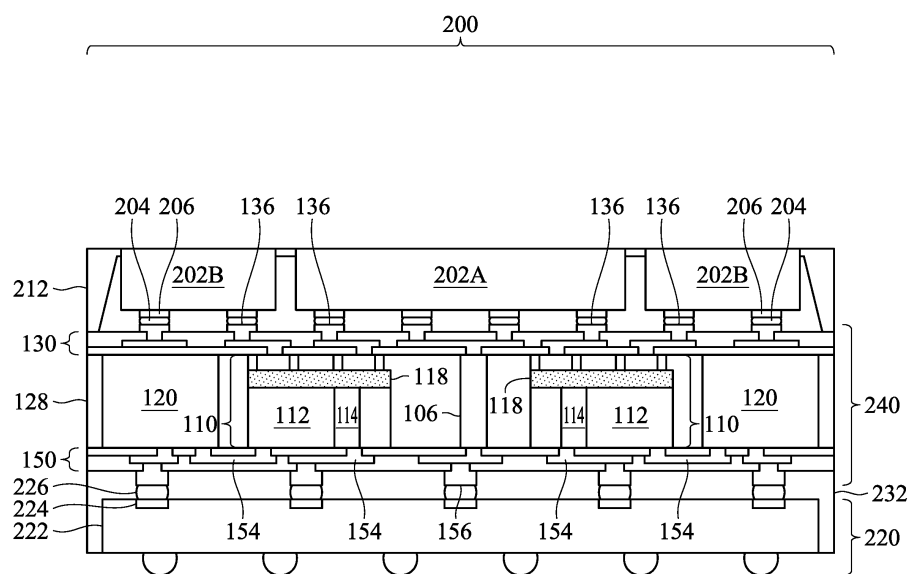


第 12 圖

(13)

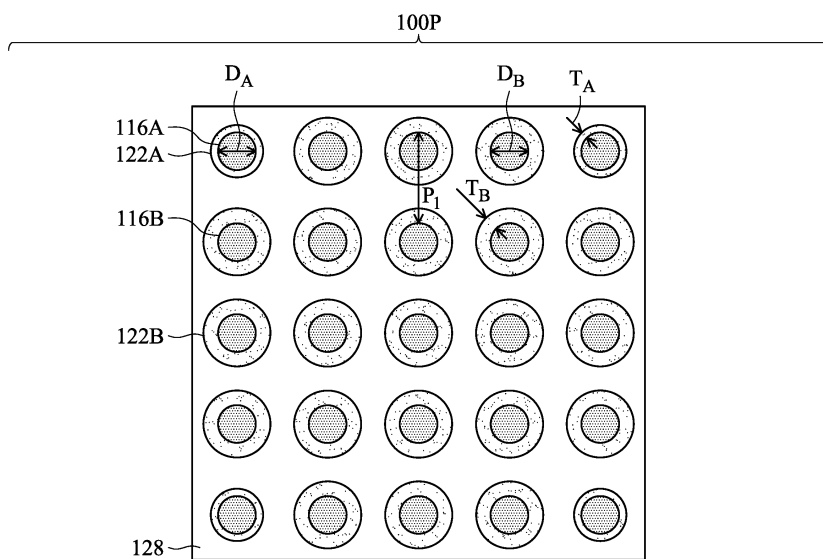


第 13 圖



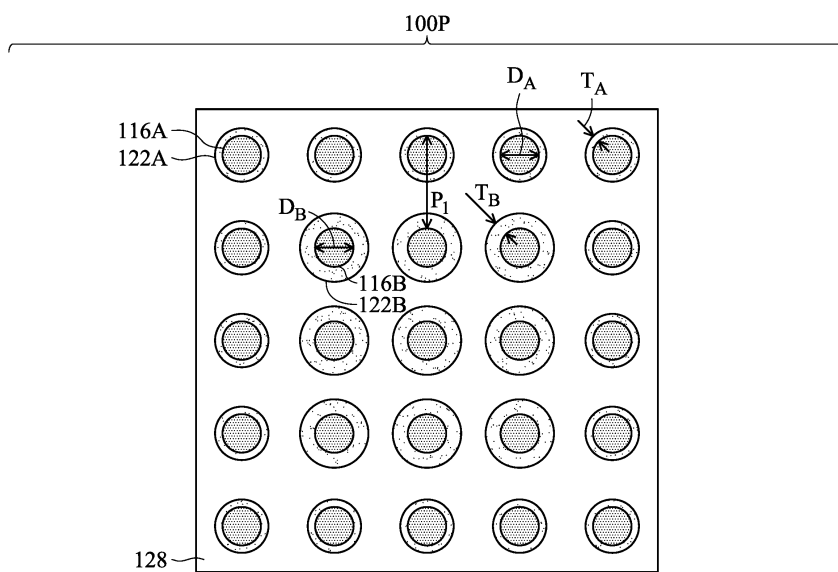
第 14 圖

110



第 15A 圖

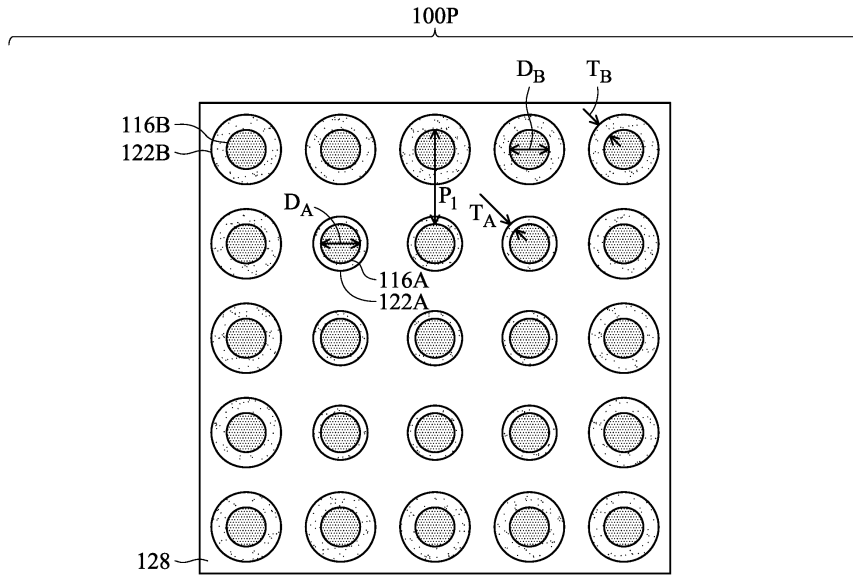
110



第 15B 圖

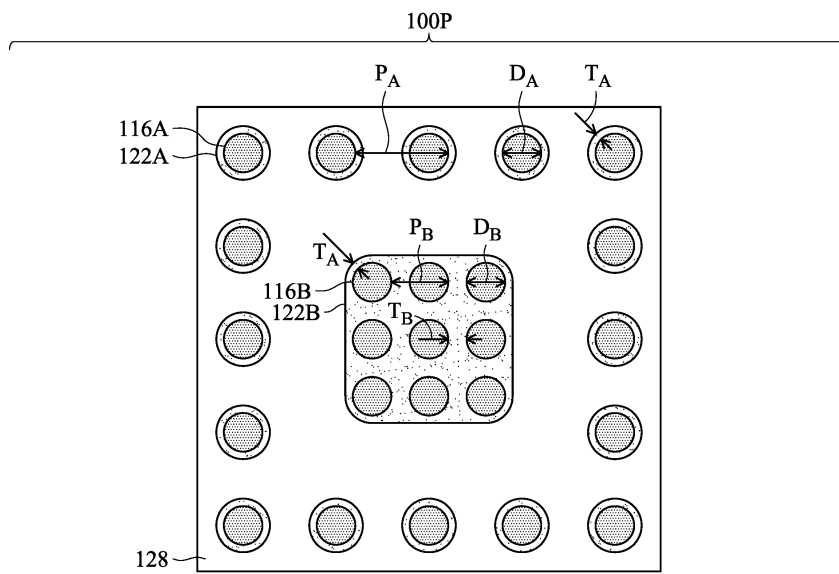
(15)

110



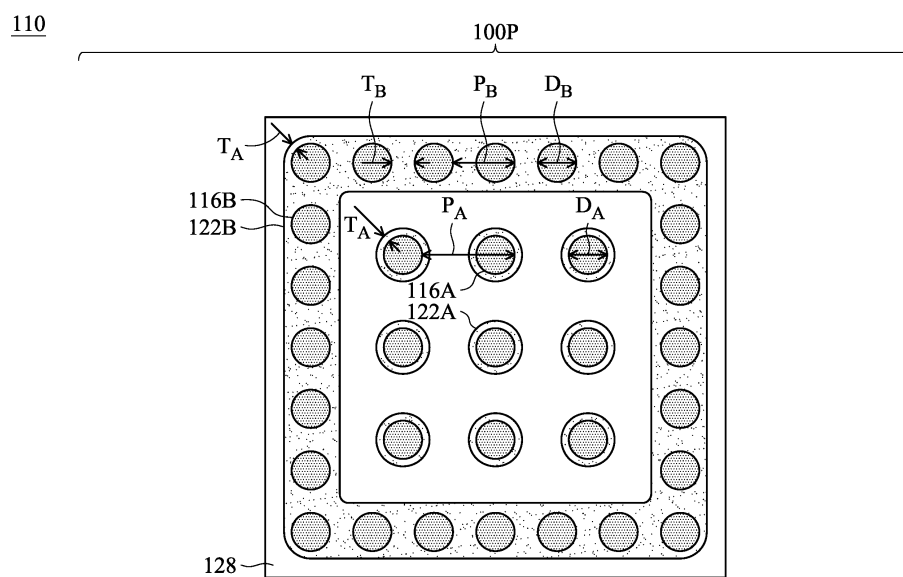
第 15C 圖

110

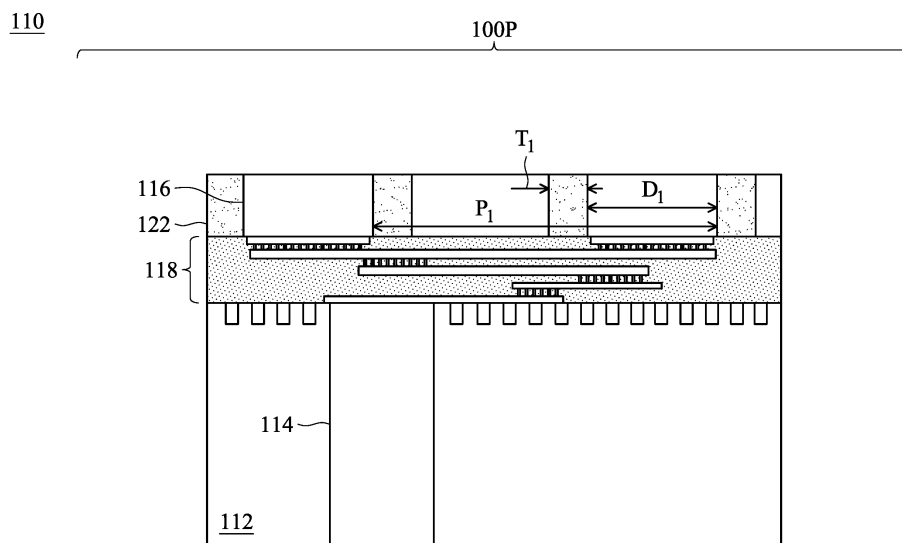


第 16A 圖

(16)

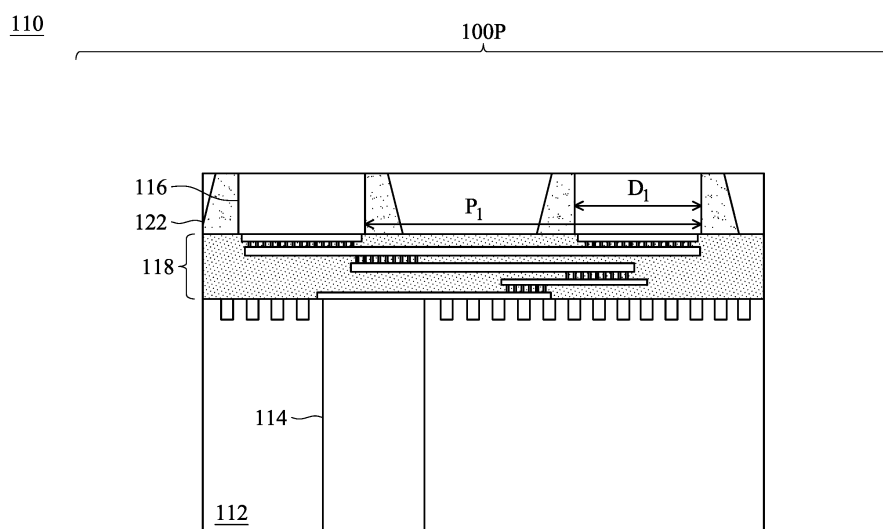


第 16B 圖

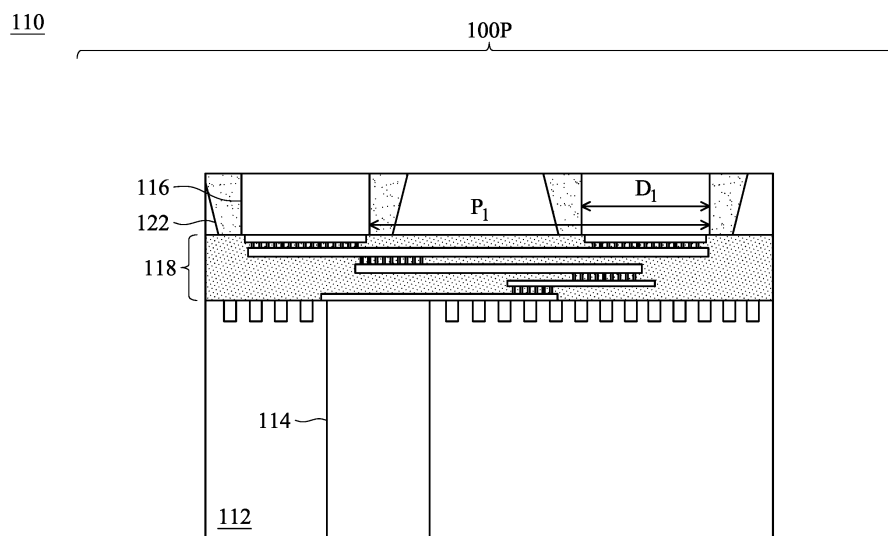


第 17A 圖

(17)



第 17B 圖



第 17C 圖