

【11】證書號數：I938793

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10P50/00 (2026.01) H10W20/00 (2026.01)
H10W20/40 (2026.01)

發明

全 21 頁

【54】名稱：半導體裝置結構及其製造的方法

【21】申請案號：114103499

【22】申請日：中華民國 114 (2025) 年 01 月 24 日

【11】公開編號：202544913

【43】公開日期：中華民國 114 (2025) 年 11 月 16 日

【30】優先權：2024/02/02

美國

18/430,868

【72】發明人：江政鴻 (TW) JIANG, JHENG-HONG；巫幸晃 (TW) WU, SHING-HUANG；
劉家瑋 (TW) LIU, CHIA-WEI【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202236707A

TW 202238830A

CN 110462822A

US 2023/0216480A1

審查人員：趙芝婷

【57】申請專利範圍

1. 一種製造半導體裝置結構的方法，包含：

形成一第一諧振器腔壁金屬組件其穿過一第一介電組件的一第一層、一第二層和一第三層，其中該第一諧振器腔壁金屬組件具有一長度其等於該第一介電組件的該第一層、該第二層和該第三層的一總厚度；

形成一第二諧振器腔壁金屬組件其穿過該第一介電組件的該第一層和該第二層，其中該第二諧振器腔壁金屬組件具有一長度其等於該第一介電組件的該第一層和該第二層的一總厚度；

形成一第三諧振器腔壁金屬組件其穿過該第一介電組件的該第三層，該第三諧振器腔壁金屬組件具有長度其等於該第一介電組件的該第一層的一總厚度；

在該第一介電組件上形成一第二介電組件；

形成多個覆蓋金屬導孔其穿過該第二介電組件至該第一諧振器腔壁金屬組件、該第二諧振器腔壁金屬組件和該第三諧振器腔壁金屬組件中的每一者；以及

在該第二介電組件上形成一平的覆蓋金屬層，該平的覆蓋金屬層通過多個相應的覆蓋金屬導孔而接觸該第一諧振器腔壁金屬組件、該第二諧振器腔壁金屬組件、和該第三諧振器腔壁金屬組件，

其中在該第二介電組件之內的一第一諧振器腔從該平的覆蓋金屬層延伸一第一腔長度至該第一諧振器腔壁金屬組件，在該第一介電組件和該第二介電組件之內的一第二諧振器腔從該平的覆蓋金屬層延伸一第二腔長度至該第二諧振器腔壁金屬組件，並且在該第二介電組件之內的一第三諧振器腔從該平的覆蓋金屬層延伸一第三腔長度至該第三諧振器腔壁金屬組件。

2. 如請求項 1 所述之製造半導體裝置結構的方法，其中形成該第一諧振器腔壁金屬組件、該第二諧振器腔壁金屬組件和該第三諧振器腔壁金屬組件還包含：

(2)

在該第一介電組件的該第一層上沉積一第一光阻劑的一層；

在該第一介電組件的該第一層上圖案化沉積的該第一光阻劑；

根據圖案化的該第一光阻劑蝕刻該第一介電組件的該第一層；

在該第一介電組件的該第一層上形成一第一諧振器金屬膠層；

在該第一諧振器金屬膠層上形成一第一層的諧振器金屬；和

對該第一層的諧振器金屬執行化學機械研磨，以形成該第一諧振器腔壁金屬組件的第一部分、該第二諧振器腔壁金屬組件的第一部分、和該第三諧振器腔壁金屬組件。

3. 如請求項 1 所述之製造半導體裝置結構的方法，其中，將該第一諧振器腔形成為包括 A-1 的一截面區域寬度，將該第二諧振器腔形成為包括 A-2 的一截面區域寬度，A-2 不同於 A-1，並且將該第三諧振器腔形成為包括 A-3 的一截面區域寬度，A-3 不同於 A-1 和 A-2。

4. 如請求項 1 所述之製造半導體裝置結構的方法，其中該第一腔長度小於該第二腔長度，並且該第二腔長度小於該第三腔長度。

5. 一種半導體裝置結構，包含：

一第一介電組件，其中該第一介電組件還包含：

一第一層，具有一第一諧振器腔壁金屬組件的第一部分、一第二諧振器腔壁金屬組件的第一部分、和一第三諧振器腔壁金屬組件；

一第二層，具有該第一諧振器腔壁金屬組件的第二部分和該第二諧振器腔壁金屬組件的第二部分，該第二諧振器腔壁金屬組件的第二部分完成了該第二諧振器腔壁金屬組件；和

一第三層，具有該第一諧振器腔壁金屬組件的第三部分，該第一諧振器腔壁金屬組件的第三部分完成了該第一諧振器腔壁金屬組件；

複數個諧振器腔壁金屬組件其設置在該第一介電組件中，所述複數個諧振器腔壁金屬組件中的各者與延伸至該第一介電組件內的多個諧振器腔中的一者相關聯，並且該些諧振器腔的各者具有延伸到該第一介電組件內的一不同的腔長度；

一第二介電組件，位於該第一介電組件上；以及

一平的覆蓋金屬層，設置在該第二介電組件上，該平的覆蓋金屬層包括至少一個覆蓋金屬導孔，該覆蓋金屬導孔延伸穿過該第二介電組件至所述複數個諧振器腔壁金屬組件；

其中，在該第二介電組件之內的一第一諧振器腔從該平的覆蓋金屬層延伸一第一腔長度至該第一諧振器腔壁金屬組件，在該第一介電組件和該第二介電組件之內的一第二諧振器腔從該平的覆蓋金屬層延伸一第二腔長度至該第二諧振器腔壁金屬組件，並且在該第二介電組件之內的一第三諧振器腔從該平的覆蓋金屬層延伸一第三腔長度至該第三諧振器腔壁金屬組。

6. 如請求項 5 所述之半導體裝置結構，還包含：

一第一諧振器金屬膠層，設置在介於該第一介電組件的該第一層和該第一諧振器腔壁金屬組件的該第二部分之間，並且設置在介於該第一介電組件的該第一層和該第二諧振器腔壁金屬組件的該第二部分之間；和

一第二諧振器金屬膠層，設置在介於該第一介電組件的該第二層和該第一諧振器腔壁金屬組件的該第三部分之間。

7. 如請求項 6 所述之半導體裝置結構，其中，該第二諧振器腔壁金屬組件設置在該第一介電組件的該第一層和該第二層中。

(3)

8. 如請求項 5 所述之半導體裝置結構，其中不同的該些諧振器腔包括在該半導體裝置結構上所製造的一陣列中形成的一第一諧振器腔、一第二諧振器腔和一第三諧振器腔，並且該些覆蓋金屬導孔中的各者包括一外部電性連接點。
9. 如請求項 8 所述之半導體裝置結構，還包含：
至少一個諧振器導孔其設置在該第一介電組件中介於所述複數個諧振器腔壁金屬組件中的至少一者和所述第二介電組件之間；和
一膠層其設置在介於所述至少一個諧振器導孔和該第一介電組件的至少一層之間。
10. 一種製造半導體裝置結構的方法，包含：
在一第一介電組件的第一層中形成一第一諧振器腔壁組件的第一部分和一第二諧振器腔壁組件；
在該第一層上形成該第一介電組件的第二層；
在該第一介電組件的該第二層中形成該第一諧振器腔壁組件的第二部分；
在該第一介電組件上形成一第二介電組件；
形成至少一個覆蓋金屬導孔其穿過該第二介電組件至該第一諧振器腔壁組件或該第二諧振器腔壁組件中的至少一者；以及
在該第二介電組件上形成一平的覆蓋金屬層，該平的覆蓋金屬層穿過所述至少一個覆蓋金屬導孔接觸該第一諧振器腔壁組件或該第二諧振器腔壁組件中的至少一者，
其中在該第二介電組件之內的一第一諧振器腔從該平的覆蓋金屬層延伸一第一腔長度至該第一諧振器腔壁組件，並且在該第一介電組件和該第二介電組件之內的一第二諧振器腔從該平的覆蓋金屬層延伸一第二腔長度至該第二諧振器腔壁組件。

圖式簡單說明

本揭示內容的多個方面可由以下的詳細描述並且與所附圖式一起閱讀，得到最佳的理解。注意的是，根據產業中的標準做法，各個特徵並未按比例繪製。事實上，為了討論的清楚起見，可任意地增加或減少各個特徵的尺寸。

第 1 圖是根據一些實施方式的半導體裝置結構的截面視圖。

第 2 圖是根據一些實施方式的半導體裝置結構的簡化截面視圖。

第 3A 圖至第 3X 圖是根據一些實施方式半導體裝置結構的製造的不同階段的截面視圖。

第 4A 圖至第 4B 圖分別是根據第一實施方式的半導體裝置結構的俯視圖和截面視圖。

第 5A 圖至第 5B 圖分別是根據第二實施方式的半導體裝置結構的俯視圖和截面視圖。

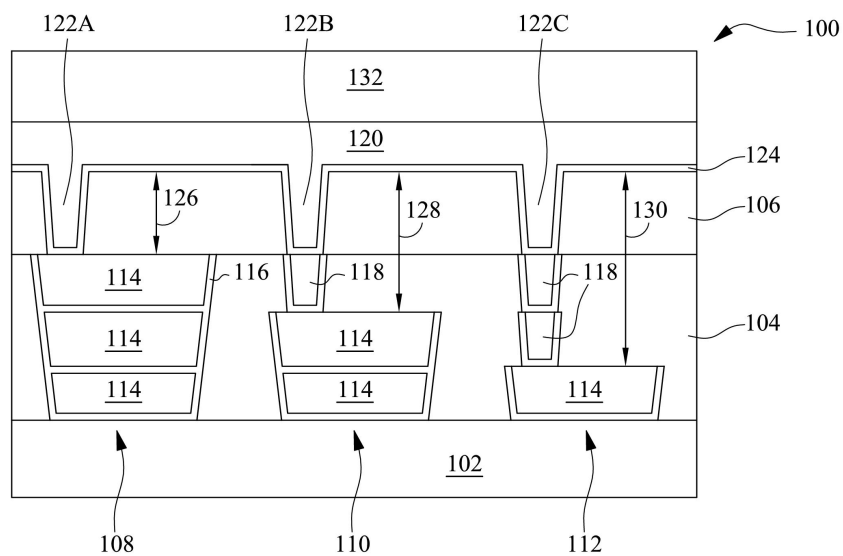
第 6A 圖至第 6B 圖分別是根據第三實施方式的半導體裝置結構的俯視圖和截面視圖。

第 7 圖是根據第四實施方式的半導體裝置結構的俯視圖。

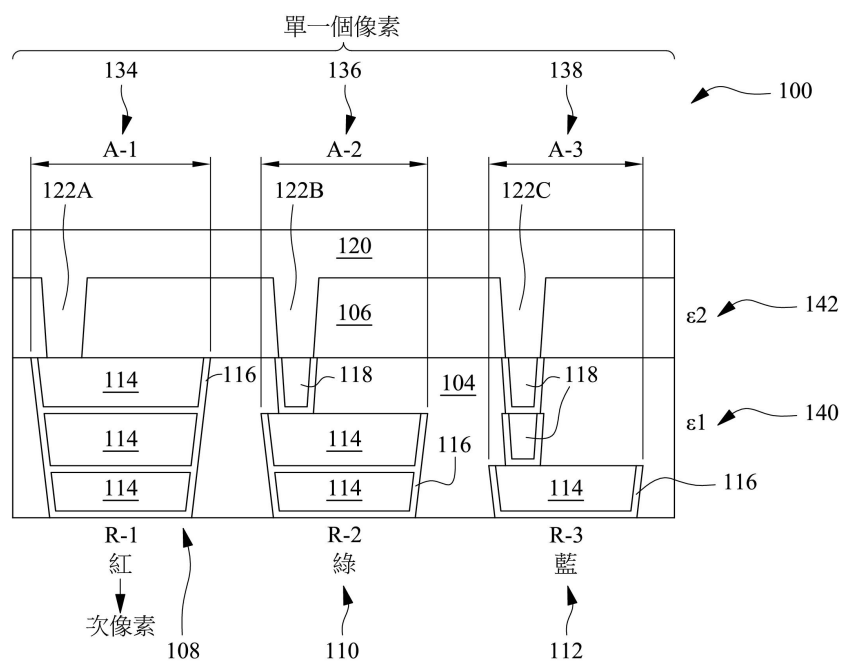
第 8 圖是根據第五實施方式的半導體裝置結構的俯視圖。

第 9A 圖至第 9B 圖是一流程圖，繪示根據一個實施方式用於製造半導體裝置結構的方法。

(4)

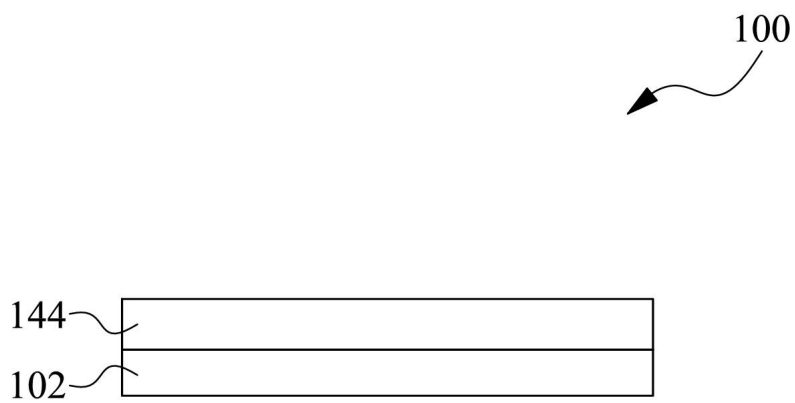


第 1 圖

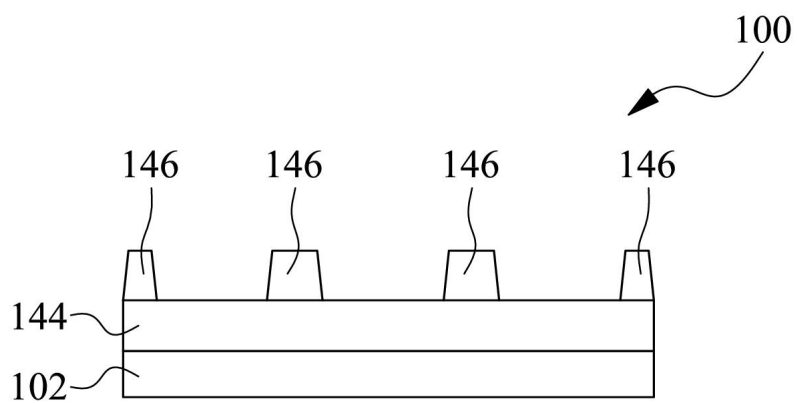


第 2 圖

(5)

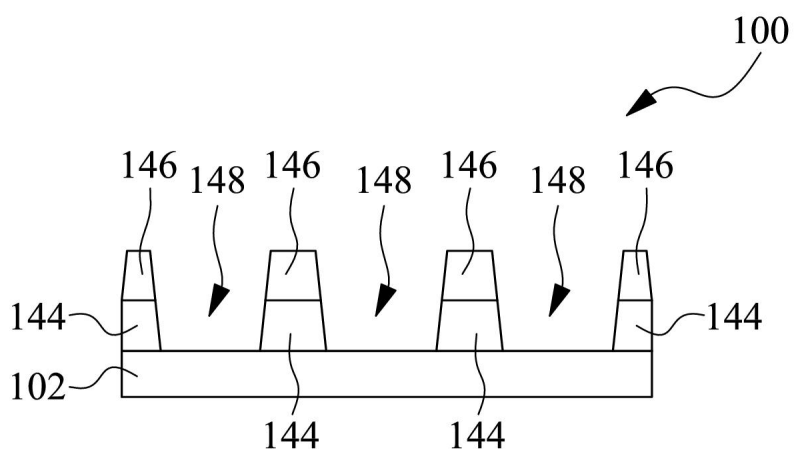


第 3A 圖

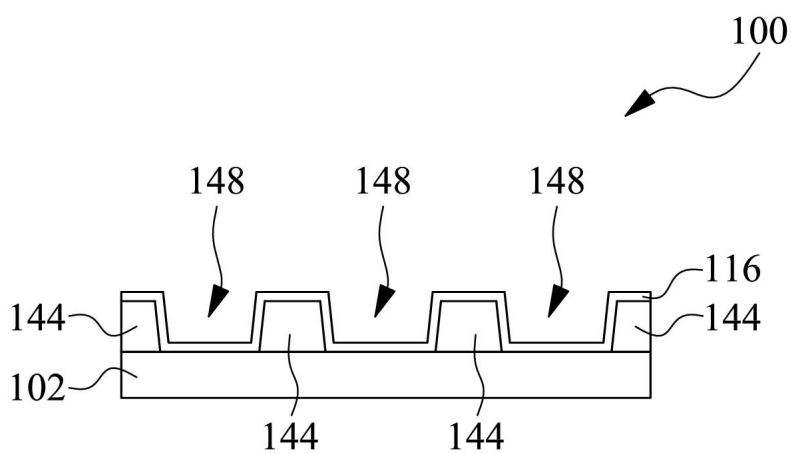


第 3B 圖

(6)

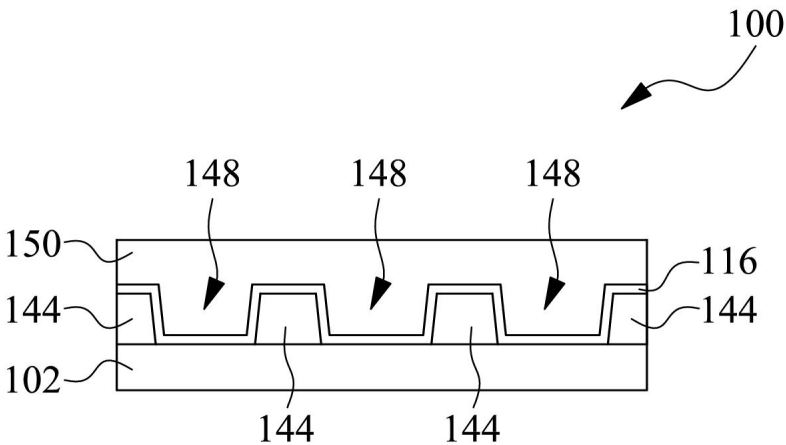


第 3C 圖

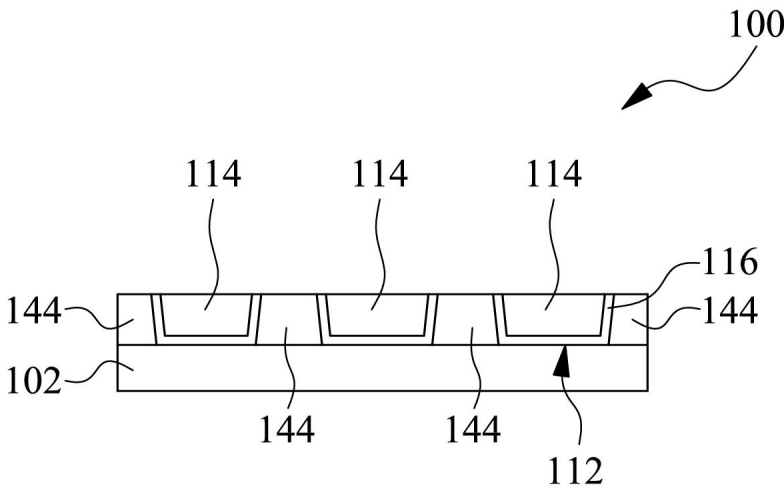


第 3D 圖

(7)

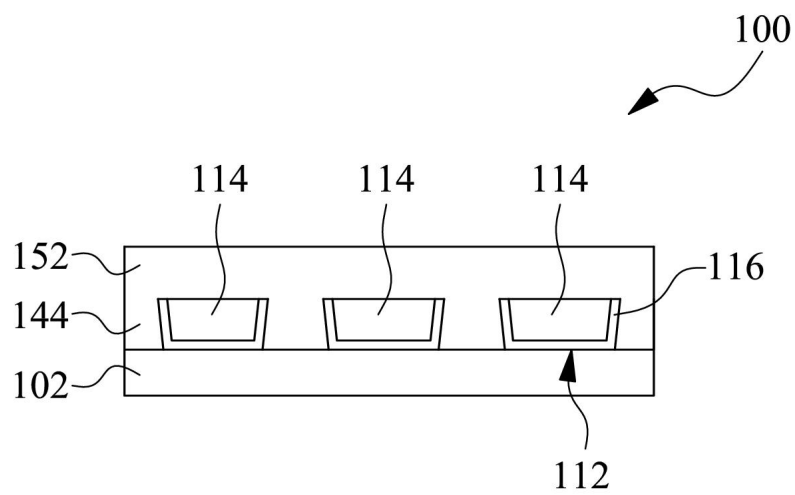


第 3E 圖

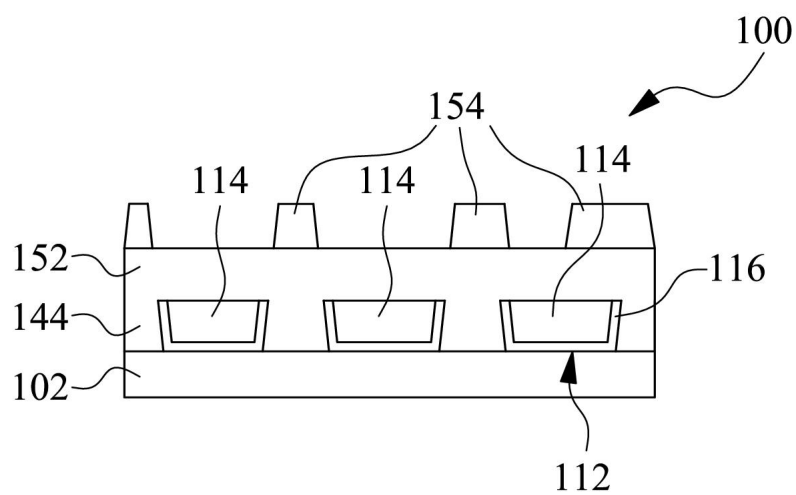


第 3F 圖

(8)

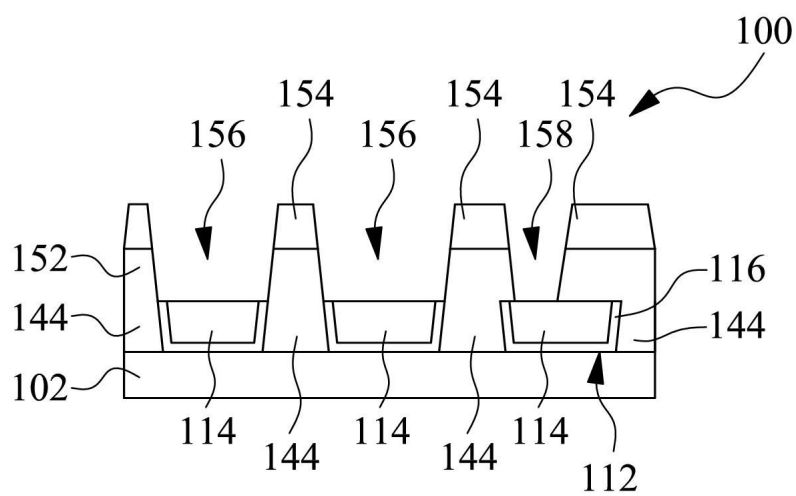


第 3G 圖

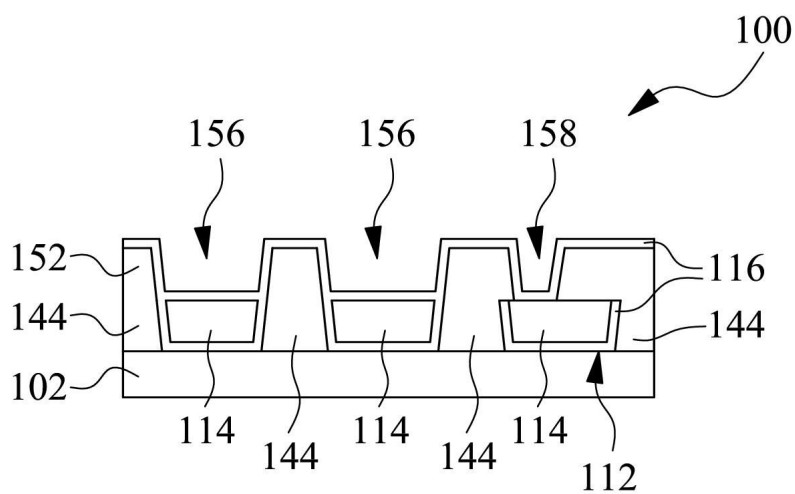


第 3H 圖

(9)

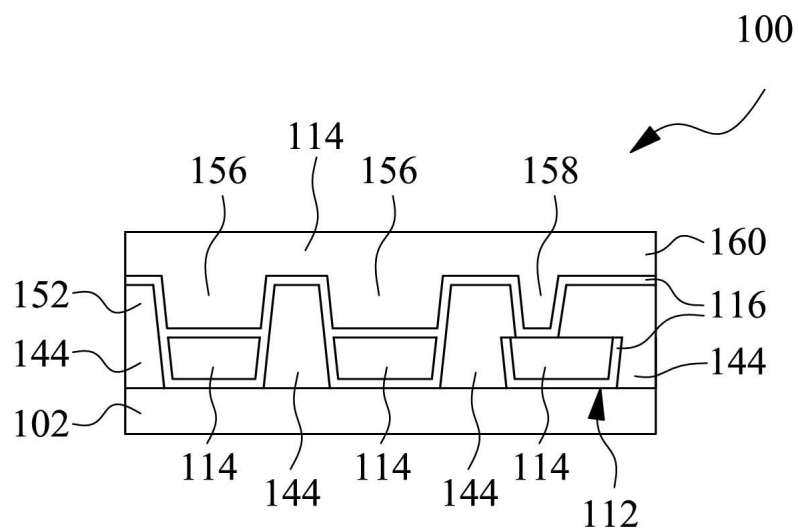


第 3I 圖

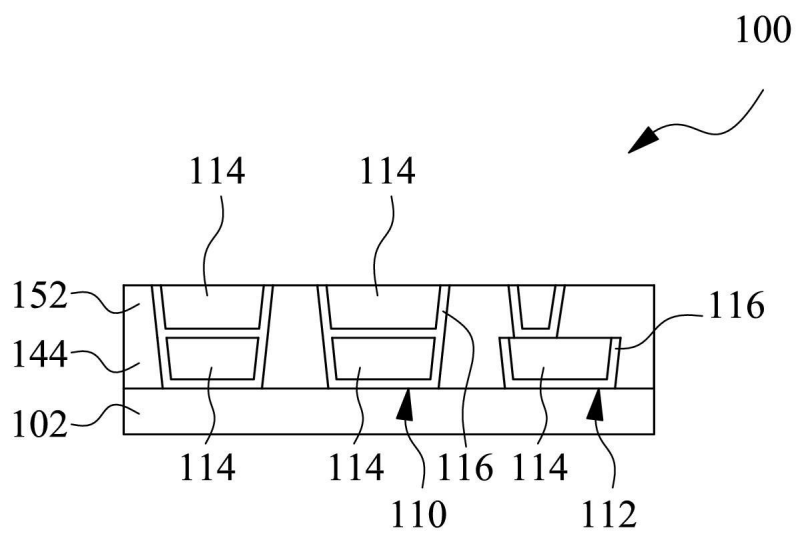


第 3J 圖

(10)

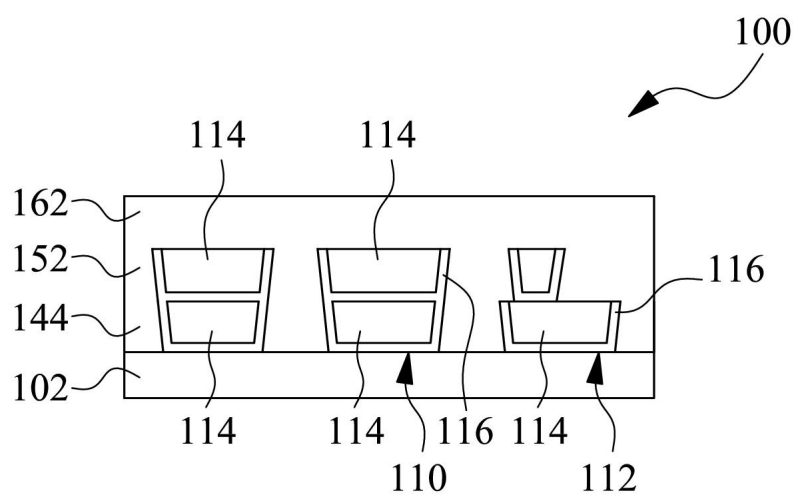


第 3K 圖

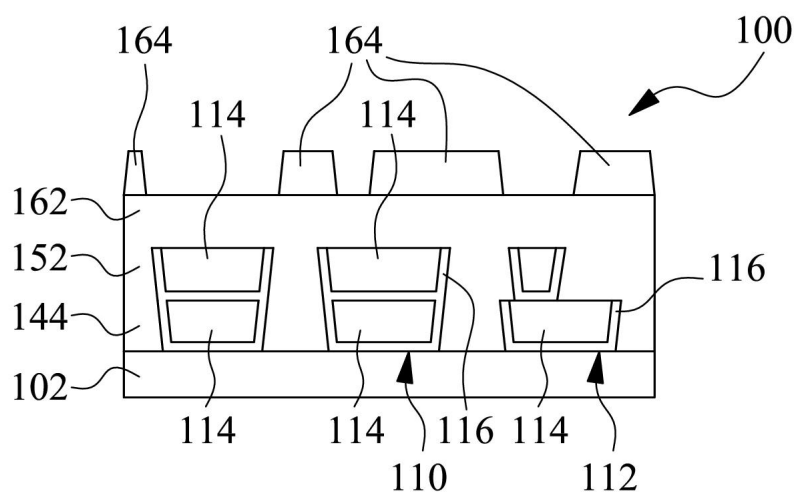


第 3L 圖

(11)

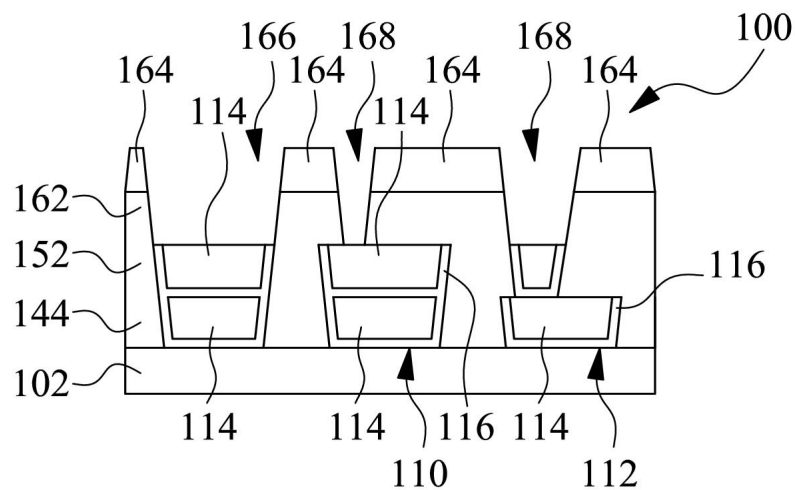


第 3M 圖

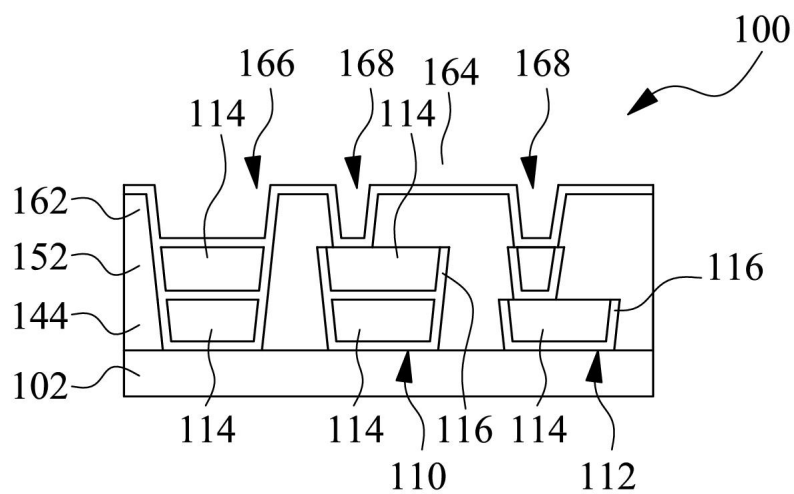


第 3N 圖

(12)

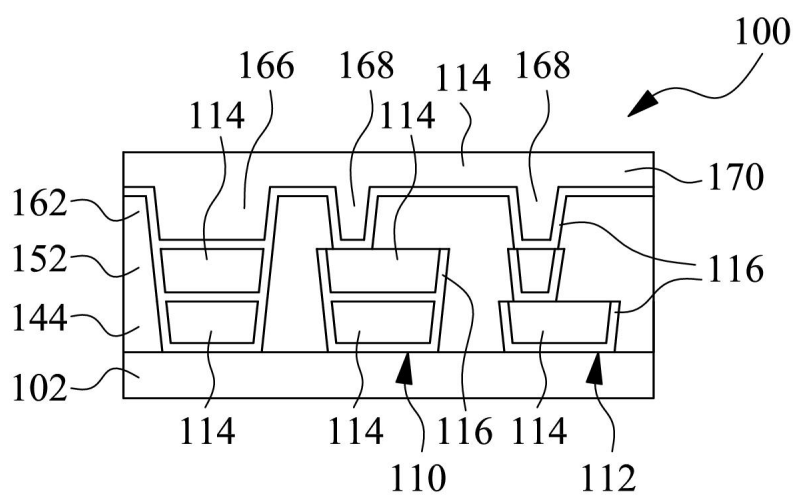


第 30 圖

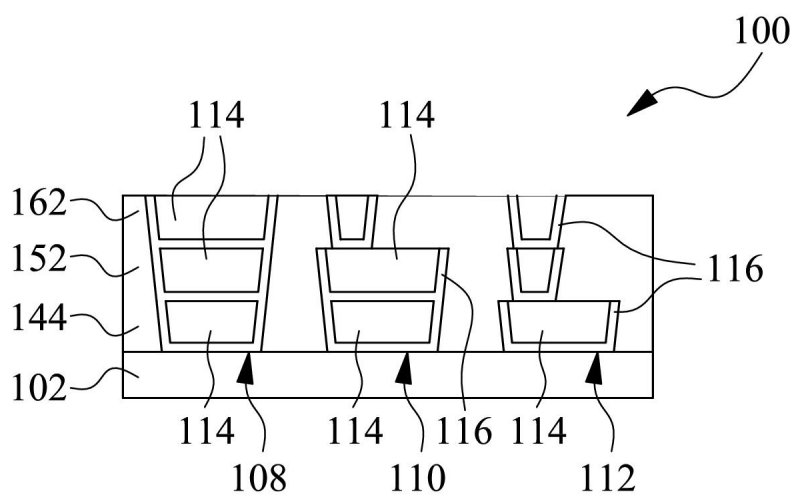


第 3P 圖

(13)

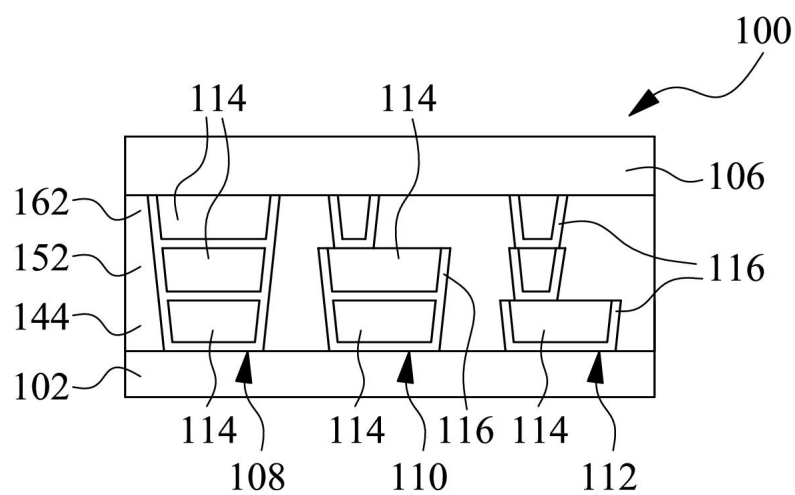


第 3Q 圖

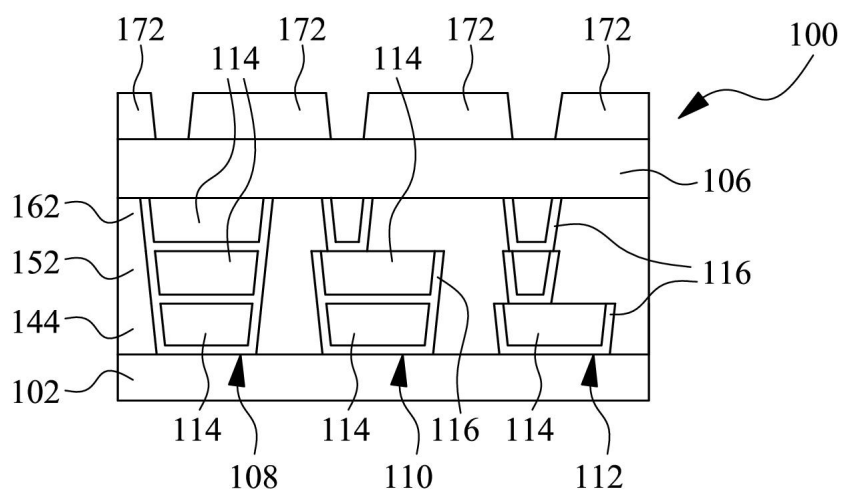


第 3R 圖

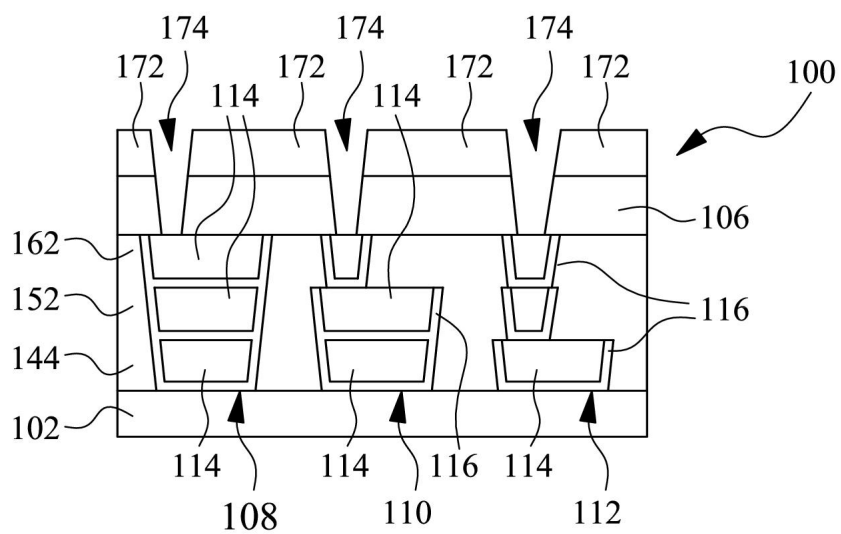
(14)



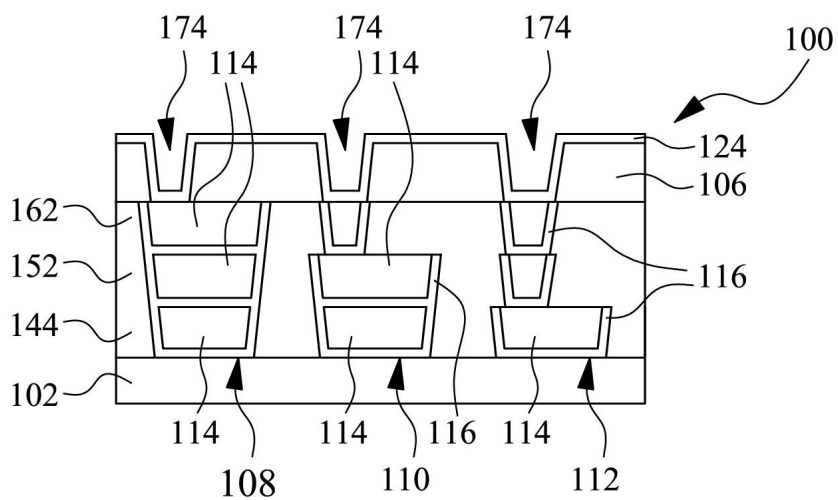
第 3S 圖



第 3T 圖

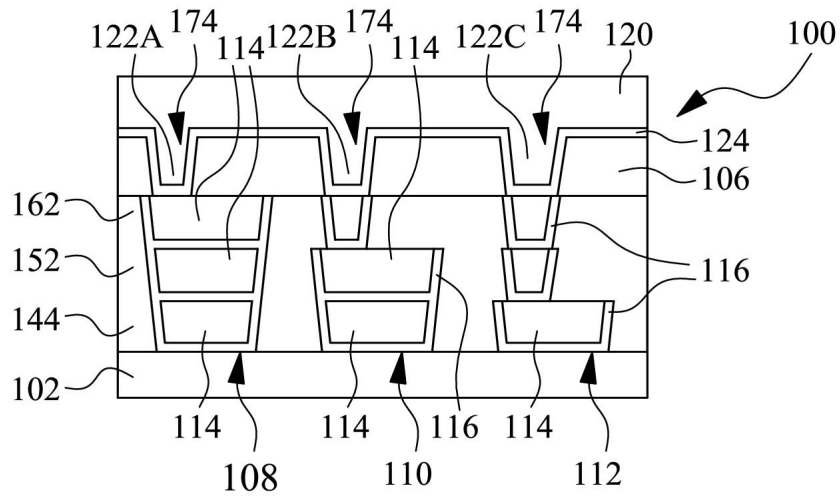


第3U圖

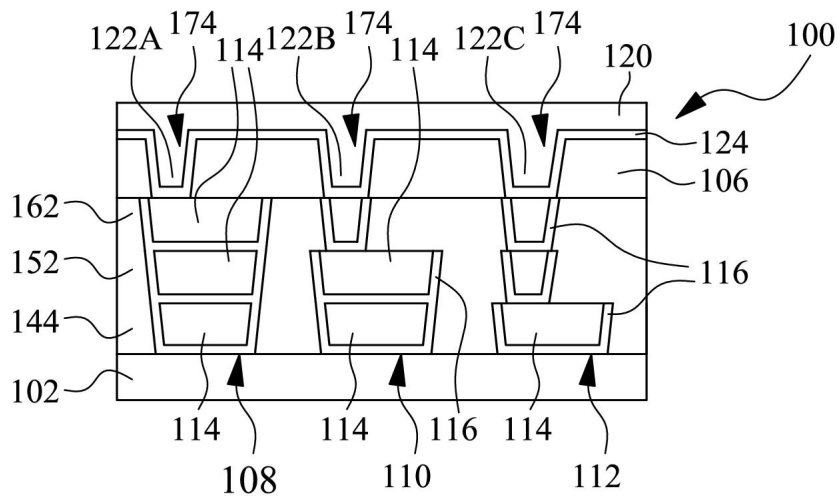


第3V圖

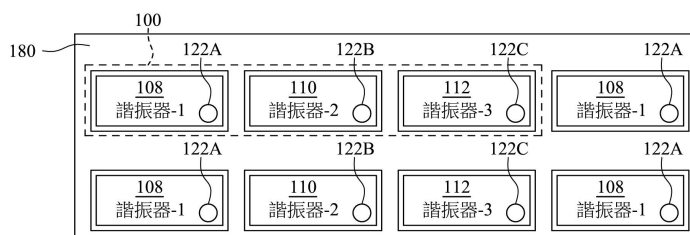
(16)



第 3W 圖

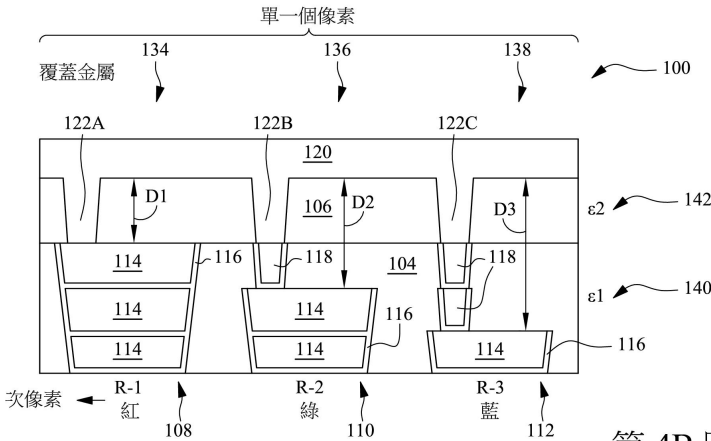


第 3X 圖

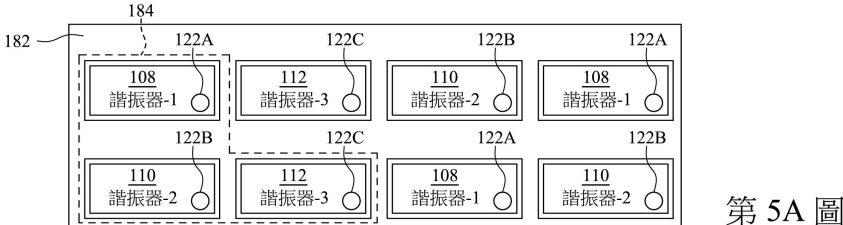


第 4A 圖

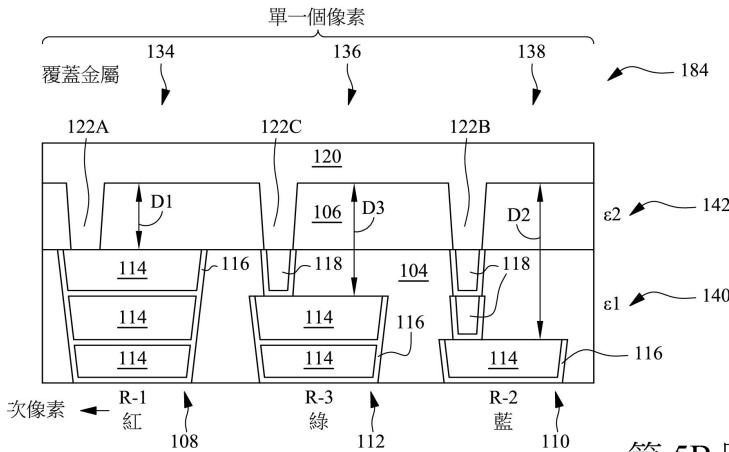
(17)



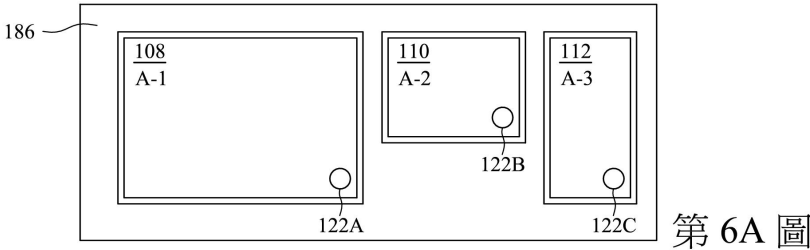
第 4B 圖



第 5A 圖

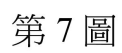


第 5B 圖

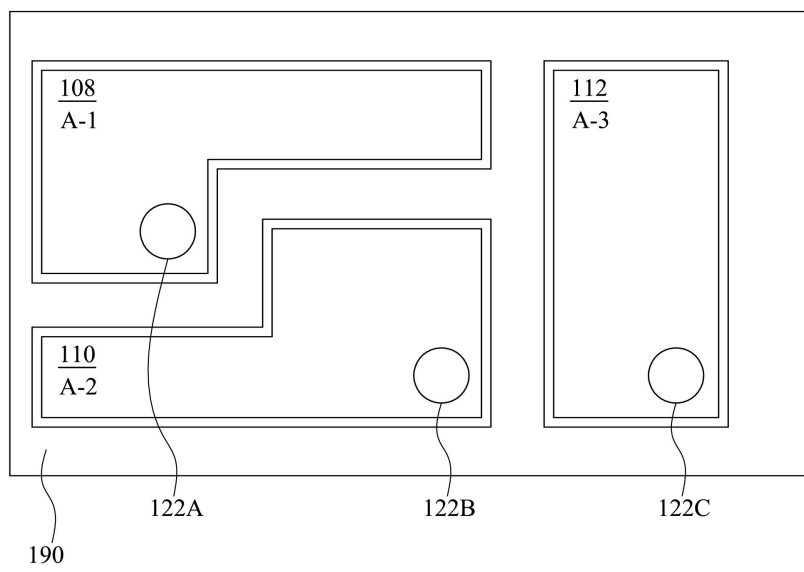


第 6A 圖

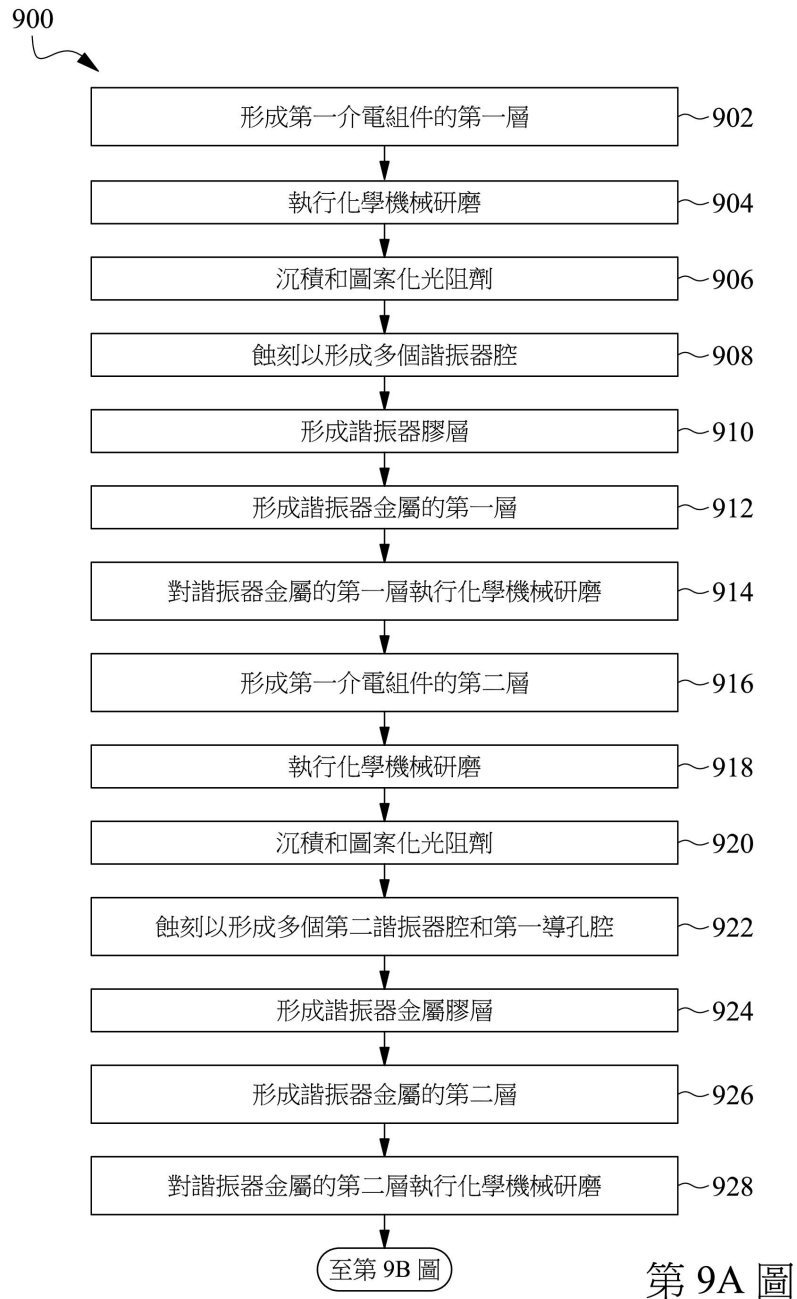
Figure 6B is a cross-sectional view of a pixel array structure. The structure is divided into three columns labeled A-1, A-2, and A-3, each containing a subpixel (R-1, R-2, R-3) and a common layer (114). The columns are separated by vertical lines (122A, 122B, 122C). The subpixels are labeled 106, 104, and 108 respectively. The common layer is labeled 114. The structure is covered by a metal layer (134) and a passivation layer (136). The subpixels are labeled R-1 (Red), R-2 (Green), and R-3 (Blue). The common layer is labeled 114. The structure is covered by a metal layer (134) and a passivation layer (136). The subpixels are labeled R-1 (Red), R-2 (Green), and R-3 (Blue). The common layer is labeled 114. The structure is covered by a metal layer (134) and a passivation layer (136).

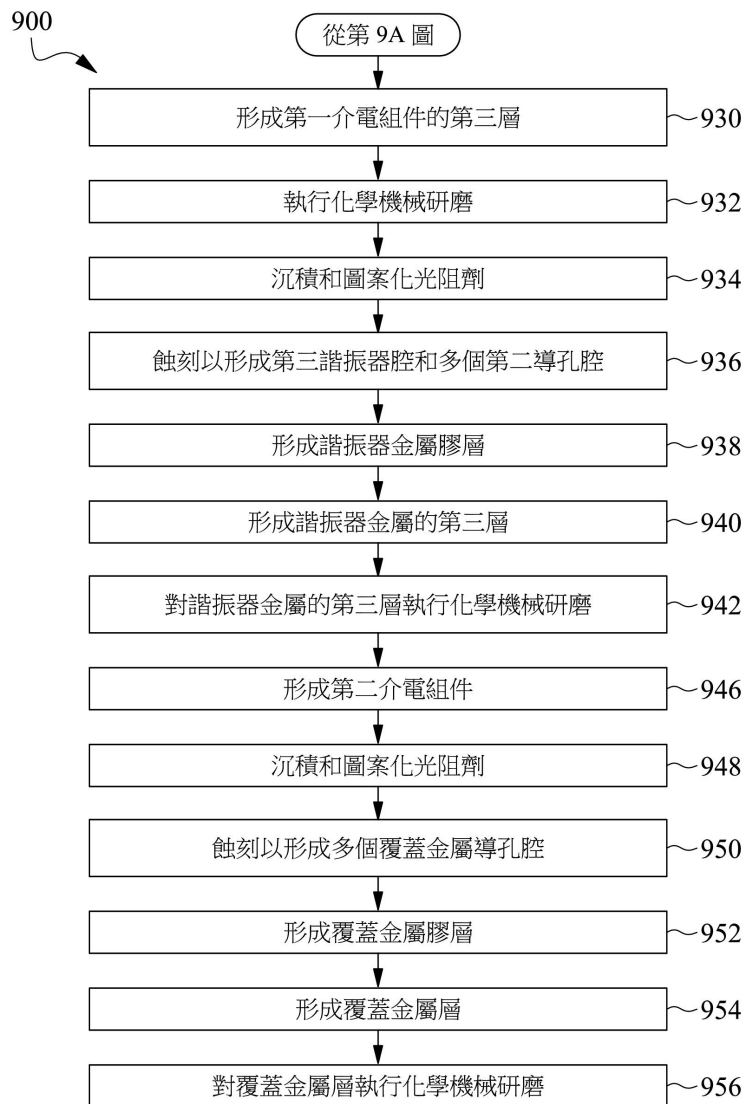


(19)



第 8 圖





第 9B 圖