

【11】證書號數：I938812

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B10/10 (2023.01) H10B20/20 (2023.01)

發明

全 11 頁

【54】名稱：記憶體裝置及其製造方法

【21】申請案號：114105083

【22】申請日：中華民國 114 (2025) 年 02 月 11 日

【11】公開編號：202610391

【43】公開日期：中華民國 115 (2026) 年 03 月 01 日

【30】優先權：2024/08/27

美國

18/815,976

【72】發明人：李紀寬 (TW) LEE, JI-KUAN；黃家恩 (TW) HUANG, CHIA-EN；楊耀仁 (TW) YANG, YAO-JEN；江庭瑋 (TW) CHIANG, TING-WEI

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 201201357A

TW 202329414A

TW 202343753A

TW 202416798A

TW 202420546A

TW 202434064A

US 2023/0105495A1

US 2024/0032306A1

US 2024/0120273A1

US 2024/0215266A1

審查人員：李景松

【57】申請專利範圍

1. 一種記憶體裝置，包含：

複數個記憶晶胞，各該記憶晶胞包括：

擴散區域，形成在基板上方；及

複數個電晶體，製造在該擴散區域上方，其中：

各該電晶體包括一或多個源極/汲極觸點及一或多個閘極區域；

該些源極/汲極觸點及該些閘極區域沿第一方向排列，分別沿與該第一方向橫向的第二方向延伸，且在與該第一方向及該第二方向橫向的第三方向中與該擴散區域重疊；且

相鄰的一對記憶晶胞的多個閘極區域之間沒有該或該些源極/汲極觸點，並且具有與該些記憶晶胞的一者中相鄰的一對閘極區域基本相同的觸點多晶矽節距。

2. 如請求項 1 所述的記憶體裝置，其中：

該些記憶晶胞的該者為雙觸點多晶矽節距記憶晶胞；

該些電晶體進一步包括：第一源極/汲極觸點，連接至浮動源極/汲極端；及第二源極/汲極觸點，連接至位元線；且

該第一源極/汲極觸點及第二源極/汲極觸點具有 1 個單位的觸點多晶矽節距。

3. 如請求項 1 所述的記憶體裝置，進一步包含切割區域，位於該相鄰的一對記憶晶胞的該些閘極區域之間，其中該切割區域包括形成在該基板中的溝槽及沉積在該溝槽中的介電層。

4. 如請求項 1 所述的記憶體裝置，其中該些記憶晶胞的該者進一步包括：

第一源極/汲極觸點，連接至第一電晶體的源極/汲極區域及第二電晶體的源極/汲極區域；

(2)

切割區域，包括在形成該基板中的溝槽及沉積在該溝槽中的介電材料；
第一閘極區域，對應於該第一電晶體的閘極端且位於該第一源極/汲極觸點與該切割區域之間；
第二源極/汲極觸點，連接至位元線；及
第二閘極區域，對應於該第二電晶體的閘極端且位於該第一源極/汲極觸點與該第二源極/汲極觸點之間。

5. 一種記憶體裝置，包含：
複數個記憶晶胞，各該記憶晶胞包括：
第一擴散區域，形成在基板上方；及
複數個電晶體，製造在該第一擴散區域上方，其中：
各該電晶體包括一或多個源極/汲極觸點及一或多個閘極區域；
該些源極/汲極觸點及該些閘極區域沿第一方向排列，分別沿與該第一方向橫向的第二方向延伸，且在與該第一方向及該第二方向橫向的第三方向中與該第一擴散區域重疊；且
相鄰的一對電晶體的多個閘極區域之間沒有該或該些源極/汲極觸點，並且具有與該些電晶體的一者中相鄰的一對閘極區域基本相同的觸點多晶矽節距。
6. 如請求項 5 所述的記憶體裝置，其中：
該些記憶晶胞中的一者為雙觸點多晶矽節距記憶晶胞；
該些電晶體進一步包括源極/汲極端及連接至該源極/汲極端的第一源極/汲極觸點及第二源極/汲極觸點；且
該第一源極/汲極觸點及該第二源極/汲極觸點具有 1 個單位的觸點多晶矽節距。
7. 如請求項 5 所述的記憶體裝置，其中：
該些記憶晶胞中的一者為三觸點多晶矽節距記憶晶胞；
該些電晶體進一步包括：
第一源極/汲極觸點；
第二源極/汲極觸點，連接至位元線；及
第三源極/汲極觸點，位於該第一源極/汲極觸點與第二源極/汲極觸點之間；
該第一源極/汲極觸點及第三源極/汲極觸點具有 1 個單位的觸點多晶矽節距；且
該第二源極/汲極觸點及第三源極/汲極觸點具有 1 個單位的觸點多晶矽節距。
8. 如請求項 5 所述的記憶體裝置，進一步包含：
第一切割區域部分，界定該第一擴散區域的第一邊緣；
第二切割區域部分，鄰接該第一擴散區域的第二邊緣；及
第三切割區域部分，將該第一切割區域及第二切割區域部分互連。
9. 一種製造記憶體裝置的方法，該方法包含以下步驟：
在一基板上方形成一擴散區域；
在該擴散區域上方製造複數個電晶體，其中：
各該電晶體包括一或多個源極/汲極觸點及一或多個閘極區域；且
該些源極/汲極觸點及該些閘極區域沿第一方向排列，分別沿與該第一方向橫向的第二方向延伸，且在與該第一方向及該第二方向橫向的第三方向與該擴散區域重疊；及
形成複數個記憶晶胞，各該記憶晶胞包括該些電晶體，使得相鄰的一對記憶晶胞的多個閘極區域具有比該些記憶晶胞的一者小的觸點多晶矽節距，並且具有與該些記憶晶胞的該者中相鄰的一對閘極區域基本相同的觸點多晶矽節距。
10. 如請求項 9 所述的方法，進一步包含：
將第一源極/汲極觸點連接至第一電晶體的源極/汲極區域及第二電晶體的源極/汲極區域；

(3)

藉由以下方式形成切割區域：

在該基板中蝕刻溝槽；及

在該溝槽中沉積介電材料；

沉積閘極材料以形成第一閘極區域，該第一閘極區域對應於該第一電晶體的閘極端且位於該第一源極/汲極觸點與該切割區域之間；

將第二源極/汲極觸點連接至位元線；及

沉積閘極材料以形成第二閘極區域，該第二閘極區域對應於該第二電晶體的閘極端且位於該第一源極/汲極觸點與該第二源極/汲極觸點之間。

圖式簡單說明

結合附圖，根據以下詳細描述可以最好地理解本揭示內容的各態樣。

第 1 圖為說明根據本揭示內容的各種實施例的例示性裝置的示意性方塊圖；

第 2 圖為說明根據本揭示內容的各種實施例的裝置的例示性記憶晶胞的示意性電路圖；

第 3 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性佈局圖；

第 4 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性佈局圖；

第 5 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性佈局圖；

第 6 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性電路圖；

第 7 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性佈局圖；

第 8 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞 800 的示意性佈局圖；

第 9 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性電路圖；

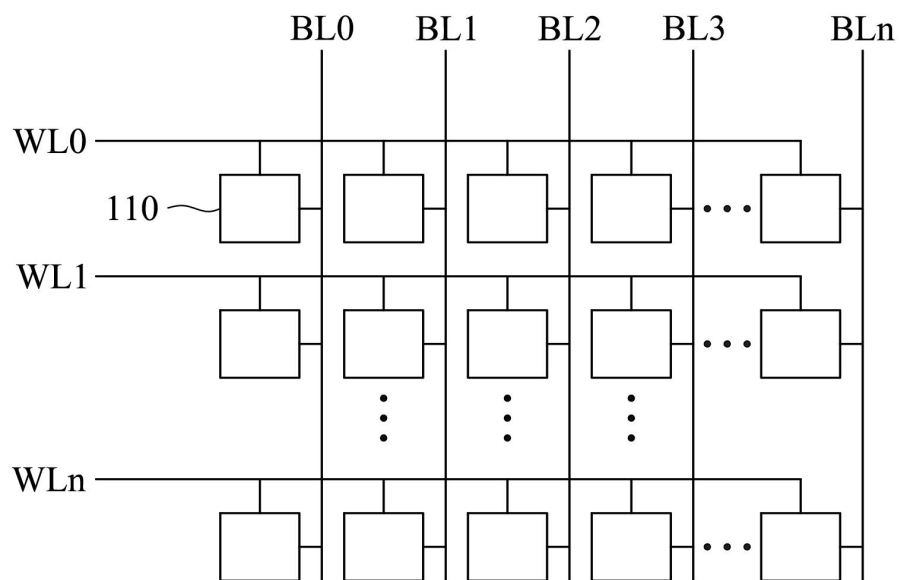
第 10 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性佈局圖；

第 11 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性電路圖；

第 12 圖為說明根據本揭示內容的各種實施例的另一例示性記憶晶胞的示意性佈局圖；且

第 13 圖為根據本揭示內容的各種實施例的製造裝置的例示性方法的流程圖。

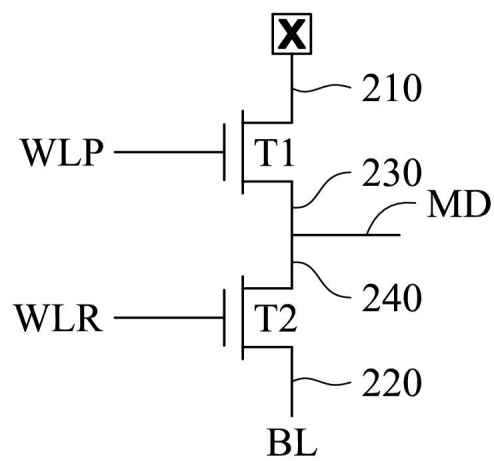
100



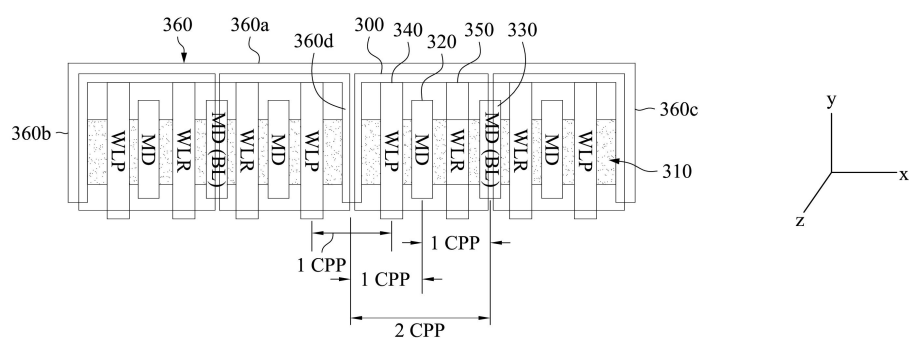
第 1 圖

(5)

200

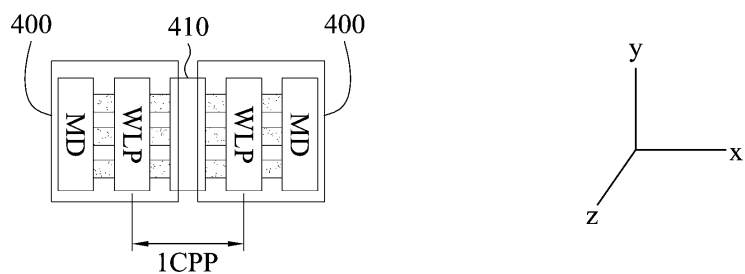


第 2 圖

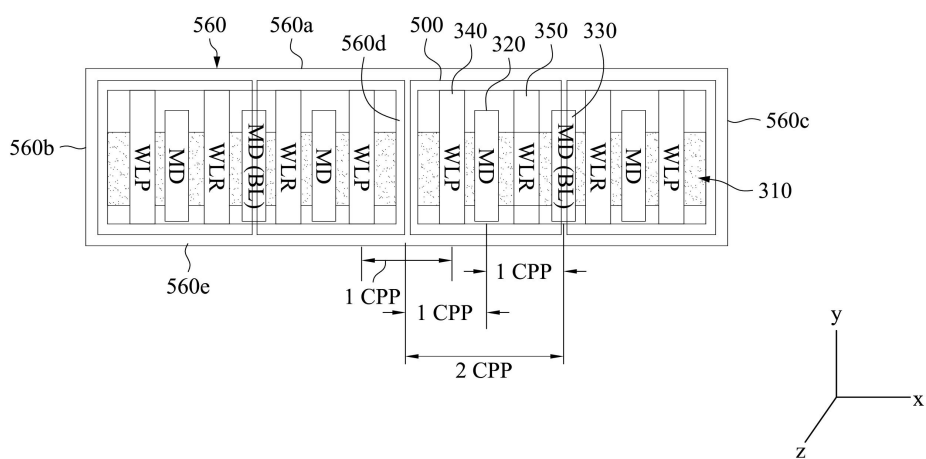


第 3 圖

(6)



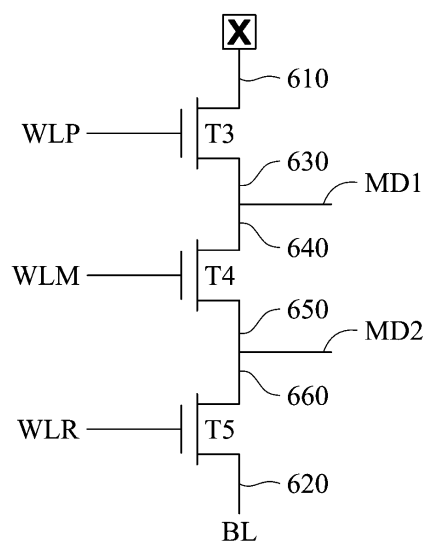
第 4 圖



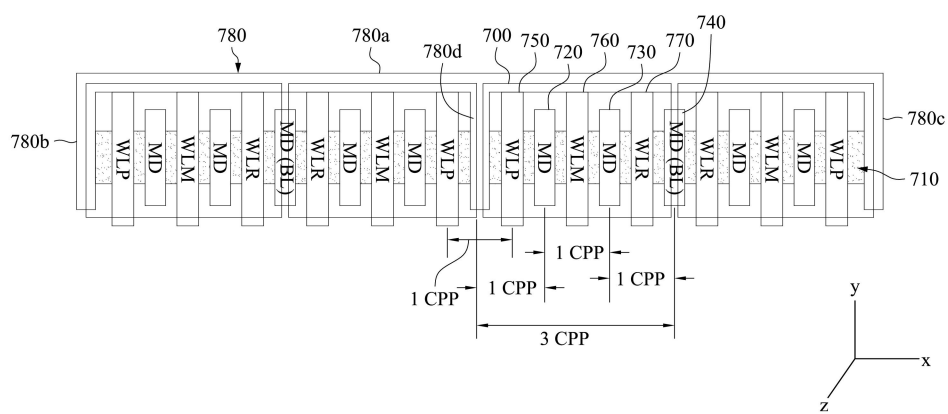
第 5 圖

(7)

600

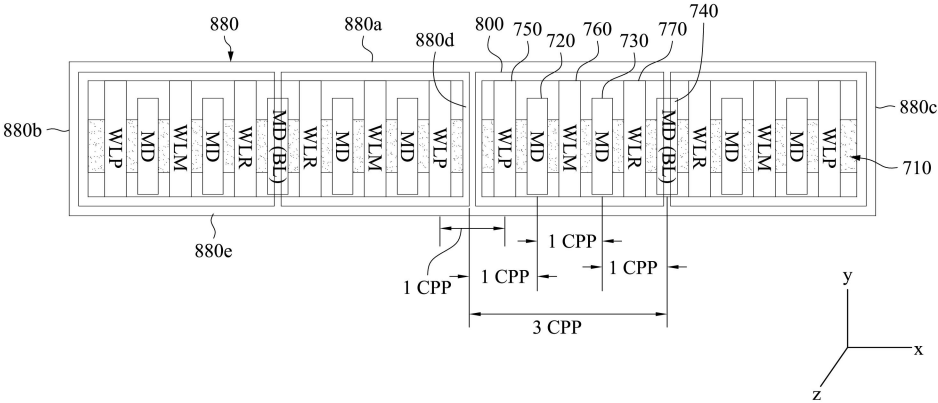


第 6 圖



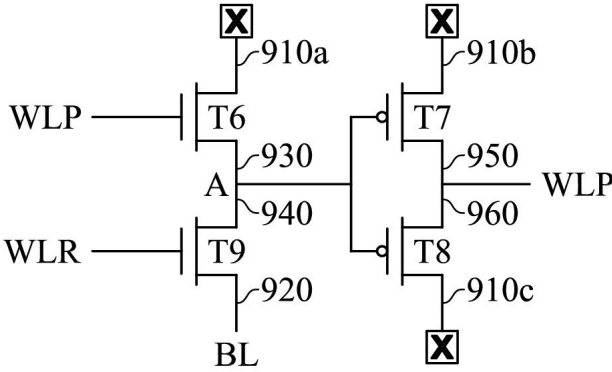
第 7 圖

(8)



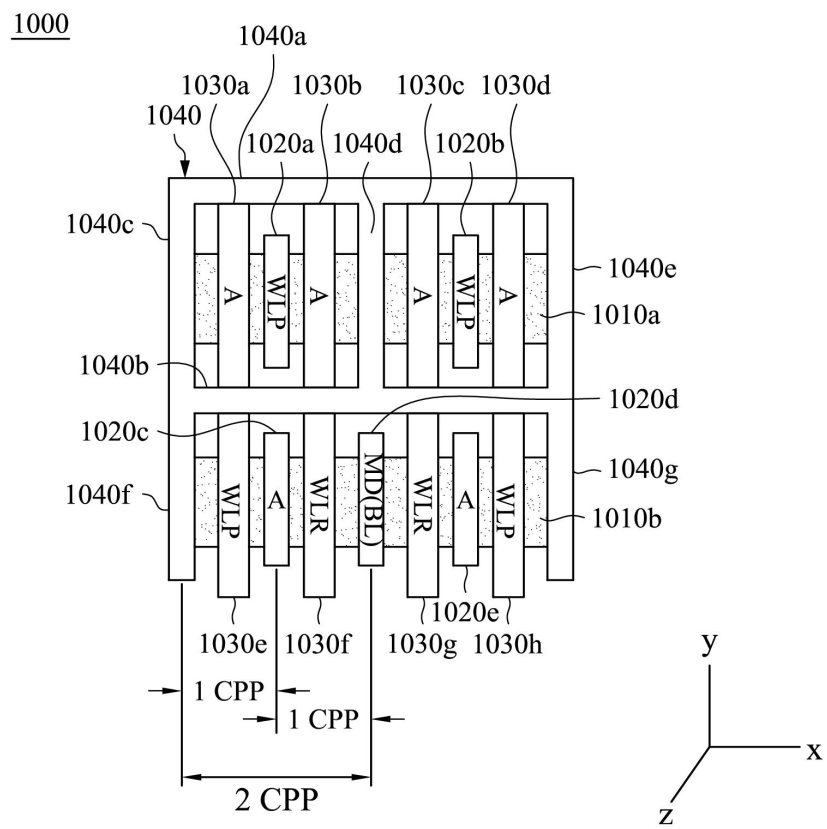
第 8 圖

900

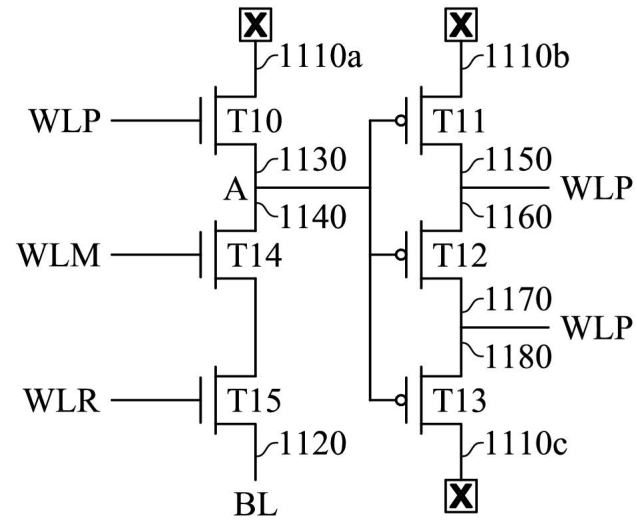


第9圖

(9)

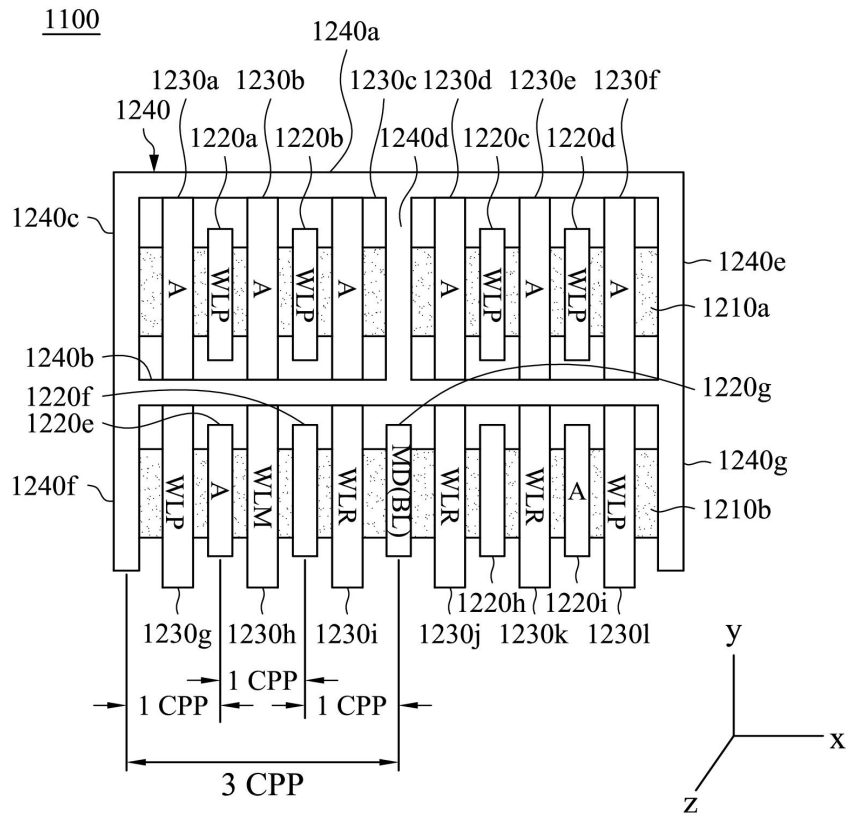


第 10 圖

1100

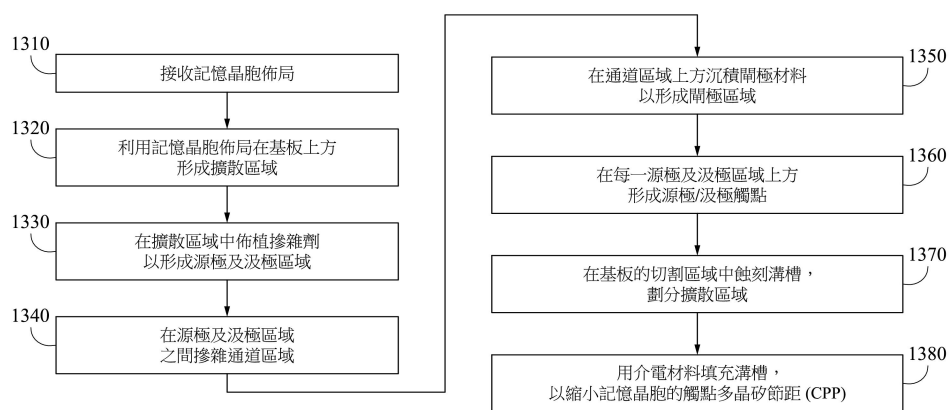
第 11 圖

(11)



第 12 圖

1300



第 13 圖