

【11】證書號數：I938821

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D62/80 (2025.01) H10D62/60 (2025.01)
H10D62/13 (2025.01) H10D62/10 (2025.01)
H10D30/60 (2025.01)

發明

全 13 頁

【54】名稱：具有偶極部的半導體元件

【21】申請案號：114106232

【22】申請日：中華民國 114 (2025) 年 02 月 20 日

【11】公開編號：202614833

【43】公開日期：中華民國 115 (2026) 年 04 月 01 日

【30】優先權：2024/09/18

美國

18/888,460

【72】發明人：劉雨華 (TW) LIU, YU-HUA

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 202203858A

TW 202303858A

TW 202318672A

TW 202412184A

TW 202414796A

US 11742425B2

US 2021/0376079A1

US 2022/0384434A1

US 2023/0352590A1

US 2024/0274604A1

審查人員：李景松

【57】申請專利範圍

1. 一種半導體元件，包括：

一閘極結構，設置在一半導體基底上方；

一介電層，圍繞該閘極結構；

一源極區和一汲極區，設置在該半導體基底中且位在該閘極結構的相對側上；

一第一偶極部，設置在該半導體基底上方並覆蓋該源極區；以及

一第一介電間隙子，設置在該第一偶極部上方並鄰近該介電層，其中該第一介電間隙子藉由該介電層而與該閘極結構間隔開，且該第一偶極部延伸在該第一介電間隙子和該介電層之間。

2. 如請求項 1 所述之半導體元件，其中該閘極結構的一上表面被該介電層所覆蓋。

3. 如請求項 1 所述之半導體元件，其中該介電層和該第一介電間隙子包括不同的材料。

4. 如請求項 1 所述之半導體元件，其中該第一介電間隙子藉由該第一偶極部而與該源極區間隔開。

5. 如請求項 1 所述之半導體元件，還包括一源極接觸件，穿過該第一偶極部以直接接觸該源極區。

6. 如請求項 1 所述之半導體元件，還包括一第一輕度摻雜區，設置在該半導體基底中並從該源極區延伸到該閘極結構。

7. 如請求項 6 所述之半導體元件，其中該第一輕度摻雜區與該第一偶極部直接接觸。

(2)

8. 如請求項 6 所述之半導體元件，其中該第一輕度摻雜區藉由該第一偶極部而與該第一介電間隙子間隔開。
9. 如請求項 6 所述之半導體元件，還包括一第一暈環植入區，設置在該半導體基底中並從該源極區延伸到該閘極結構，其中該第一輕度摻雜區位在該第一暈環植入區上方。
10. 如請求項 1 所述之半導體元件，還包括一第二偶極部，設置在該半導體基底上方並覆蓋該汲極區，其中該第一偶極部的一材料與該第二偶極部的一材料相同。
11. 如請求項 10 所述之半導體元件，還包括一汲極接觸件，穿過該第二偶極部以直接接觸該汲極區。
12. 如請求項 10 所述之半導體元件，還包括一第二介電間隙子，設置在該第二偶極部上方並鄰近該介電層，其中該第二介電間隙子藉由該第二偶極部而與該汲極區間隔開。
13. 如請求項 10 所述之半導體元件，還包括一第二輕度摻雜區，設置在該半導體基底中並從該汲極區延伸到該閘極結構，其中該第二輕度摻雜區與該第二偶極部直接接觸。
14. 如請求項 13 所述之半導體元件，還包括一第二暈環植入區，設置在該半導體基底中並從該汲極區延伸到該閘極結構，其中該第二輕度摻雜區位在該第二暈環植入區上方。

圖式簡單說明

參閱實施方式與申請專利範圍合併考量圖式時，可得以更全面了解本申請案之揭示內容，圖式中相同的元件符號指相同的元件。

圖 1 是剖視示意圖，例示依據本揭露一些實施例的半導體元件。

圖 2 是剖視示意圖，例示依據本揭露一些其他實施例的半導體元件。

圖 3 是流程示意圖，例示依據本揭露一些實施例的半導體元件的製備方法。

圖 4 是流程示意圖，例示依據本揭露一些其他實施例的半導體元件的製備方法。

圖 5 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成閘極結構在半導體基底上方的中間階段。

圖 6 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間依序形成第一介電層和圖案化遮罩在閘極結構上方的中間階段。

圖 7 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間使用圖案化遮罩作為遮罩以蝕刻第一介電層的中間階段。

圖 8 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成第一輕度摻雜區、第二輕度摻雜區、第一暈環植入區和第二暈環植入區在半導體基底中的中間階段。

圖 9 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間沉積偶極層在半導體基底和第一介電層上方的中間階段。

圖 10 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成圖案化遮罩在偶極層上方的中間階段。

圖 11 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間蝕刻偶極層以形成第一偶極部和第二偶極部的中間階段。

圖 12 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間移除圖案化遮罩的中間階段。

圖 13 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成間隙子層在第一偶極部、第二偶極部和第一介電層上方的中間階段。

圖 14 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成第一介電間隙子、第二介電間隙子、源極區和汲極區的中間階段。

圖 15 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成第二介電層以覆蓋第一偶極部、第二偶極部、第一介電間隙子、第二介電間隙子和第一介電層的的中間階段。

(3)

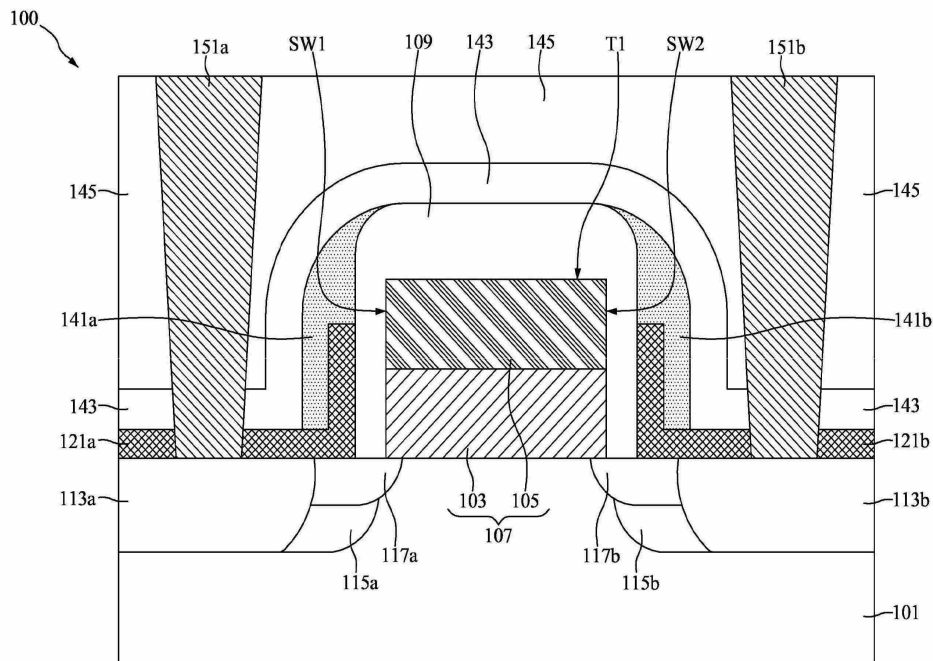
圖 16 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成層間介電層在第二介電層上方的中間階段。

圖 17 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成暴露源極區的開口和暴露汲極區的開口的中間階段。

圖 18 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成圖案化遮罩在偶極層上方的中間階段。

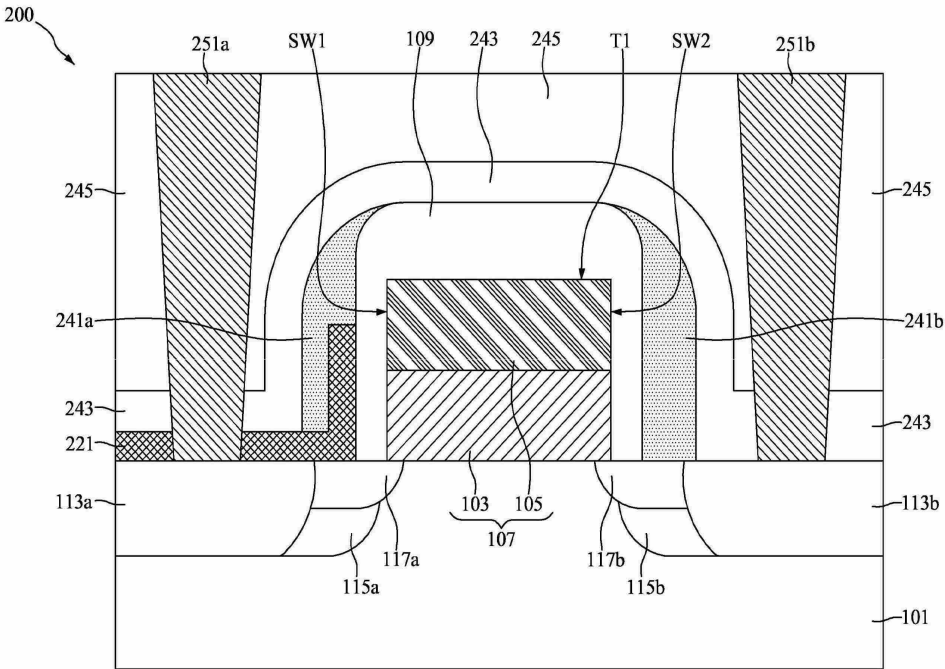
圖 19 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間蝕刻偶極層以形成第一偶極部的中間階段。

圖 20 是剖視示意圖，例示依據本揭露一些實施例在半導體元件形成期間形成第一介電間隙子、第二介電間隙子、源極區和汲極區的中間階段。

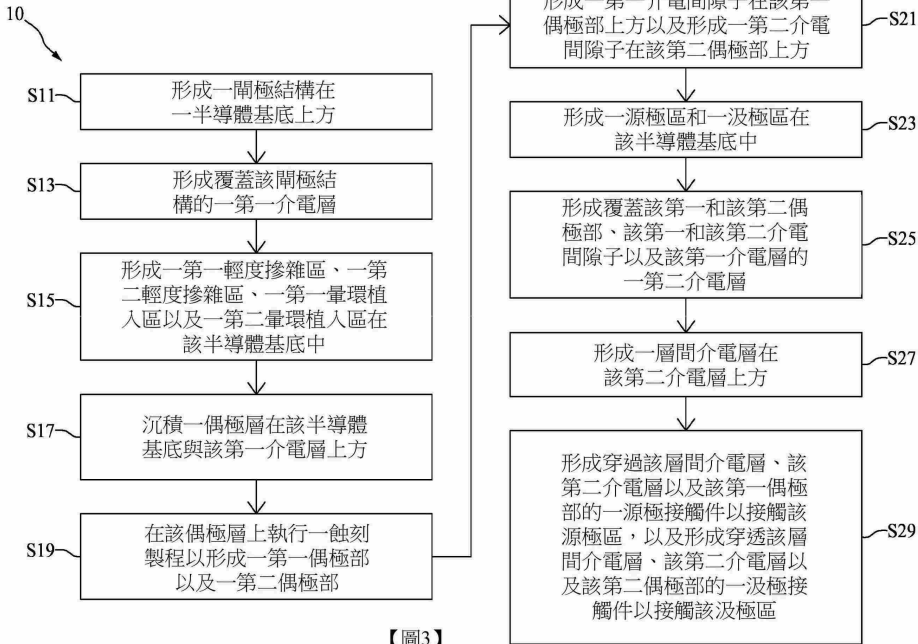


【圖1】

(4)

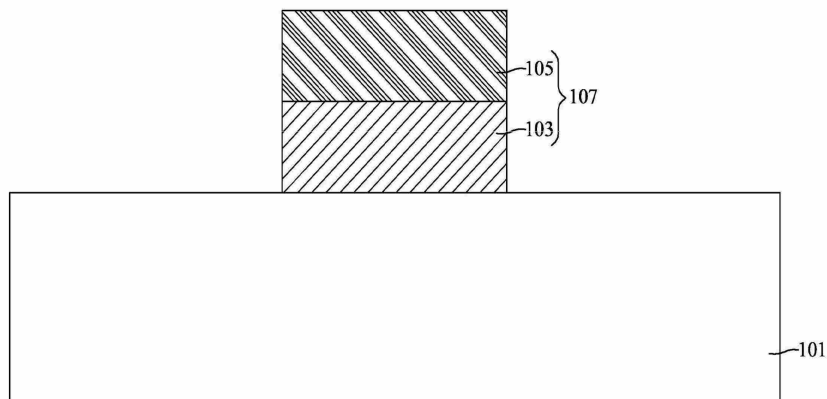
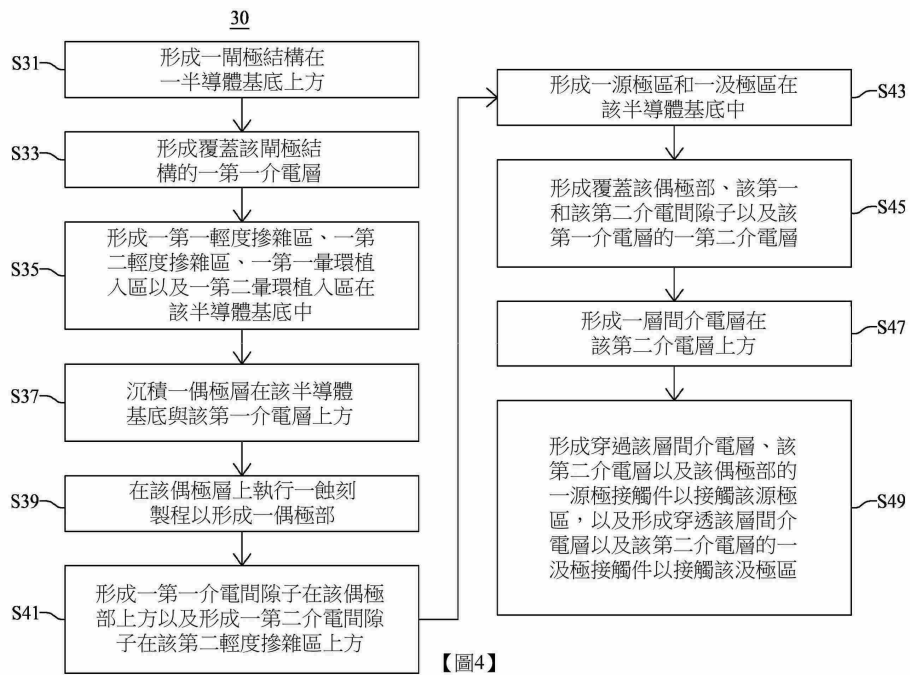


【圖2】



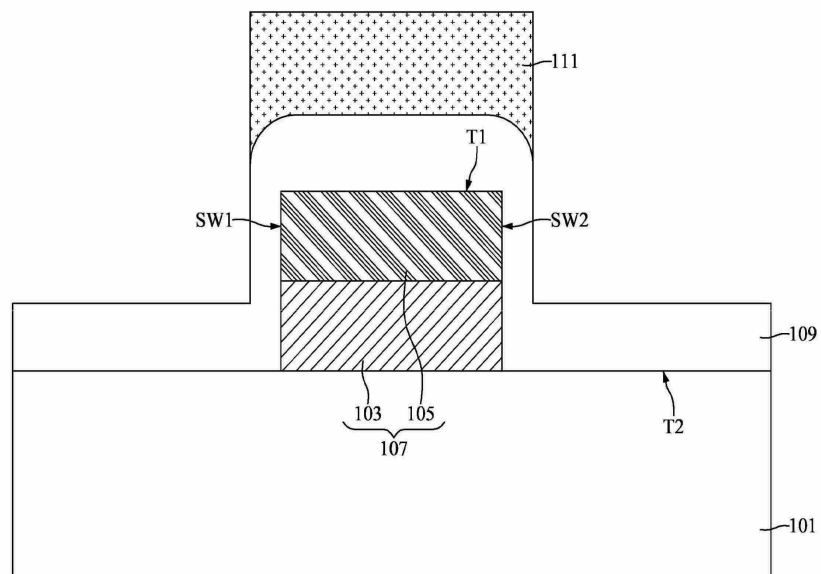
【圖3】

(5)

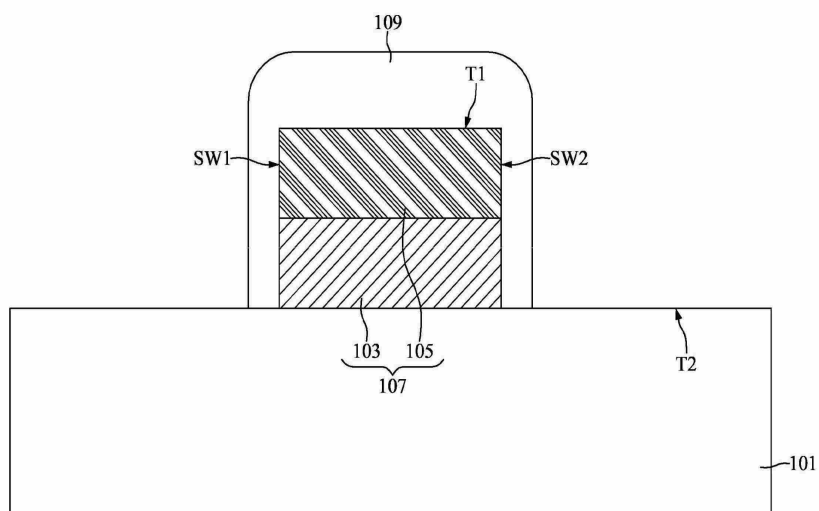


【圖5】

(6)

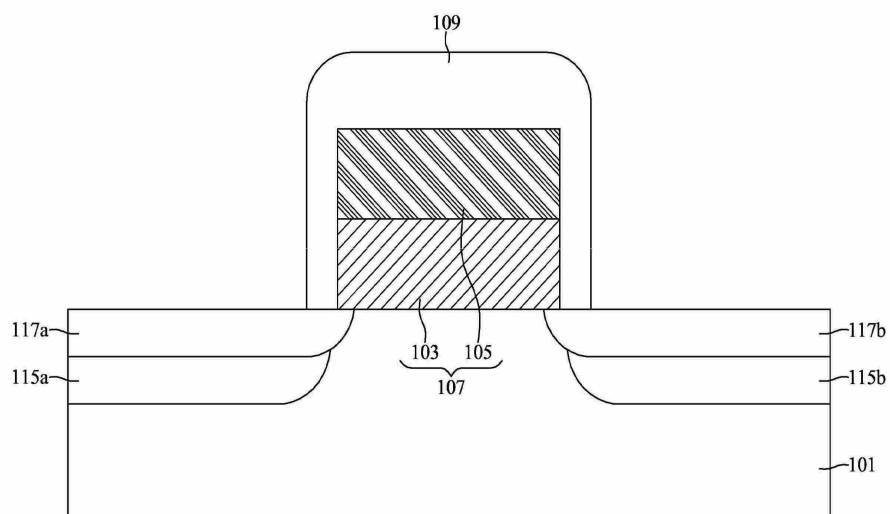


【圖6】

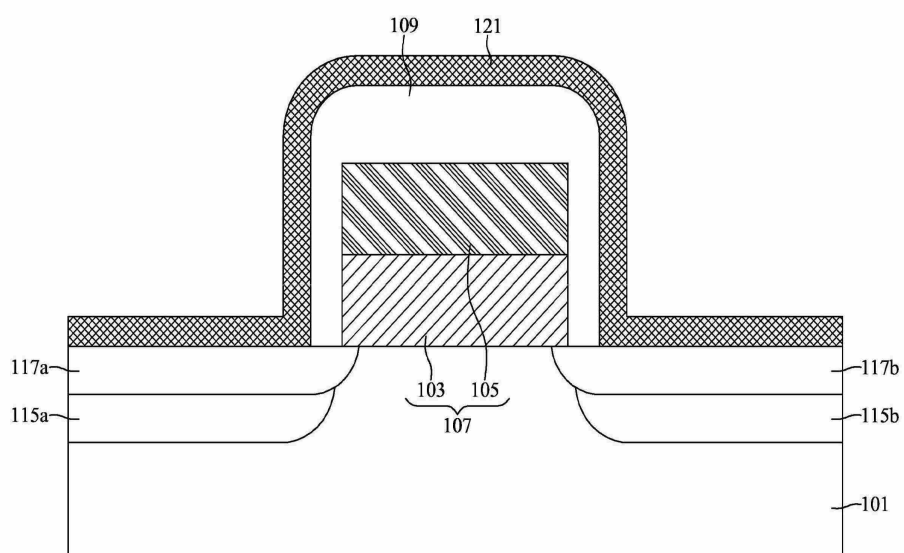


【圖7】

(7)

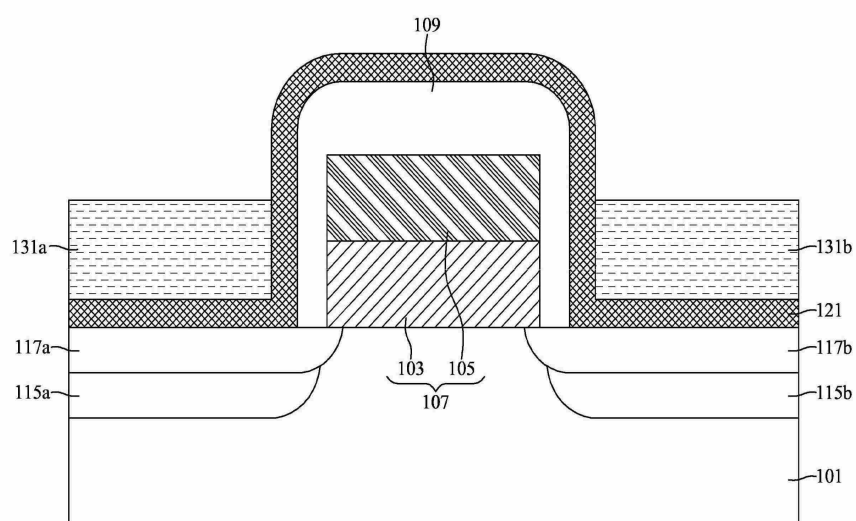


【圖8】

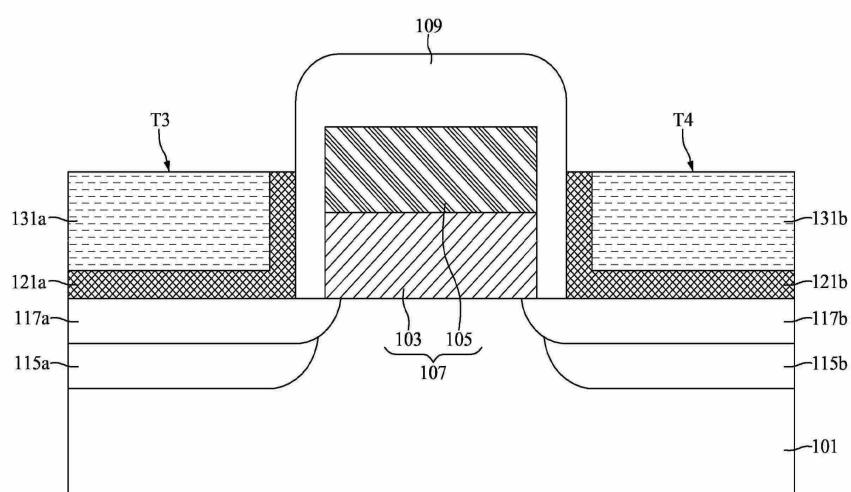


【圖9】

(8)

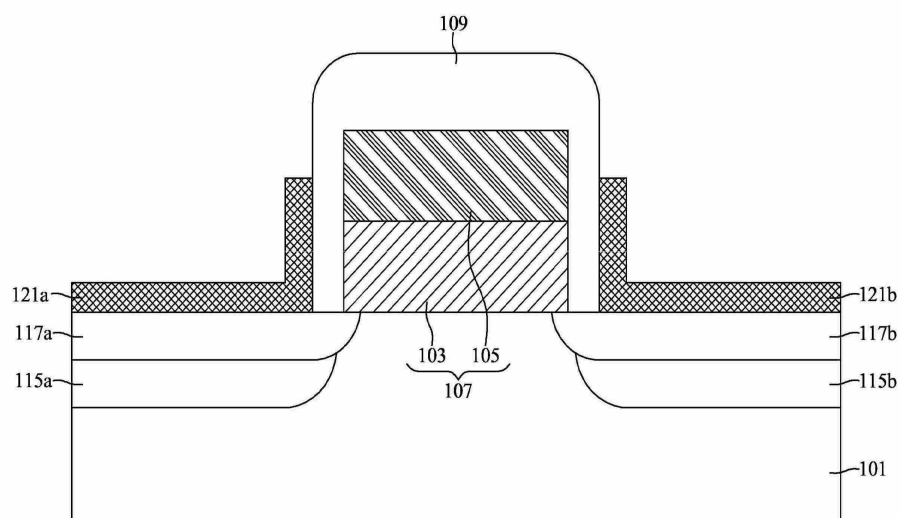


【圖10】

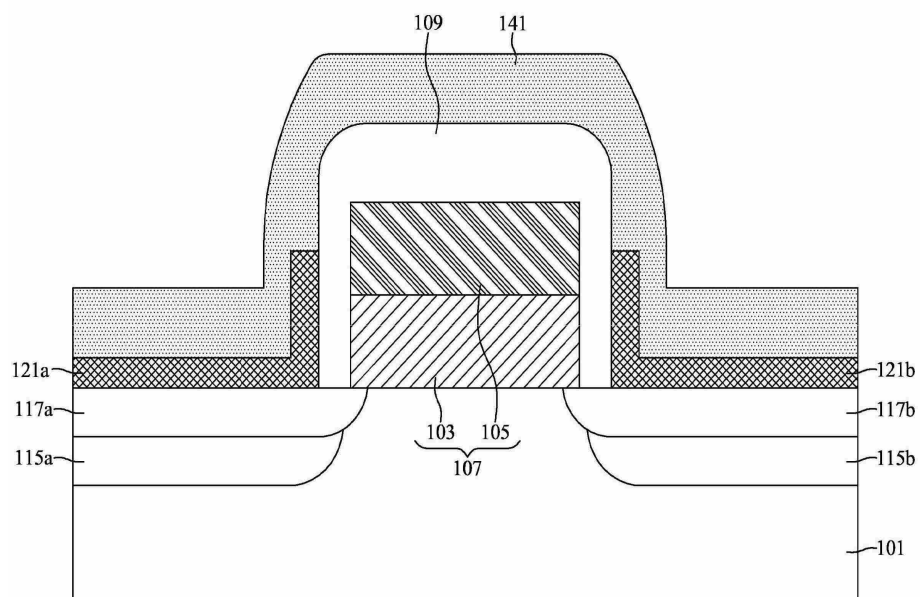


【圖11】

(9)

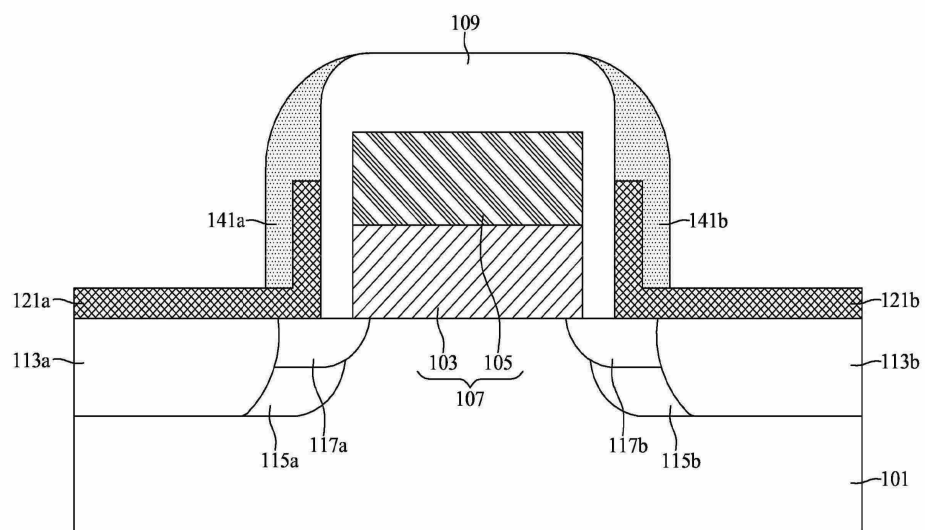


【圖12】

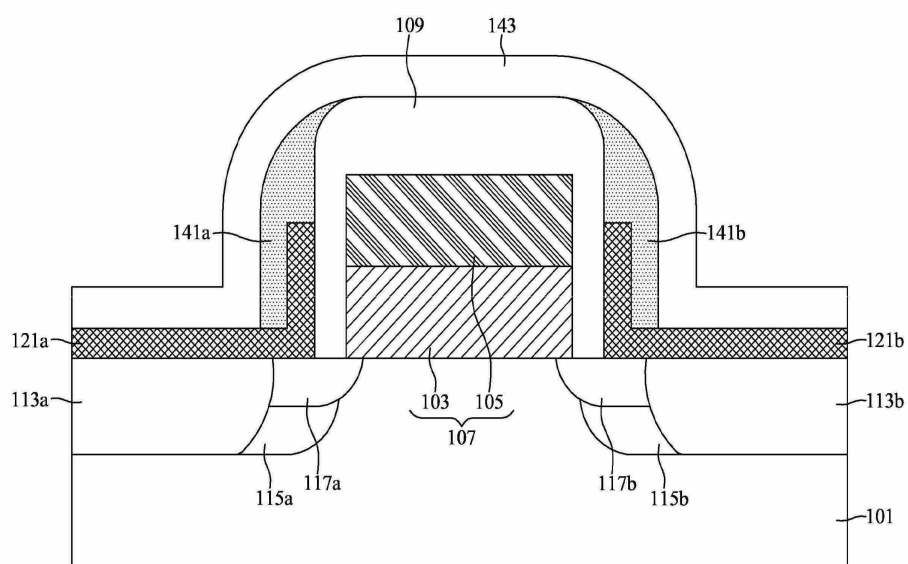


【圖13】

(10)

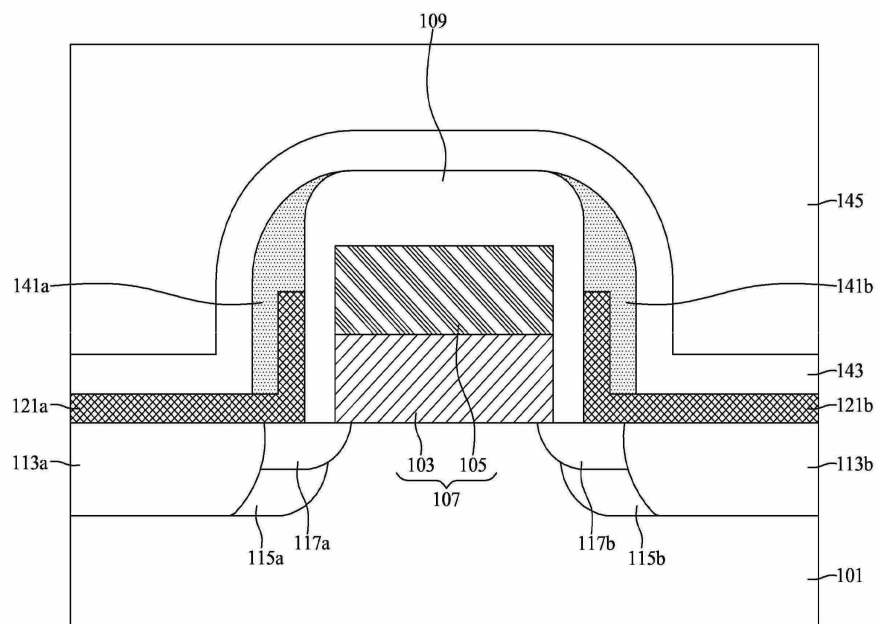


【圖14】

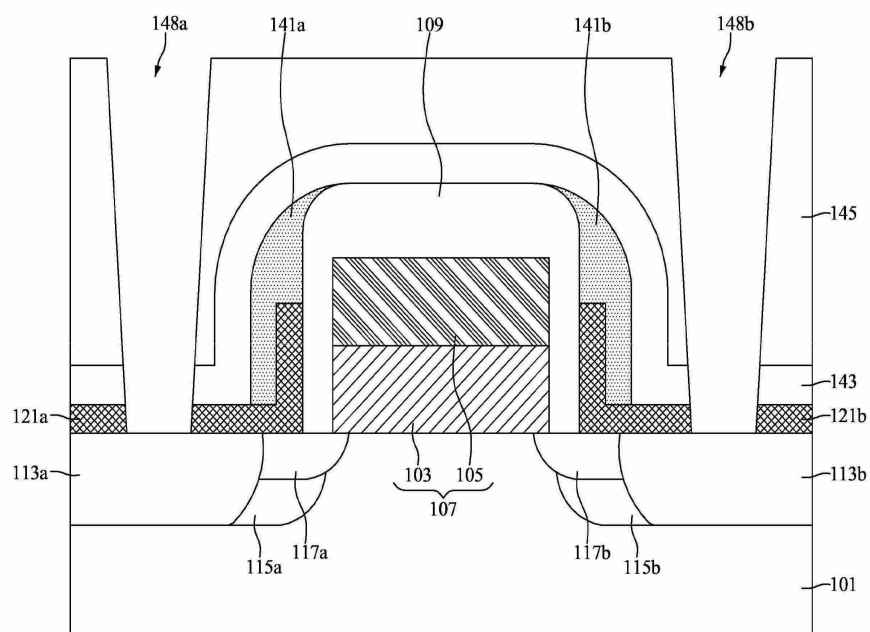


【圖15】

(11)

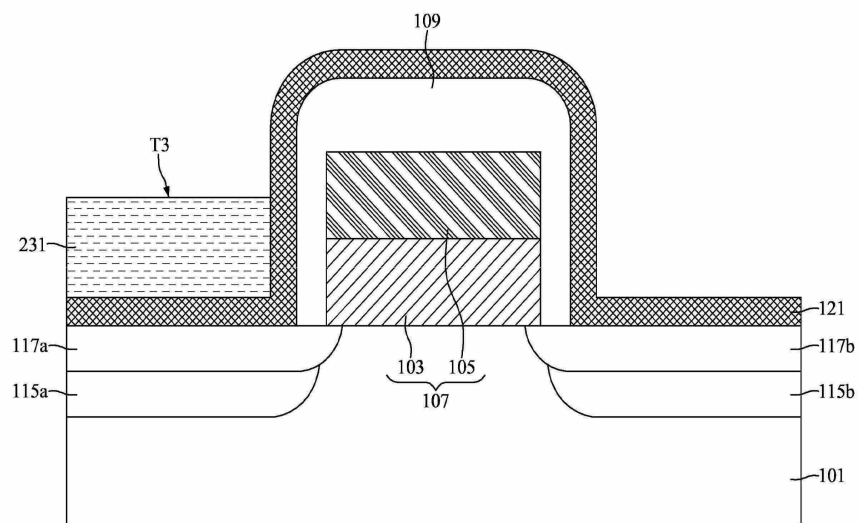


【圖16】

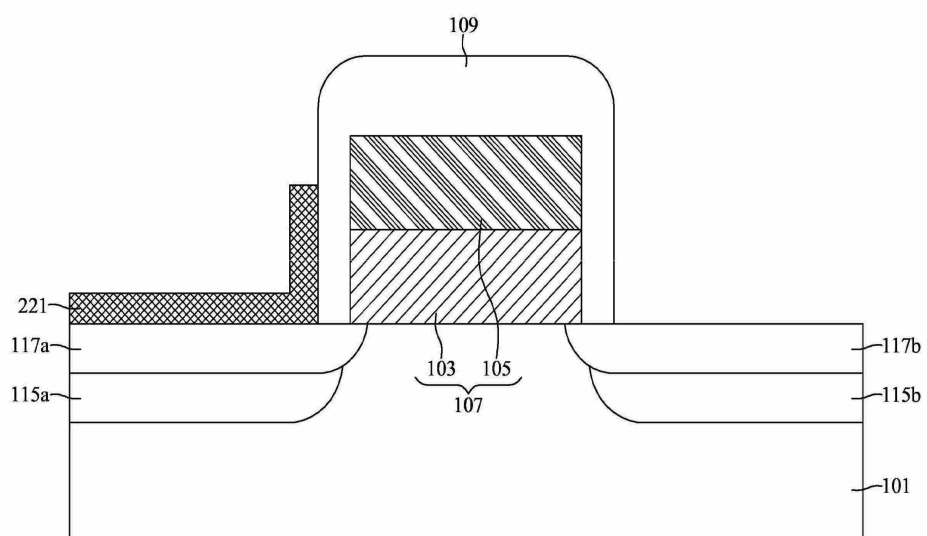


【圖17】

(12)

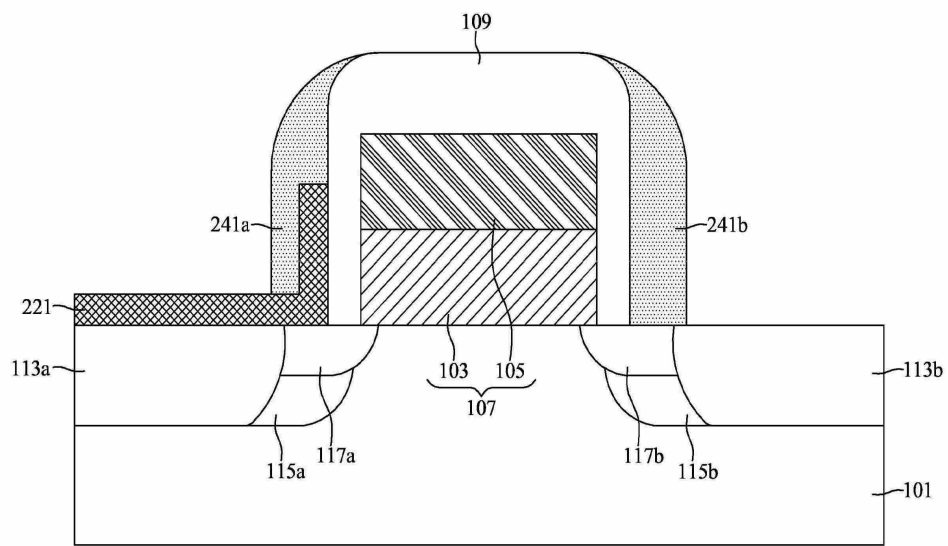


【圖18】



【圖19】

(13)



【圖20】