

【11】證書號數：I938826

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/40 (2026.01) H10W20/44 (2026.01)
H10W20/00 (2026.01) H10P14/60 (2026.01)

發明

全 9 頁

【54】名稱：半導體裝置

【21】申請案號：114106677

【22】申請日：中華民國 114 (2025) 年 02 月 24 日

【11】公開編號：202610056

【43】公開日期：中華民國 115 (2026) 年 03 月 01 日

【30】優先權：2024/08/27

日本

2024-145916

【72】發明人：鈴木鴻介 (JP) SUZUKI, KOUSUKE ; 森田敏行 (JP) MORITA, TOSHIYUKI ;
西川大地 (JP) NISHIKAWA, DAICHI

【71】申請人：日商鎧俠股份有限公司
日本

KIOXIA CORPORATION

【74】代理人：陳長文

【56】參考文獻：

TW 202410208A

審查人員：詹惟雯

【57】申請專利範圍

1. 一種半導體裝置，其具備：
佈線層，其包含複數個佈線；及
柱狀電極，其與上述佈線一體設置，從上述佈線之底部於與上述佈線層大致垂直之方向上延伸；且
上述佈線具有於與上述佈線層大致垂直之方向上交替積層之導電膜及與上述導電膜不同之第 1 膜，
上述第 1 膜之主成分為硼(B)、作為上述導電膜之主成分之金屬元素之氧化物或上述導電膜之核形成層。
2. 如請求項 1 之半導體裝置，其中上述第 1 膜以夾著上述第 1 膜之 2 個上述導電膜之間將上述導電膜之晶粒分斷之方式設置。
3. 如請求項 1 之半導體裝置，其中於上述第 1 膜之主成分為上述導電膜之核形成層之情形時，上述第 1 膜包含硼(B)。
4. 如請求項 1 之半導體裝置，其中上述第 1 膜為非晶膜。
5. 如請求項 1 之半導體裝置，其中上述導電膜之主成分為鎢(W)。
6. 如請求項 1 之半導體裝置，其中上述導電膜及上述第 1 膜之積層數為 2 以上。
7. 如請求項 1 之半導體裝置，其中與上述佈線層大致垂直之方向上之上述導電膜之厚度為 15 nm 以下。
8. 如請求項 1 之半導體裝置，其進而具備設置於複數個上述佈線上之絕緣膜，且
上述絕緣膜根據從與上述佈線層大致垂直之方向觀察到之複數個上述佈線之形狀來配置。
9. 如請求項 1 之半導體裝置，其進而具備：
記憶胞陣列；及
複數個柱狀部，其等貫通上述記憶胞陣列；且
複數個上述佈線與複數個上述柱狀部分別電性連接。

(2)

10. 如請求項 9 之半導體裝置，其進而具備：
基板；且
上述配線層設置於上述基板與上述記憶胞陣列之間。
11. 一種半導體裝置，其具備：
包含複數個佈線之佈線層；且
上述佈線具有於與上述佈線層大致垂直之方向上交替積層之導電膜及與上述導電膜不同之第 1 膜，
上述第 1 膜之主成分為硼(B)、或作為上述導電膜之主成分之金屬元素之氧化物，或者
上述第 1 膜為非晶膜，且
上述導電膜及上述第 1 膜之積層數為 5 以上。
12. 如請求項 11 之半導體裝置，其進而具備：
記憶胞陣列；及
複數個柱狀部，其等貫通上述記憶胞陣列；且
複數個上述佈線與複數個上述柱狀部分別電性連接。
13. 如請求項 12 之半導體裝置，其進而具備：
基板；且
上述配線層設置於上述基板與上述記憶胞陣列之間。
14. 如請求項 11 之半導體裝置，其中與上述佈線層大致垂直之方向上之上述導電膜之厚度為 15 nm 以下。
15. 一種半導體裝置，其具備：
佈線層，其包含複數個佈線；及
柱狀電極，其與上述佈線一體設置，從上述佈線之底部於與上述佈線層大致垂直之方向上延伸；
上述佈線具有於與上述佈線層大致垂直之方向上交替積層之導電膜及與上述導電膜不同之第 1 膜，且
上述第 1 膜之主成分與上述導電膜之主成分相同，或者上述第 1 膜為非晶膜，
上述第 1 膜與上述導電膜之主成分相同之情形時，上述第 1 膜為上述導電膜之核形成層。
16. 如請求項 15 之半導體裝置，其中於上述第 1 膜之主成分為上述導電膜之核形成層之情形時，上述第 1 膜包含硼(B)。
17. 如請求項 15 之半導體裝置，其進而具備：
記憶胞陣列；及
複數個柱狀部，其等貫通上述記憶胞陣列；且
複數個上述佈線與複數個上述柱狀部分別電性連接。
18. 如請求項 17 之半導體裝置，其進而具備：
基板；且
上述配線層設置於上述基板與上述記憶胞陣列之間。
19. 如請求項 15 之半導體裝置，其中上述導電膜及上述第 1 膜之積層數為 2 以上。
20. 如請求項 15 之半導體裝置，其中與上述佈線層大致垂直之方向上之上述導電膜之厚度為 15 nm 以下。

圖式簡單說明

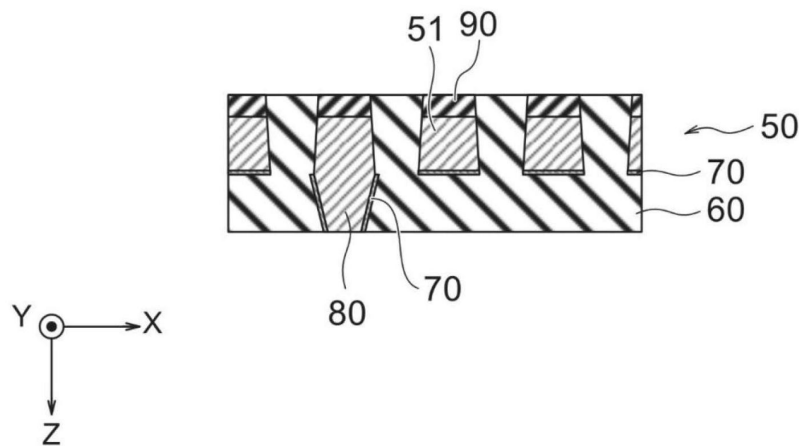
圖 1 係表示第 1 實施方式之半導體裝置之構成之一例之剖視圖。

圖 2A 係表示第 1 實施方式之半導體裝置之製造方法之一例之剖視圖。

圖 2B 係繼圖 2A 之後之表示半導體裝置之製造方法之一例之剖視圖。

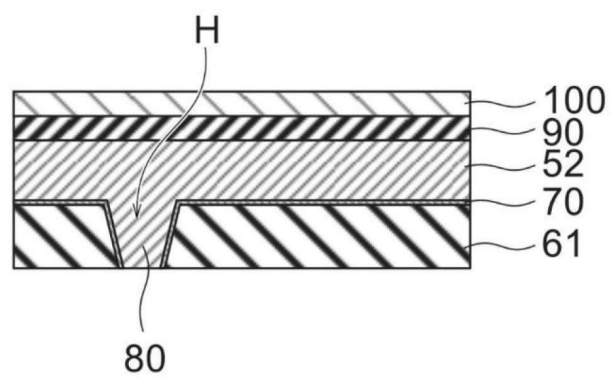
(3)

圖 3A 係表示第 1 實施方式之半導體裝置之製造方法之一例之剖視圖。
圖 3B 係繼圖 3A 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 3C 係繼圖 3B 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 3D 係繼圖 3C 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 3E 係繼圖 3D 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 4 係表示第 1 比較例之半導體裝置之製造方法之一例之剖視圖。
圖 5 係表示第 1 實施方式及第 1 比較例之導電膜之膜厚與佈線產生缺陷之關係之一例之圖。
圖 6A 係表示第 1 比較例之半導體裝置之製造方法之一例之剖視圖。
圖 6B 係繼圖 6A 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 6C 係繼圖 6B 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 6D 係繼圖 6C 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 6E 係繼圖 6D 之後之表示半導體裝置之製造方法之一例之剖視圖。
圖 7 係表示第 2 比較例之半導體裝置之製造方法之一例之剖視圖。
圖 8 係表示第 4 實施方式之半導體裝置之構造之一例之剖視圖。

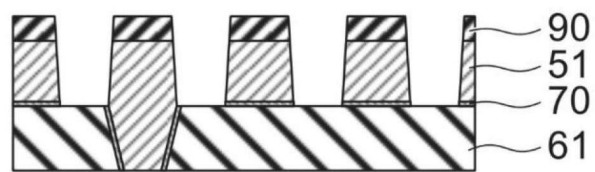


【圖1】

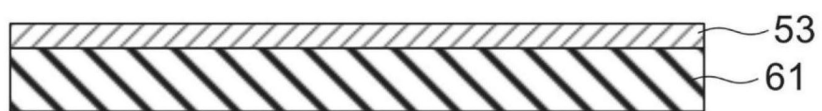
(4)



【圖2A】

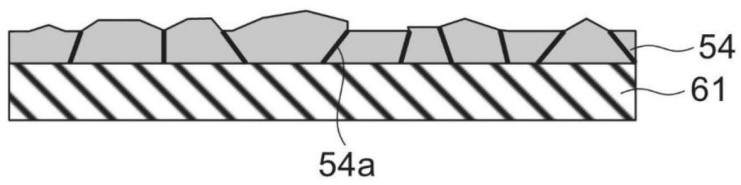


【圖2B】

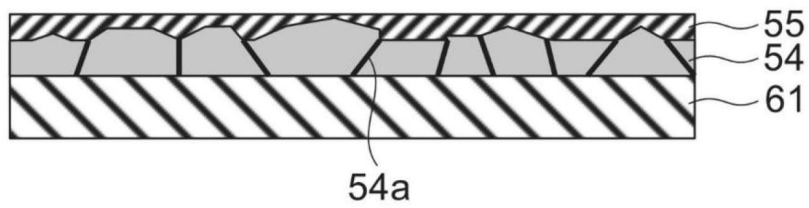


【圖3A】

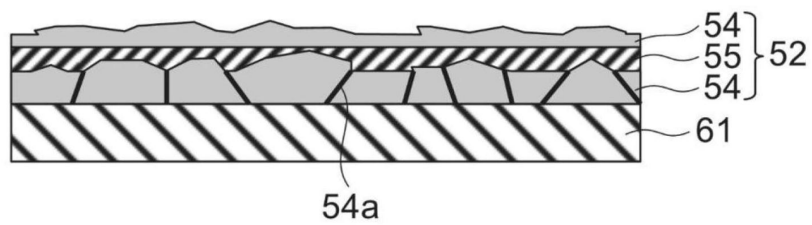
(5)



【圖3B】

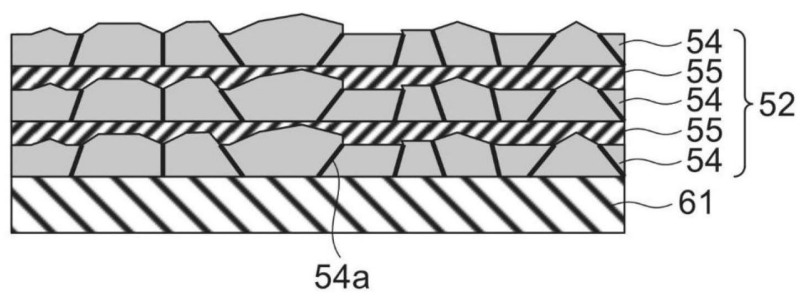


【圖3C】

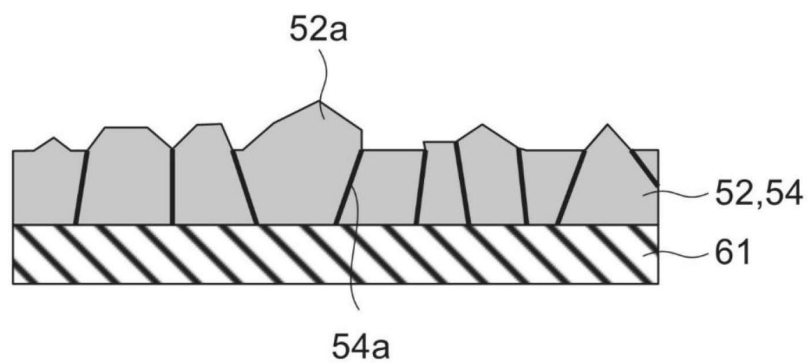


【圖3D】

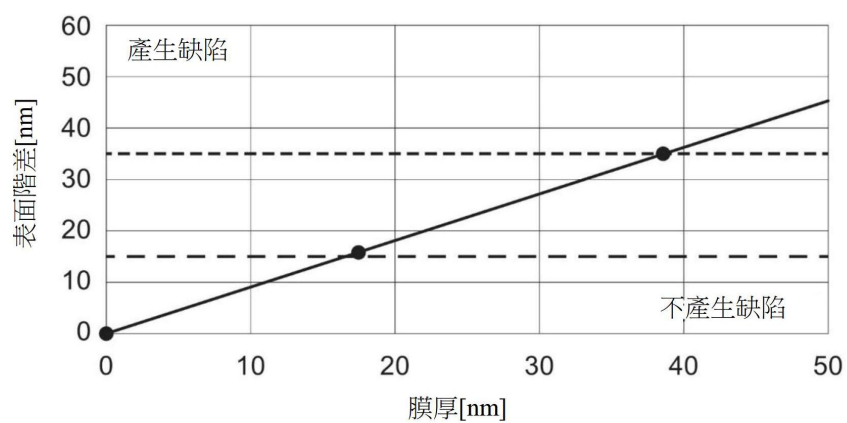
(6)



【圖3E】

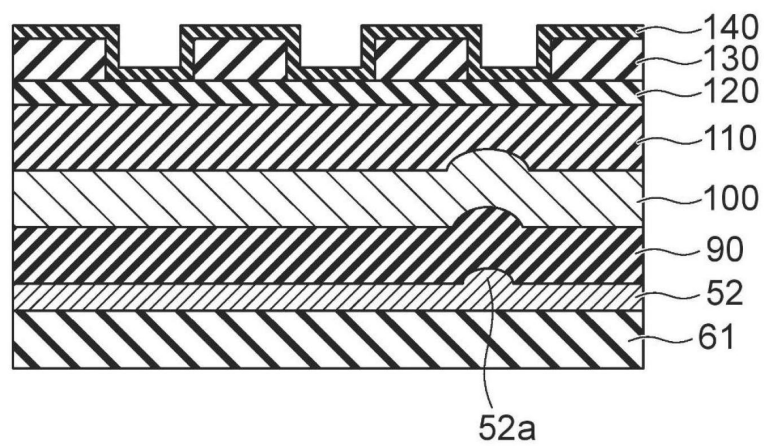


【圖4】

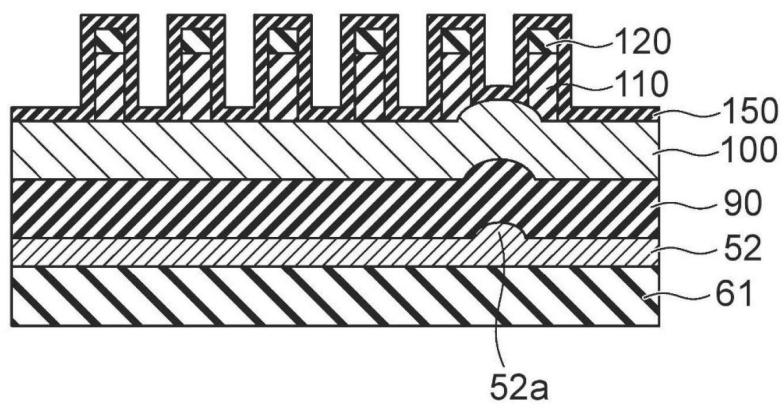


【圖5】

(7)

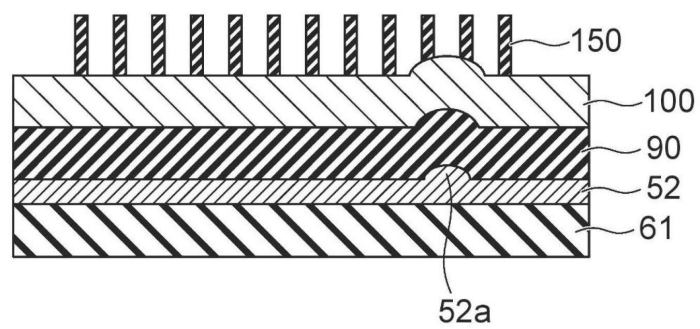


【圖6A】

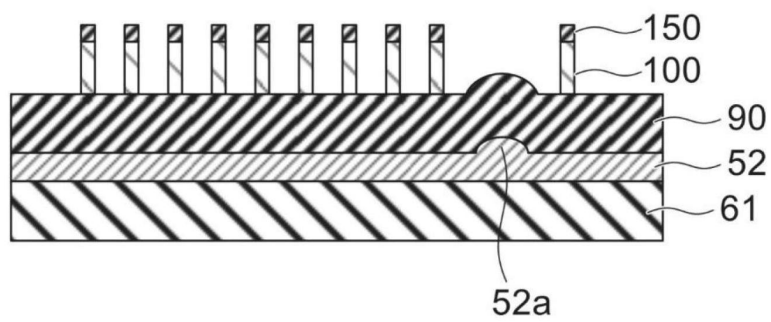


【圖6B】

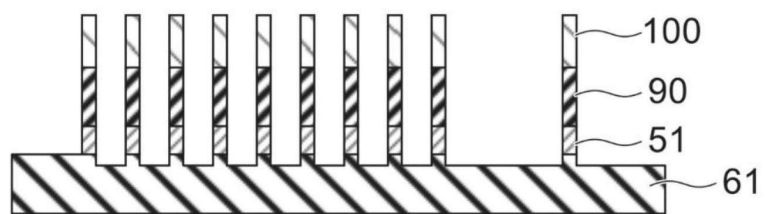
(8)



【圖6C】

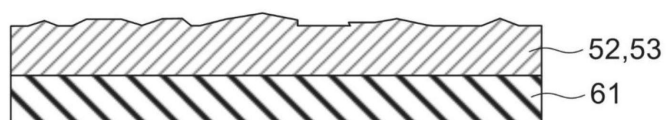


【圖6D】

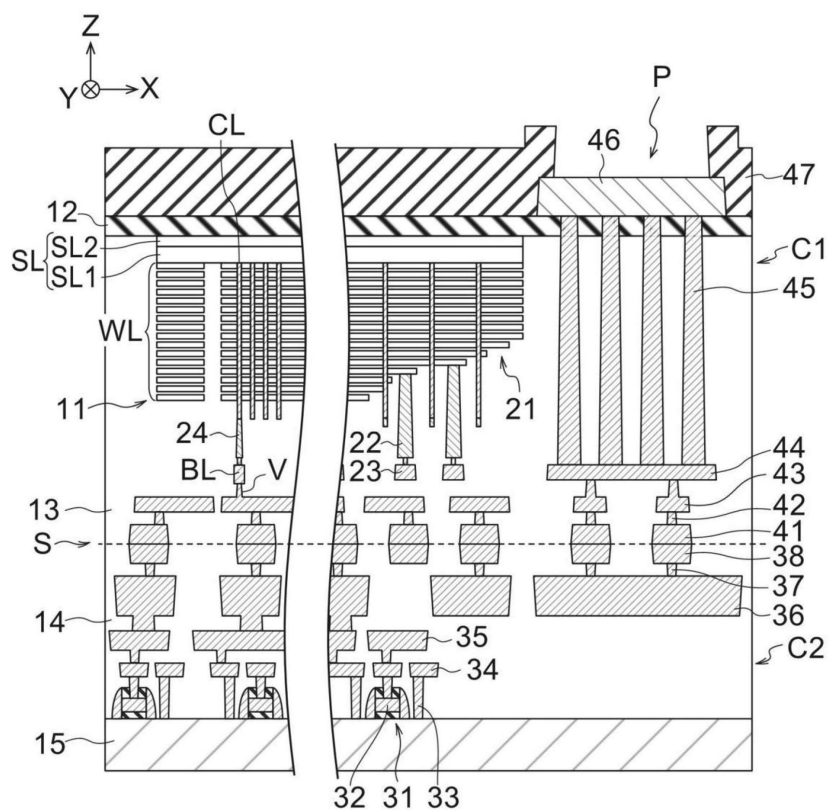


【圖6E】

(9)



【圖7】



【圖8】