

【11】證書號數：I938830

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W74/40 (2026.01) H10W42/00 (2026.01)
H10W20/40 (2026.01) H10D84/01 (2026.01)

發明

全 18 頁

【54】名稱：積體電路封裝及其形成之方法

【21】申請案號：114106781

【22】申請日：中華民國 114 (2025) 年 02 月 24 日

【11】公開編號：202616489

【43】公開日期：中華民國 115 (2026) 年 04 月 16 日

【30】優先權：2024/10/08

美國

18/908,893

【72】發明人：陳承先 (TW) CHEN, CHEN-SHIEN；陳旭賢 (TW) CHEN, HSU-HSIEN；莊曜群 (TW) CHUANG, YAO-CHUN；吳俊霖 (TW) WU, JYUN-LIN

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 200742025A

審查人員：陳志遠

【57】申請專利範圍

1. 一種積體電路封裝，包含：
一積體電路晶粒，包含：
一基材；
一保護結構，在該基材中，其中該保護結構與該基材包含一相同半導體材料，且其中該保護結構包含一第一摻雜物與不同於該第一摻雜物之一第二摻雜物，其中該保護結構包含含有該第一摻雜物的一第一部位與含有該第二摻雜物的一第二部位；
一互連結構，在該基材上，其中該互連結構包含介電層與在該些介電層中之導電性特徵；以及
一密封環結構，在該互連結構之該些介電層中，其中該密封環結構在由上而下的一視角中圍繞該互連結構之該些導電性特徵，且其中該密封環結構接觸該保護結構，其中該保護結構之該第一部位接觸該密封環結構，且其中該保護結構之該第二部位透過該保護結構之該第一部位與該密封環結構分離；以及
一介電材料，在該積體電路晶粒的側壁上。
2. 如請求項 1 所述之積體電路封裝，其中該保護結構包含一 p-n 接面。
3. 如請求項 1 所述之積體電路封裝，其中該第一摻雜物與該第二摻雜物是不同的導電性類型。
4. 如請求項 1 所述之積體電路封裝，其中該保護結構更包含含有不同於該第二摻雜物之一第三摻雜物的一第三部位。
5. 一種積體電路封裝，包含：
一積體電路晶粒，包含：
一基材，其中該基材包含一第一半導體材料；

(2)

一保護結構，在該基材中，其中該保護結構包含該第一半導體材料，其中該保護結構的第一部位摻雜一第一摻雜物，且該保護結構的第二部位摻雜一第二摻雜物，且其中該第一摻雜物與該第二摻雜物是不同的導電性類型；

一互連結構，在該基材上，其中該互連結構包含介電層與在該些介電層中之導電性特徵；以及

一密封環結構，在該互連結構之該些介電層中，其中該密封環結構接觸該保護結構之該第一部位，且其中該保護結構之該第二部位透過該保護結構之該第一部位與該密封環結構分離；以及

一介電材料，在該積體電路晶粒的側壁上。

6. 如請求項 5 所述之積體電路封裝，其中該密封環結構的一表面比該保護結構之該第一部位的一表面狹窄。
7. 如請求項 5 所述之積體電路封裝，其中該密封環結構是一連續環，在由上而下的一視角中圍繞該互連結構之該些導電性特徵，且其中該保護結構是一連續環，在由上而下的該視角中圍繞該互連結構之該些導電性特徵。
8. 如請求項 5 所述之積體電路封裝，其中該密封環結構是一片段環，在由上而下的一視角中圍繞該互連結構之該些導電性特徵，且其中該保護結構是一片段環，在由上而下的該視角中圍繞該互連結構之該些導電性特徵。
9. 如請求項 5 所述之積體電路封裝，其中該保護結構進一步包含一第三部位摻雜該第一摻雜物，且其中該保護結構之該第二部位位於該保護結構之該第一部位與該保護結構之該第三部位之間。
10. 一種積體電路封裝形成之方法，包含：
透過對一基材依序摻雜一第一摻雜物與一第二摻雜物以於該基材中形成一保護結構，其中該第二摻雜物不同於該第一摻雜物，且其中該保護結構包含含有該第一摻雜物的一第一部位以及含有該第二摻雜物的一第二部位；
於該基材之該第一部位上形成一互連結構，其中該互連結構包含介電層與在該些介電層中之導電性特徵；
於該互連結構之該些介電層中形成一密封環結構，其中該密封環結構在由上而下的一視角中圍繞該互連結構之該些導電性特徵，其中該密封環結構接觸該保護結構之該第二部位，其中該保護結構之該第一部位透過該保護結構之該第二部位與該密封環結構分離，且其中該密封環結構透過該保護結構之該第二部位與該基材之該第一部位分離；
切單該基材以形成一積體電路晶粒，其中該積體電路晶粒包含該基材之該第一部位、該保護結構、該互連結構以及該密封環結構；以及
形成具有該積體電路晶粒之一積體電路封裝。

圖式簡單說明

透過結合圖式閱讀下列實施方式，將可以最佳地理解本揭露。需強調的是，根據產業標準慣例，各種特徵並未按照比例繪製且僅用於說明目的。事實上，為了清楚的討論，各種特徵的尺寸可能任意地增加或減少。

第 1 圖至第 5C 圖為繪示根據部分實施方式形成積體電路晶粒於過程中的中間步驟的各種視圖。

第 6A 圖至第 6C 圖為繪示根據部分實施方式之積體電路晶粒的各種視圖。

第 7A 圖至第 7C 圖為繪示根據部分實施方式之虛擬晶粒的各種視圖。

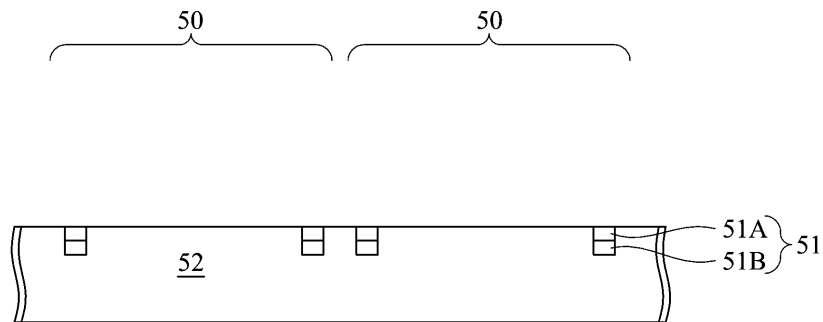
第 8 圖至第 16 圖為繪示根據部分實施方式形成積體電路封裝於過程中的中間步驟的各種視圖。

(3)

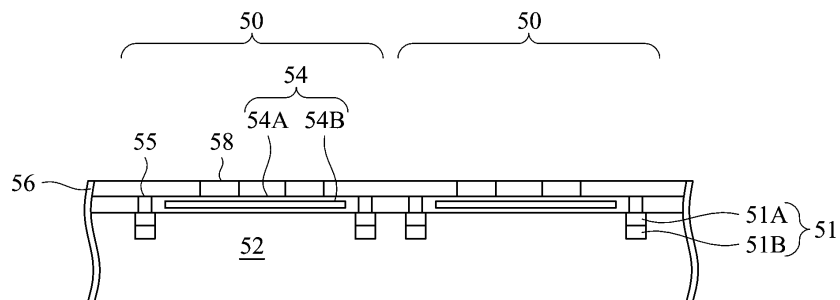
第 17A 圖至第 18 圖為繪示根據部分實施方式之積體電路晶粒與包含積體電路晶粒之積體電路封裝的各種視圖。

第 19A 圖至第 20 圖為繪示根據部分實施方式之積體電路晶粒與包含積體電路晶粒之積體電路封裝的各種視圖。

第 21A 圖至第 22 圖為繪示根據部分實施方式之積體電路晶粒與包含積體電路晶粒之積體電路封裝的各種視圖。

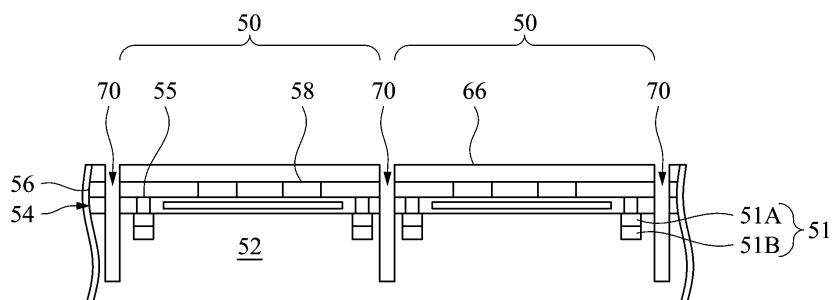


第 1 圖

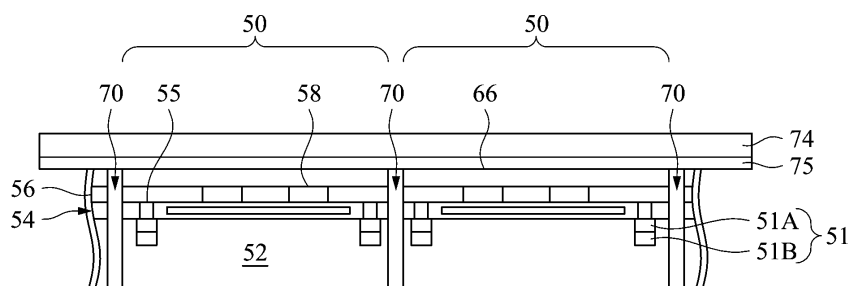


第 2 圖

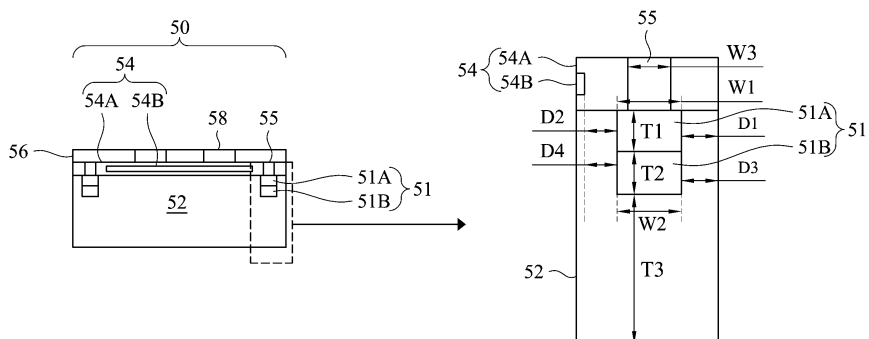
(4)



第 3 圖

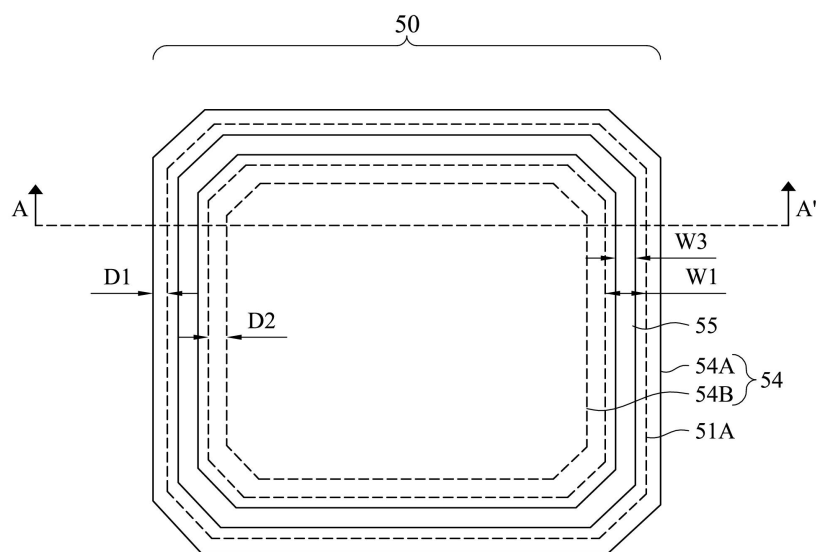


第 4 圖

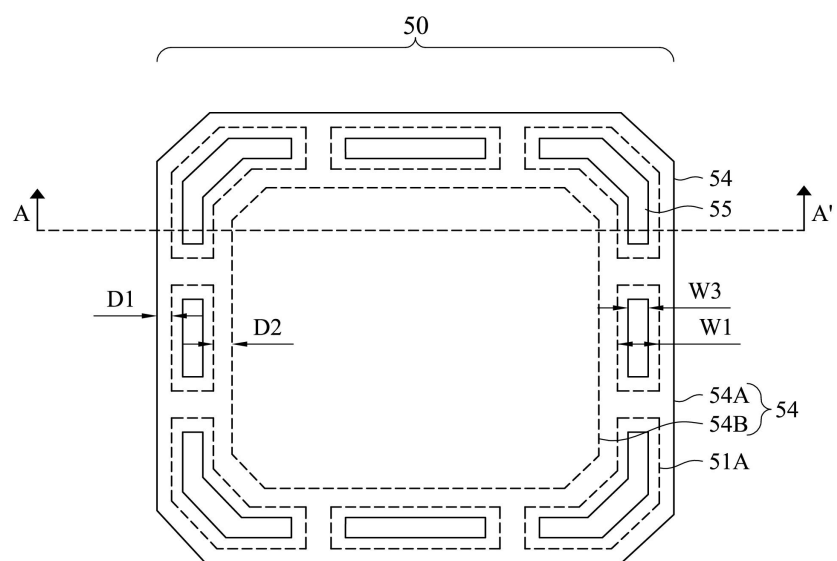


第 5A 圖

(5)

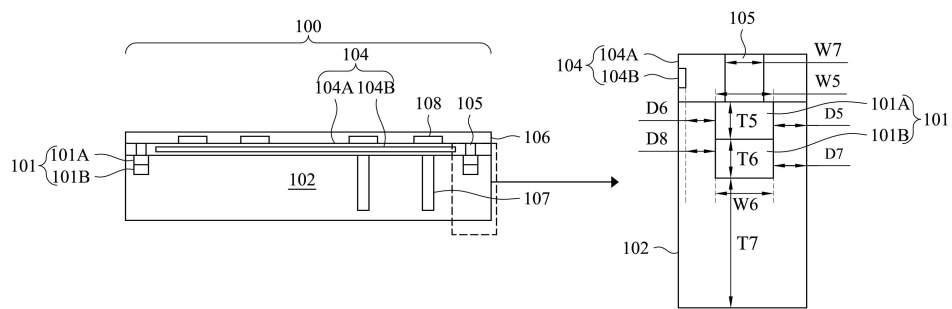


第 5B 圖

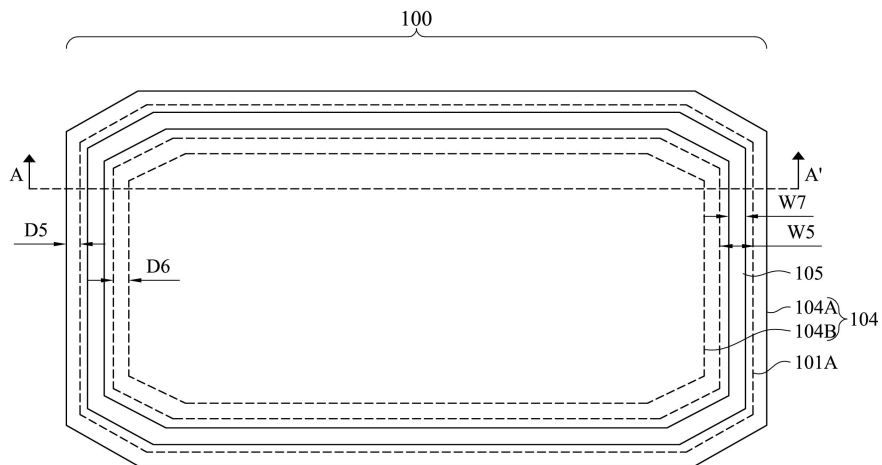


第 5C 圖

(6)

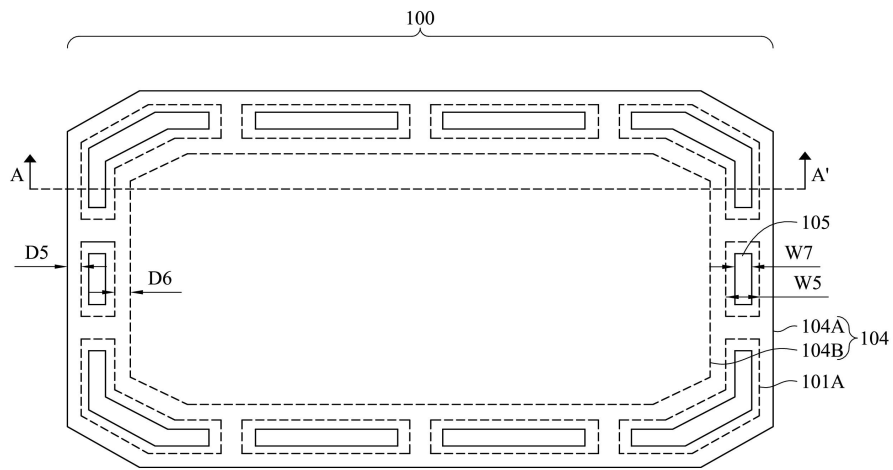


第 6A 圖

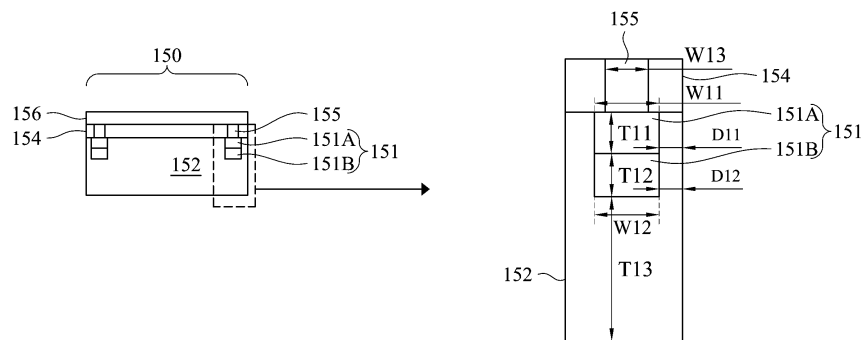


第 6B 圖

(7)

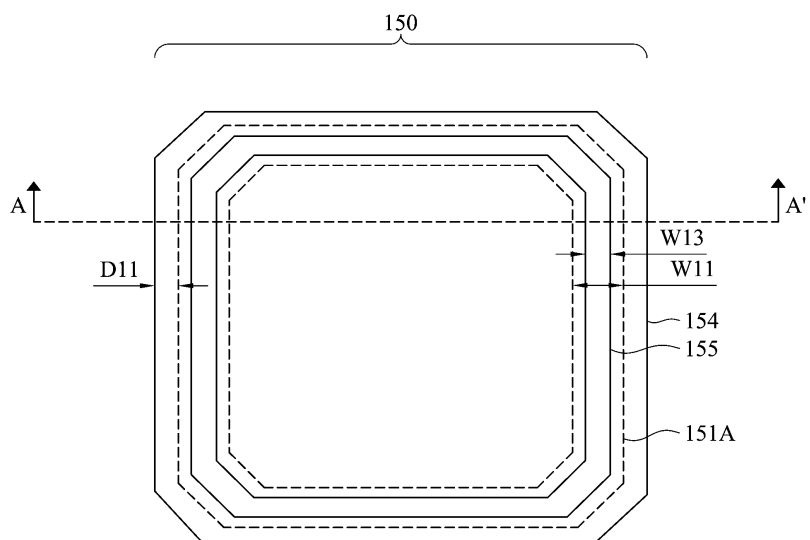


第 6C 圖

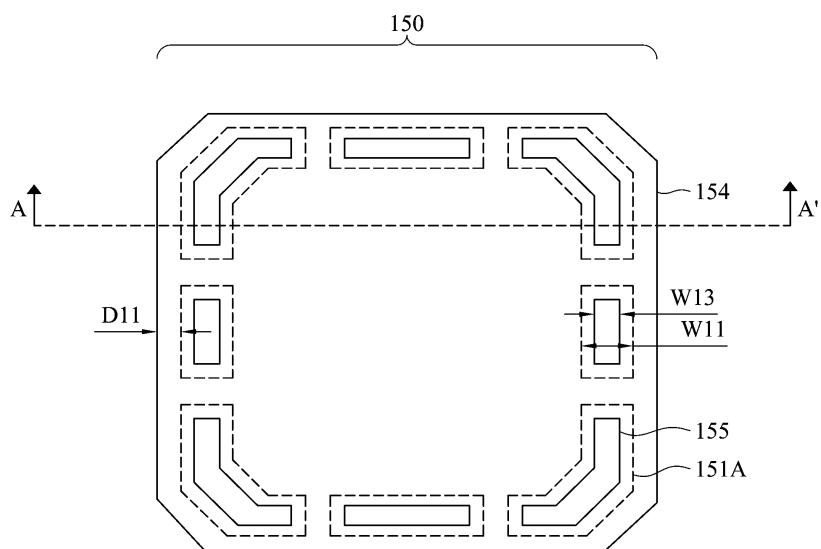


第 7A 圖

(8)

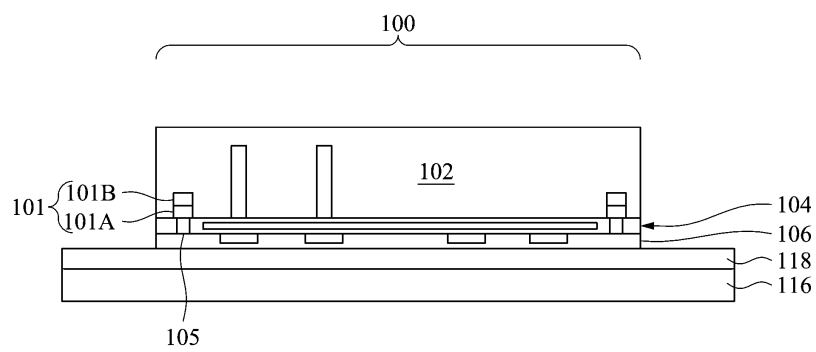


第 7B 圖

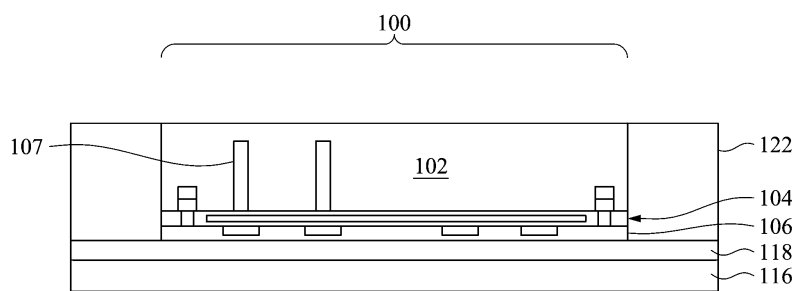


第 7C 圖

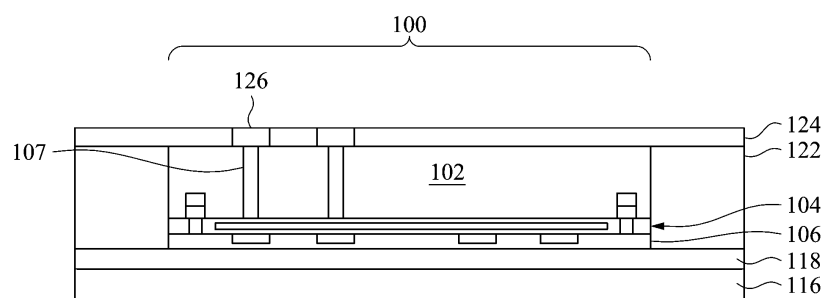
(9)



第 8 圖

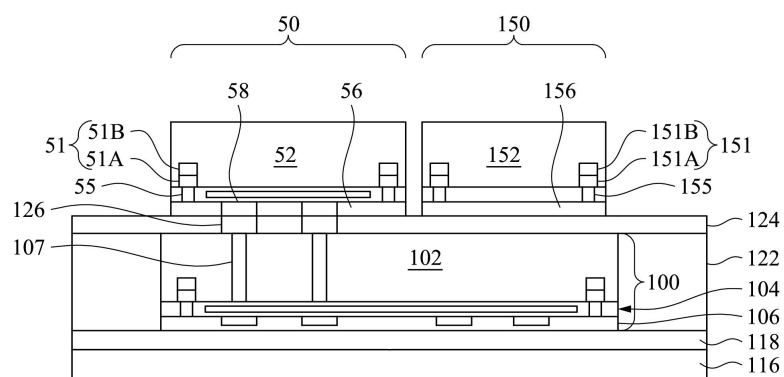


第 9 圖

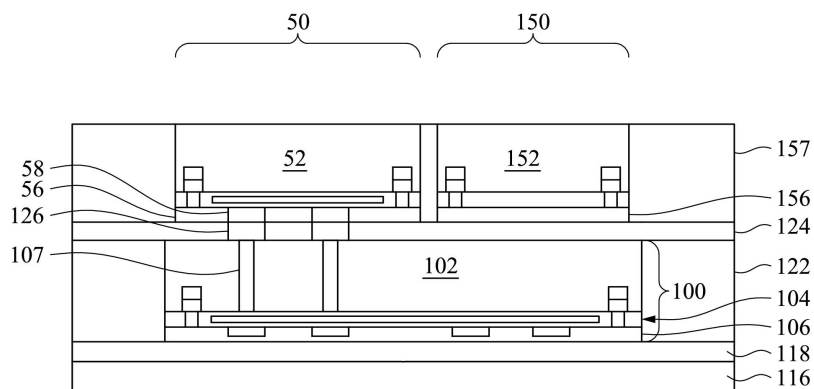


第 10 圖

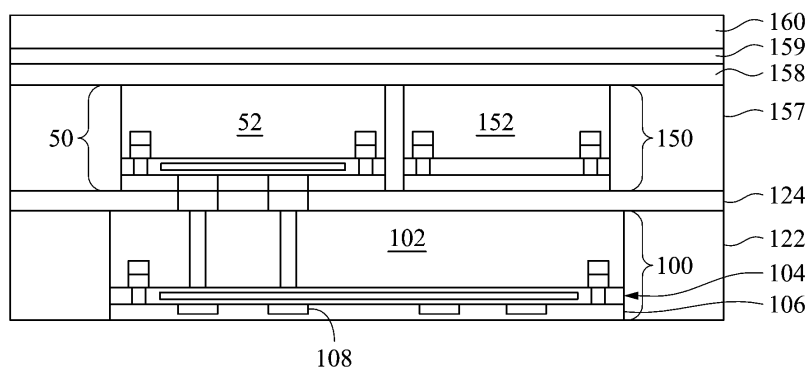
(10)



第 11 圖



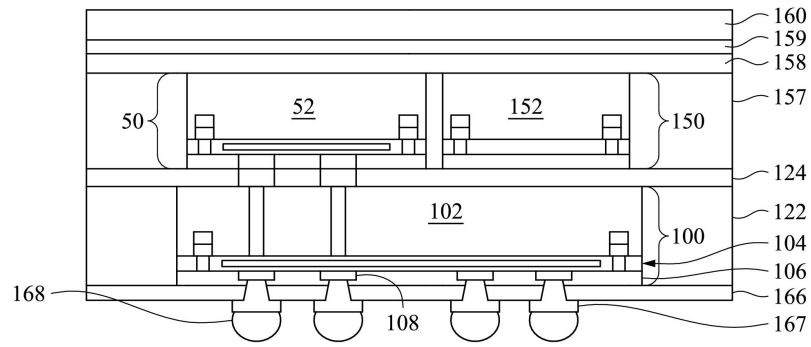
第 12 圖



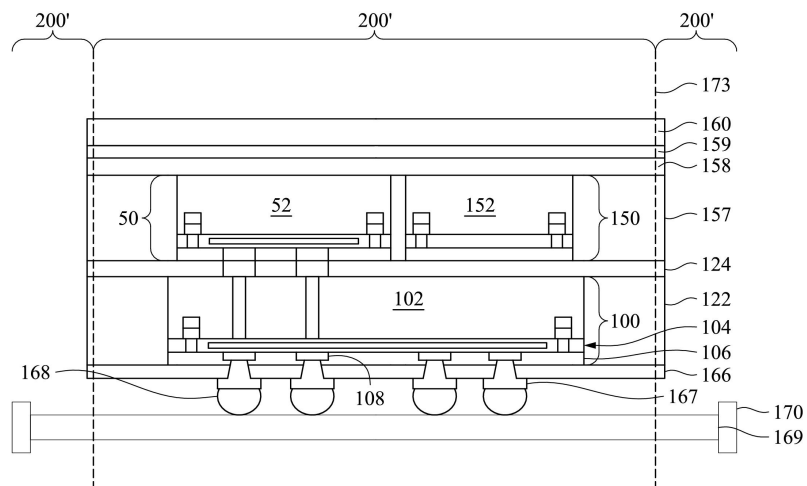
第 13 圖

(11)

200

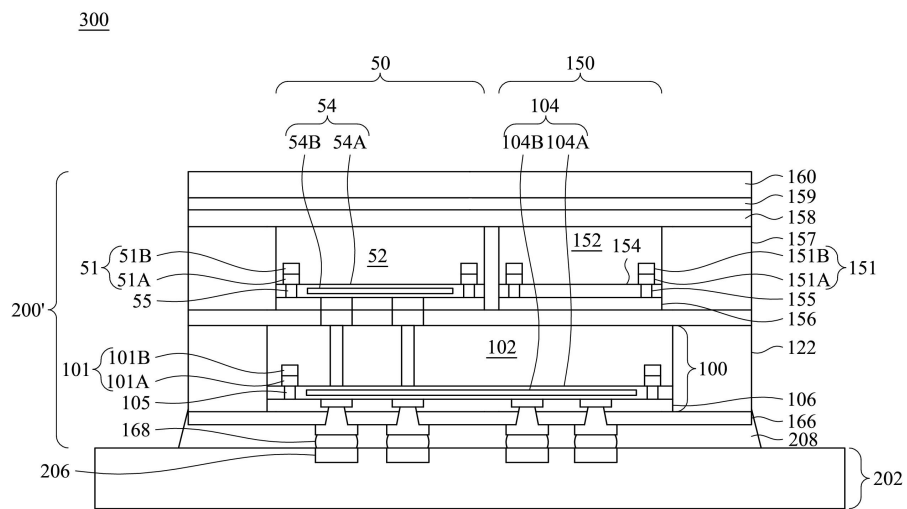


第 14 圖

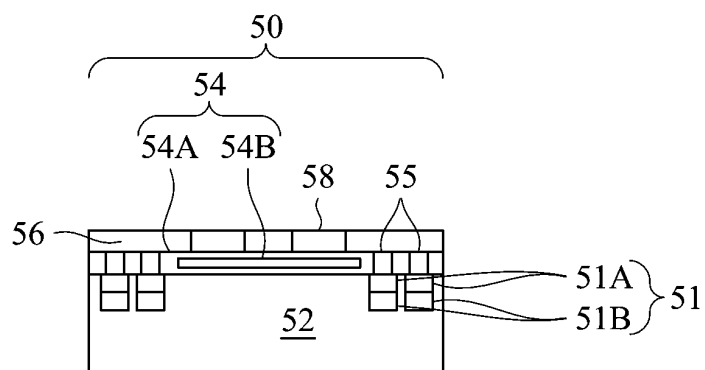


第 15 圖

(12)

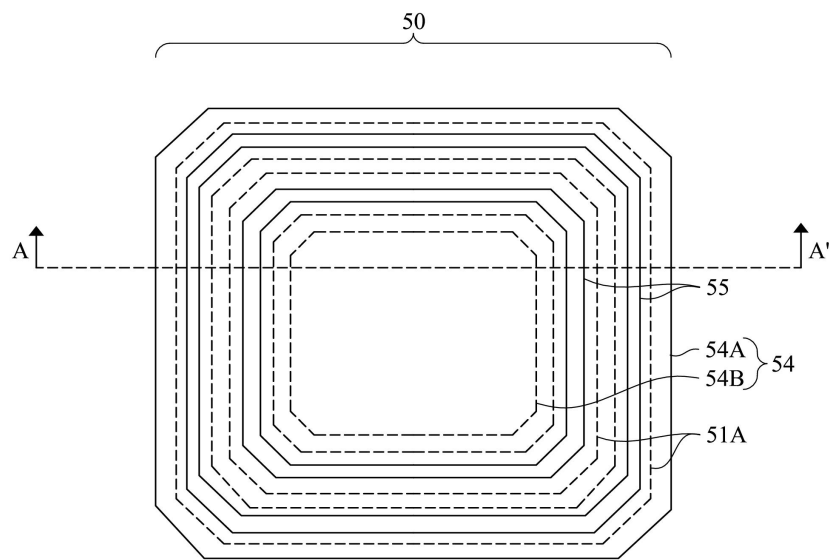


第 16 圖

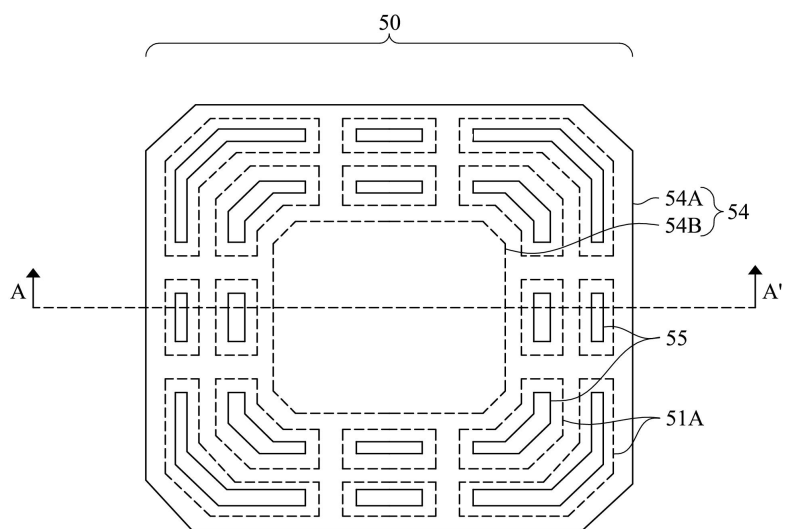


第 17A 圖

(13)

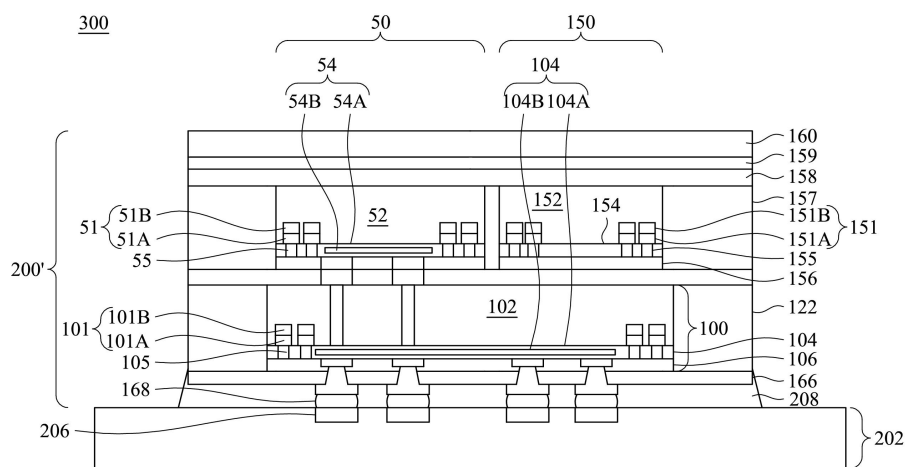


第 17B 圖

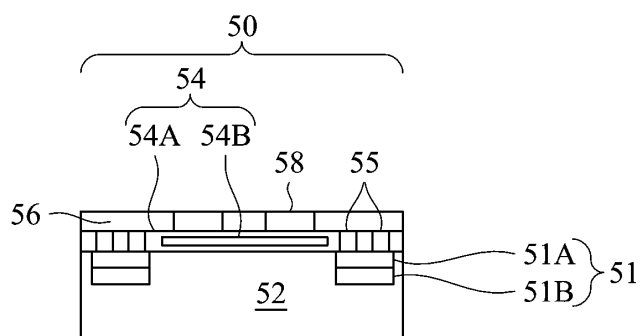


第 17C 圖

(14)

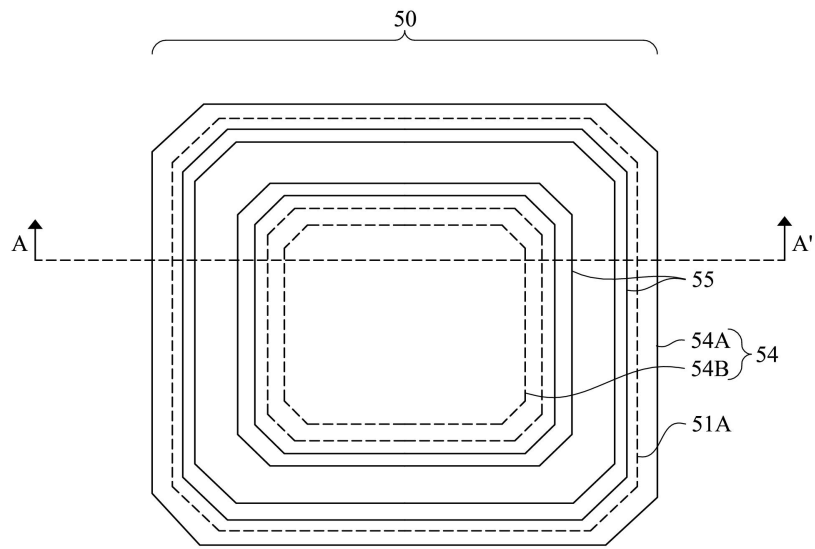


第 18 圖

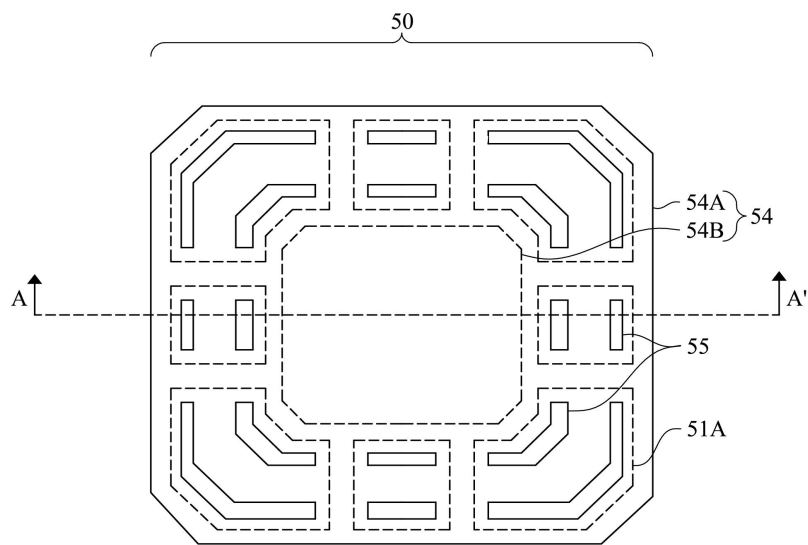


第 19A 圖

(15)

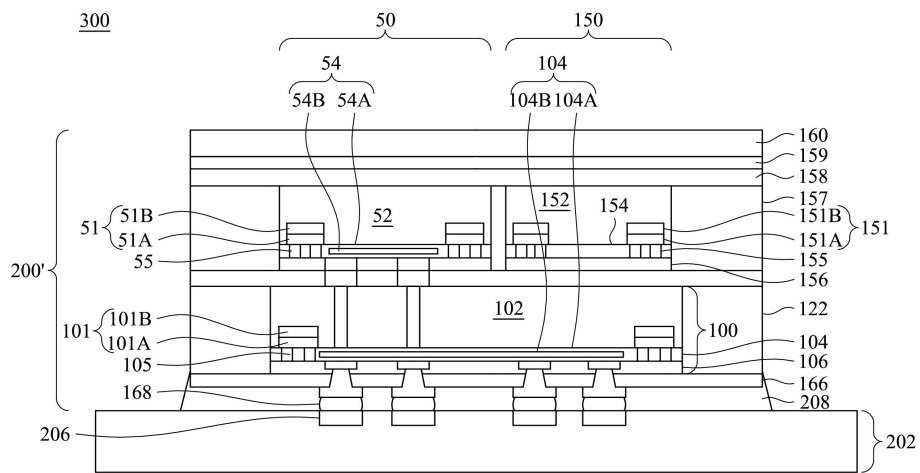


第 19B 圖

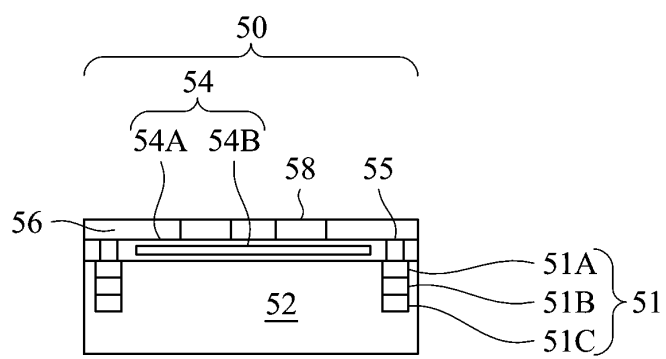


第 19C 圖

(16)

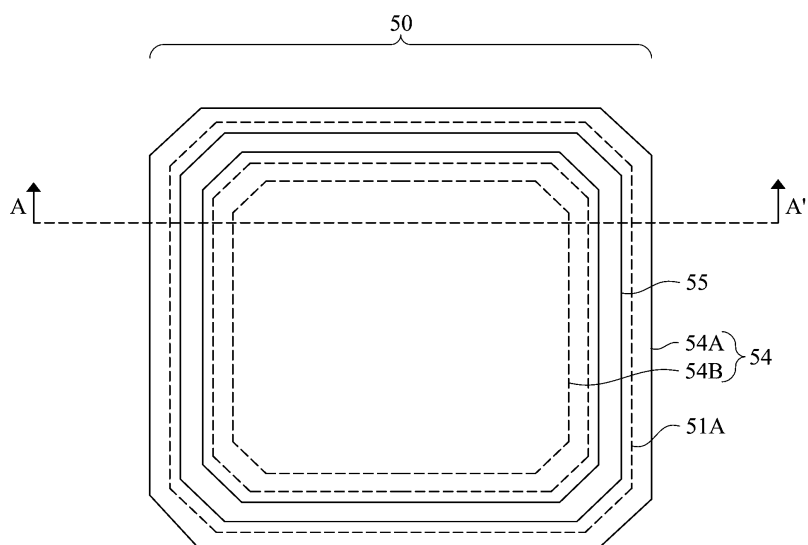


第 20 圖

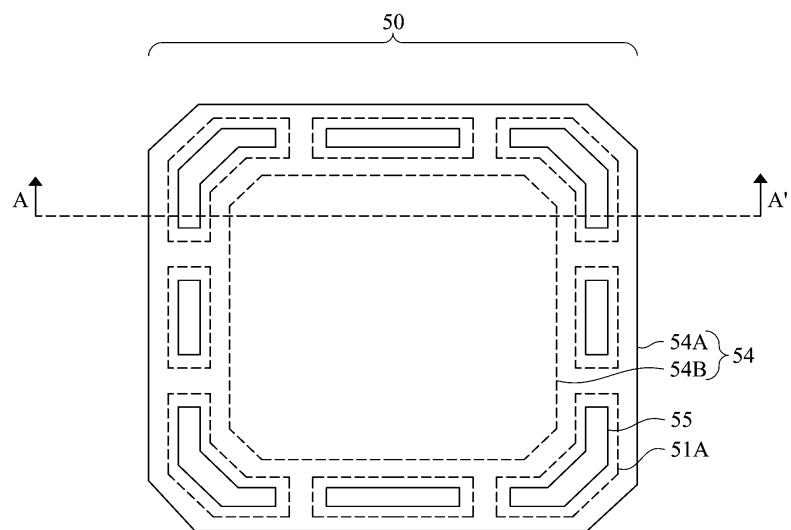


第 21A 圖

(17)

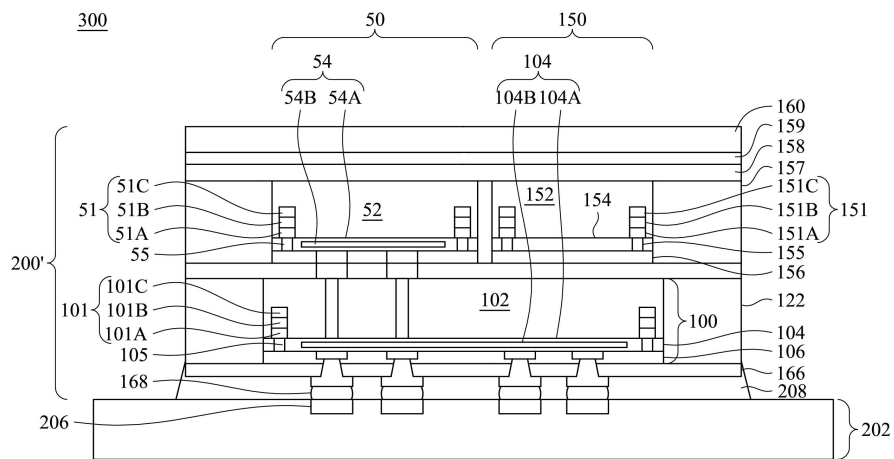


第 21B 圖



第 21C 圖

(18)



第 22 圖