

【11】證書號數：I938842

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W72/20 (2026.01) H10W72/00 (2026.01)
H10W74/40 (2026.01) H10B80/00 (2026.01)

發明

全 45 頁

【54】名稱：半導體記憶裝置

【21】申請案號：114107347

【22】申請日：中華民國 114 (2025) 年 02 月 27 日

【11】公開編號：202539013

【43】公開日期：中華民國 114 (2025) 年 10 月 01 日

【30】優先權：2024/03/15

日本

2024-041472

【72】發明人：西原清仁 (JP) NISHIHARA, KIYOHITO

【71】申請人：日商鎧俠股份有限公司

KIOXIA CORPORATION

日本

【74】代理人：陳長文

【56】參考文獻：

TW 201801276A

TW 202137502A

審查人員：詹惟雯

【57】申請專利範圍

1. 一種半導體記憶裝置，其具備：

第 1 基板，其具有第 1 面、位於上述第 1 面相反側之第 2 面、及設置於上述第 2 面之絕緣層；

塑模樹脂，其於自上述第 1 基板之厚度方向觀察之情形時，覆蓋上述第 1 面；及

記憶體晶片，其配置於上述第 1 面與上述塑模樹脂之間；且

上述絕緣層具有：開口，其使上述第 2 面之一部分即表面露出；

上述第 1 基板包含：於上述開口中，設置於上述表面並露出於外部之端子；

上述端子具有：本體部，其設置於上述表面；第 1 非平面部，其具有複數個凹陷與複數個突出部中之至少一者，且第 1 凹部與第 1 凸部交替排列；

上述第 1 非平面部相對於上述本體部而位於上述表面之相反側。

2. 如請求項 1 之半導體記憶裝置，其中

上述半導體記憶裝置可裝卸自如地安裝於主機機器之第 2 基板上設置之插座型連接器。

3. 如請求項 2 之半導體記憶裝置，其中

上述半導體記憶裝置可在上述連接器所具有之接觸引腳與上述端子相接之狀態下裝卸自如地安裝於上述連接器。

4. 如請求項 3 之半導體記憶裝置，其中

上述接觸引腳具有：彎曲部，其設置於該接觸引腳之末端部，朝向與上述端子相反側彎曲；且

上述端子具有：第 1 區域，其於自上述第 1 基板之厚度方向觀察之情形時，至少一部分與上述彎曲部重疊；及第 2 區域，其偏離上述第 1 區域；

上述第 1 非平面部至少設置於上述第 2 區域。

5. 如請求項 4 之半導體記憶裝置，其中

上述第 1 區域具有與上述第 1 非平面部相比平坦之平面部。

6. 如請求項 5 之半導體記憶裝置，其中

(2)

於將上述接觸引腳之延伸方向設為第 1 方向，將與上述第 1 方向交叉之方向設為第 2 方向之情形時，

上述平面部之上述第 2 方向上之寬度大於上述第 1 凸部之上述第 2 方向上之寬度。

7. 如請求項 6 之半導體記憶裝置，其中
上述平面部之上述第 2 方向上之寬度大於上述接觸引腳之上述彎曲部之上述第 2 方向上之寬度。
8. 如請求項 4 之半導體記憶裝置，其中
於將上述接觸引腳之延伸方向設為第 1 方向，將與上述第 1 方向交叉之方向設為第 2 方向之情形時，
上述第 1 區域具有：第 2 非平面部，其具有複數個凹陷與複數個突出部中之至少一者，且第 2 凹部與第 2 凸部交替排列，且
於自上述第 1 基板之厚度方向觀察之情形時，上述第 2 凸部之上述第 2 方向上之寬度大於上述第 2 凸部之上述第 1 方向上之寬度。
9. 如請求項 8 之半導體記憶裝置，其中
上述第 2 凸部之上述第 2 方向上之寬度大於上述第 1 凸部之上述第 2 方向上之寬度。
10. 如請求項 8 或 9 之半導體記憶裝置，其中
上述第 2 凸部之上述第 2 方向上之寬度大於上述接觸引腳之上述彎曲部之上述第 2 方向上之寬度。
11. 如請求項 8 或 9 之半導體記憶裝置，其中
至少 1 個上述第 2 凸部之上述第 1 方向上之邊緣具有相對於上述第 1 面傾斜之傾斜部。
12. 如請求項 4 之半導體記憶裝置，其中
於將上述接觸引腳之延伸方向設為第 1 方向，將與上述第 1 方向交叉之方向設為第 2 方向之情形時，
上述第 1 非平面部設置於上述第 1 區域及上述第 2 區域，且
設置於上述第 1 區域之至少 1 個上述第 1 凸部之上述第 1 方向上之邊緣具有相對於上述第 1 面傾斜之傾斜部。
13. 如請求項 4 之半導體記憶裝置，其中
於將上述接觸引腳之延伸方向設為第 1 方向，將與上述第 1 方向交叉之方向設為第 2 方向之情形時，
上述第 1 區域具有：第 2 非平面部，其具有複數個凹陷與複數個突出部中之至少一者，且第 2 凹部與第 2 凸部交替排列，且
上述第 2 凸部之上述第 1 方向上之寬度大於上述第 2 凸部之上述第 2 方向上之寬度。
14. 如請求項 13 之半導體記憶裝置，其中
上述第 2 凸部之上述第 1 方向上之寬度為上述端子之上述第 1 方向上之寬度之一半以上。
15. 如請求項 13 或 14 之半導體記憶裝置，其中
上述第 2 凸部之上述第 1 方向上之中心相對於上述端子之上述第 1 方向上之中心，位於向上述第 1 方向之一側偏移之位置。
16. 如請求項 4 之半導體記憶裝置，其中
上述第 1 區域具有：承托部，其與上述接觸引腳之上述彎曲部相接；且
上述承托部具有：曲面部，其向與上述彎曲部之彎曲方向相同之方向彎曲。
17. 如請求項 1 或 2 之半導體記憶裝置，其中
上述第 1 基板具有：表層部，該表層部形成上述第 2 面，且包含含有上述端子之導電圖案、與覆蓋上述導電圖案之一部分之絕緣層；且

上述表層部於偏離上述端子之區域具有：第 3 非平面部，其具有複數個凹陷與複數個突出部中之至少一者，且第 3 凹部與第 3 凸部交替排列。

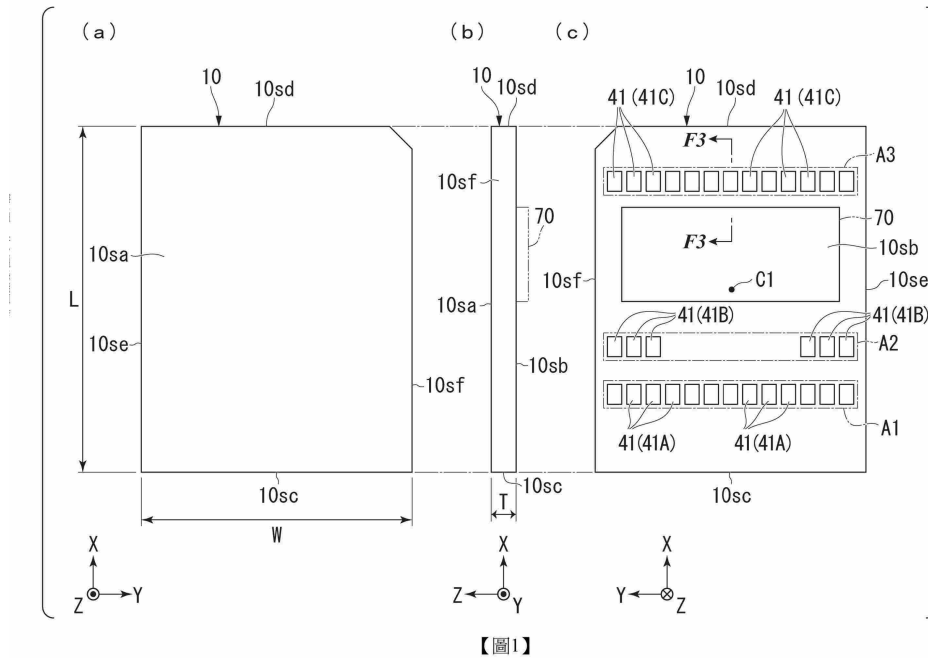
18. 如請求項 1 或 2 之半導體記憶裝置，其中
上述絕緣層係阻焊劑層。

圖式簡單說明

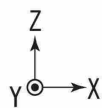
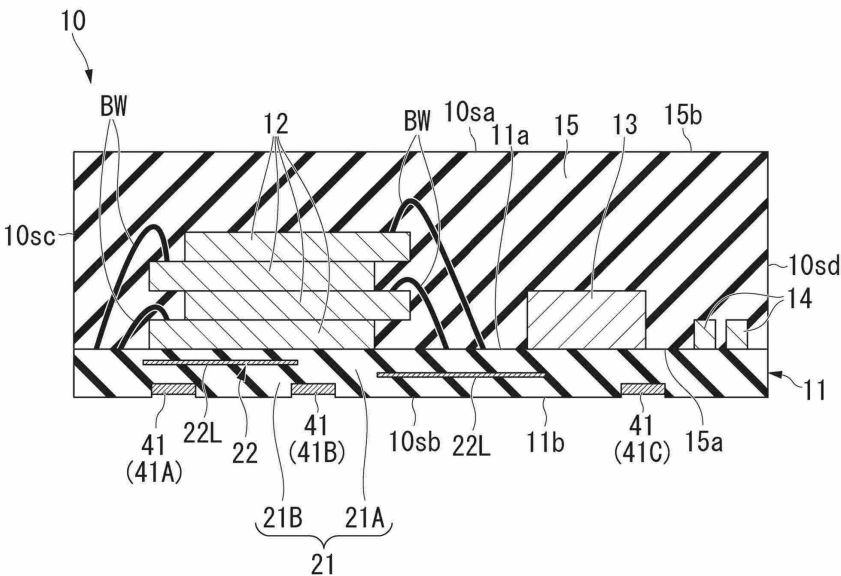
- 圖 1(a)~(c)係顯示第 1 實施形態之半導體記憶裝置之圖。
圖 2 係顯示第 1 實施形態之半導體記憶裝置之剖視圖。
圖 3 係沿圖 1 中所示之半導體記憶裝置之 F3-F3 線之剖視圖。
圖 4 係顯示第 1 實施形態之半導體記憶裝置之端子之立體圖。
圖 5A 係顯示第 1 實施形態之半導體記憶裝置之端子之圖。
圖 5B 係顯示第 1 實施形態之半導體記憶裝置之端子之圖。
圖 5C 係顯示第 1 實施形態之半導體記憶裝置之端子之圖。
圖 6 係顯示第 1 實施形態之主機機器之基板之俯視圖。
圖 7 係顯示安裝第 1 實施形態之半導體記憶裝置時之第 1 狀態之立體圖。
圖 8 係顯示安裝第 1 實施形態之半導體記憶裝置時之第 2 狀態之立體圖。
圖 9 係顯示安裝第 1 實施形態之半導體記憶裝置時之第 3 狀態之立體圖。
圖 10(a)~(e)係顯示第 1 實施形態之半導體記憶裝置之製造方法之剖視圖。
圖 11(f)~(j)係顯示第 1 實施形態之半導體記憶裝置之製造方法之剖視圖。
圖 12(k)~(l)係顯示第 1 實施形態之半導體記憶裝置之製造方法之剖視圖。
圖 13A 係顯示第 1 實施形態之第 1 變化例之半導體記憶裝置之端子之圖。
圖 13B 係顯示第 1 實施形態之第 1 變化例之半導體記憶裝置之端子之圖。
圖 14A 係顯示第 1 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 14B 係顯示第 1 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 15A 係顯示第 1 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 15B 係顯示第 1 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 16A 係顯示第 1 實施形態之第 3 變化例之半導體記憶裝置之端子之圖。
圖 16B 係顯示第 1 實施形態之第 3 變化例之半導體記憶裝置之端子之圖。
圖 17 係顯示第 2 實施形態之半導體記憶裝置之端子之立體圖。
圖 18A 係顯示第 2 實施形態之半導體記憶裝置之端子之圖。
圖 18B 係顯示第 2 實施形態之半導體記憶裝置之端子之圖。
圖 18C 係顯示第 2 實施形態之半導體記憶裝置之端子之圖。
圖 19A 係顯示第 2 實施形態之第 1 變化例之半導體記憶裝置之端子之圖。
圖 19B 係顯示第 2 實施形態之第 1 變化例之半導體記憶裝置之端子之圖。
圖 20A 係顯示第 2 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 20B 係顯示第 2 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 21A 係顯示第 2 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 21B 係顯示第 2 實施形態之第 2 變化例之半導體記憶裝置之端子之圖。
圖 22A 係顯示第 2 實施形態之第 3 變化例之半導體記憶裝置之端子之圖。
圖 22B 係顯示第 2 實施形態之第 3 變化例之半導體記憶裝置之端子之圖。
圖 23A 係顯示第 2 實施形態之第 4 變化例之半導體記憶裝置之端子之圖。
圖 23B 係顯示第 2 實施形態之第 4 變化例之半導體記憶裝置之端子之圖。
圖 24 係顯示第 2 實施形態之第 5 變化例之半導體記憶裝置之端子之圖。
圖 25 係顯示第 2 實施形態之第 6 變化例之半導體記憶裝置之端子之圖。
圖 26 係顯示第 2 實施形態之第 7 變化例之半導體記憶裝置之端子之圖。

(4)

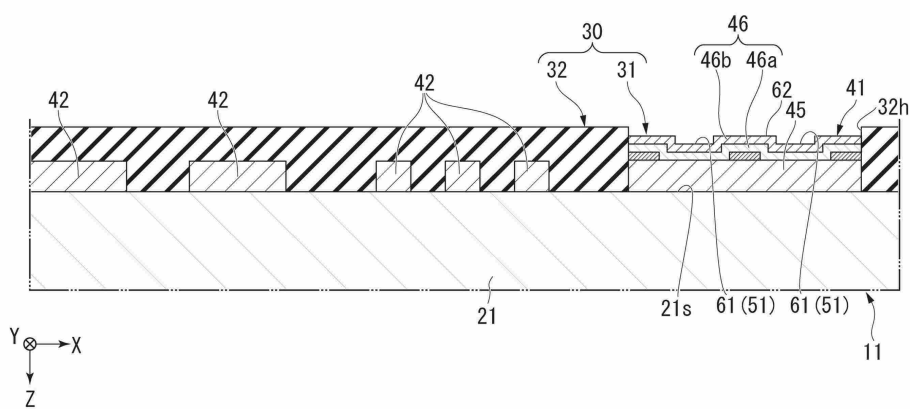
圖 27A 係顯示第 2 實施形態之第 8 變化例之半導體記憶裝置之端子之圖。
圖 27B 係顯示第 2 實施形態之第 8 變化例之半導體記憶裝置之端子之圖。
圖 28A 係顯示第 2 實施形態之第 9 變化例之半導體記憶裝置之端子之圖。
圖 28B 係顯示第 2 實施形態之第 9 變化例之半導體記憶裝置之端子之圖。
圖 29A 係顯示第 2 實施形態之第 10 變化例之半導體記憶裝置之端子之圖。
圖 29B 係顯示第 2 實施形態之第 10 變化例之半導體記憶裝置之端子之圖。
圖 30(a)~(c)係顯示第 3 實施形態之半導體記憶裝置之圖。
圖 31A 係顯示第 3 實施形態之半導體記憶裝置之圖。
圖 31B 係顯示第 3 實施形態之半導體記憶裝置之圖。
圖 32A 係顯示第 4 實施形態之半導體記憶裝置之圖。
圖 32B 係顯示第 4 實施形態之半導體記憶裝置之圖。
圖 33A 係顯示第 1 實施形態至第 4 實施形態之變化例之半導體記憶裝置之圖。
圖 33B 係顯示第 1 實施形態至第 4 實施形態之變化例之半導體記憶裝置之圖。



(5)

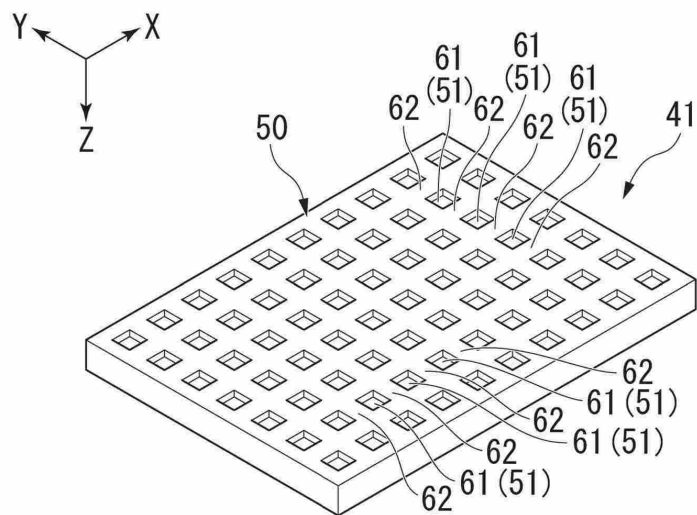


【圖2】



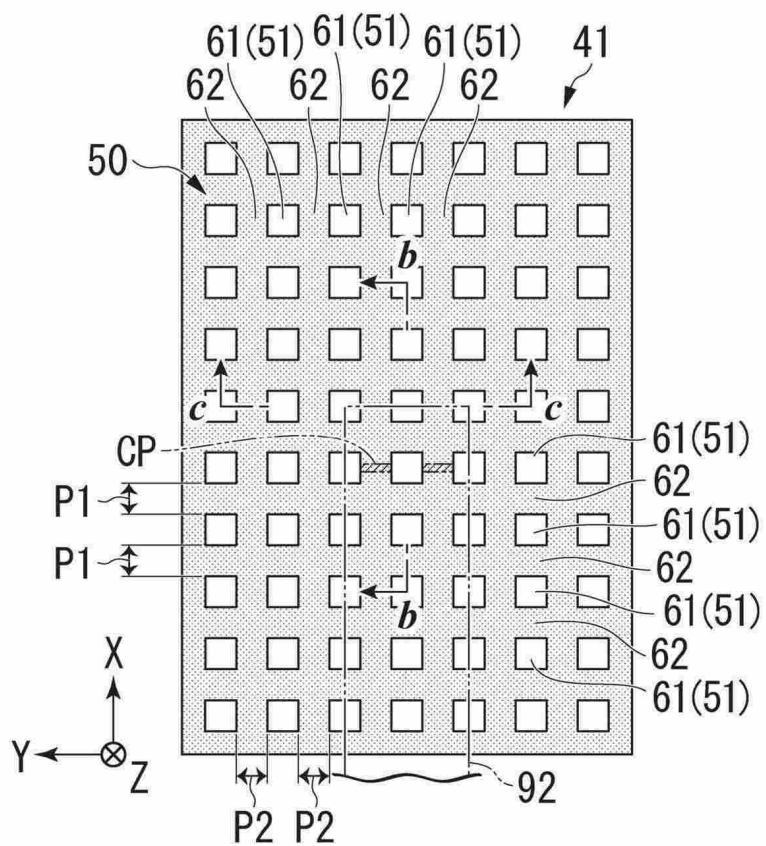
【圖3】

(6)



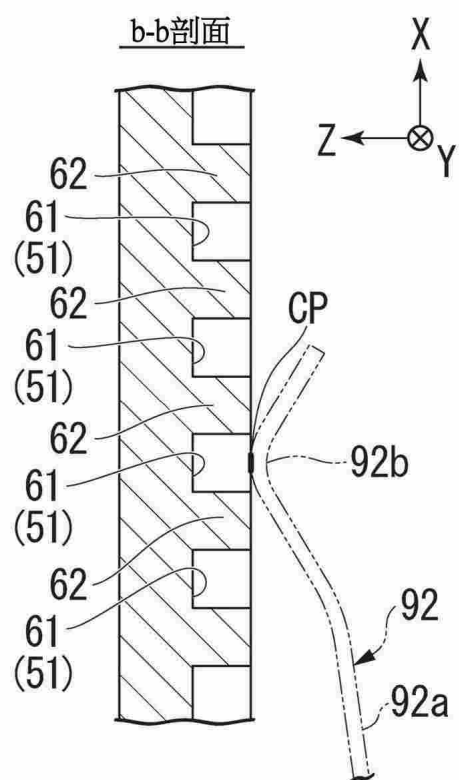
【圖4】

(7)

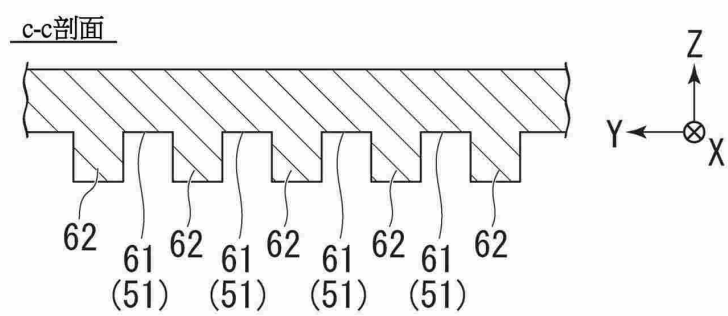


【圖5A】

(8)

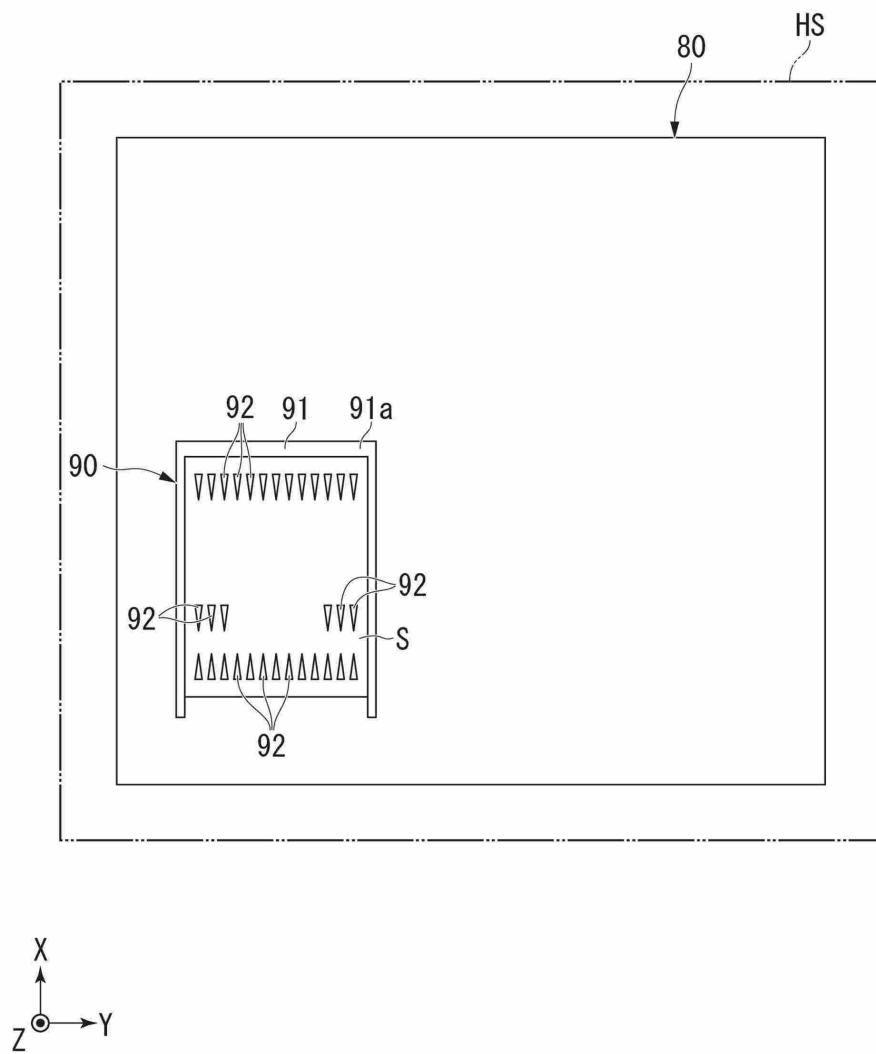


【圖5B】



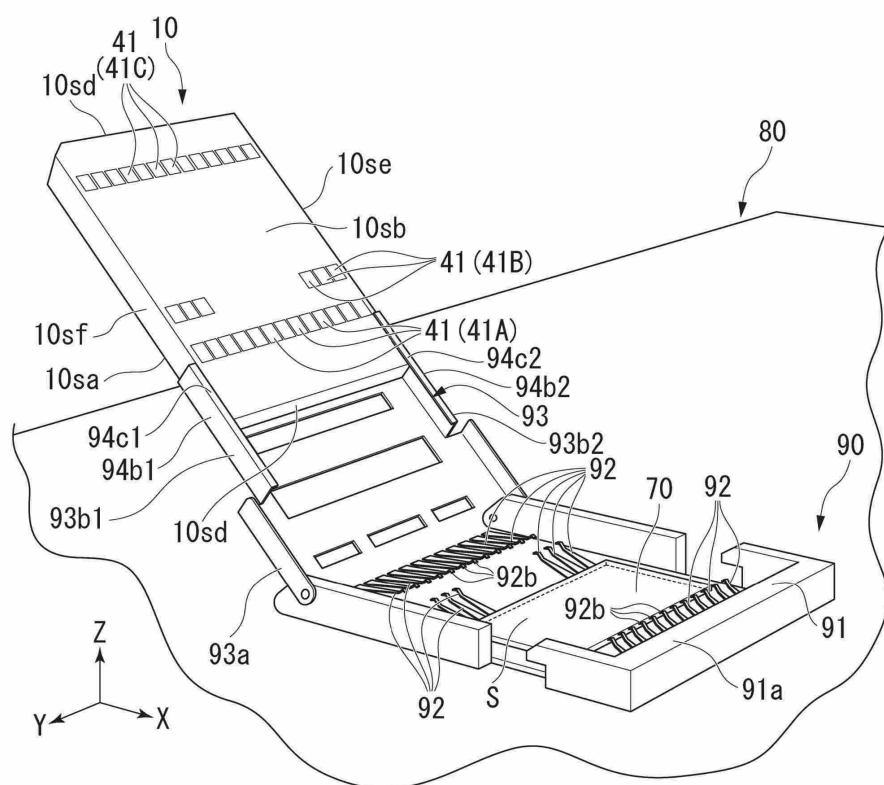
【圖5C】

(9)



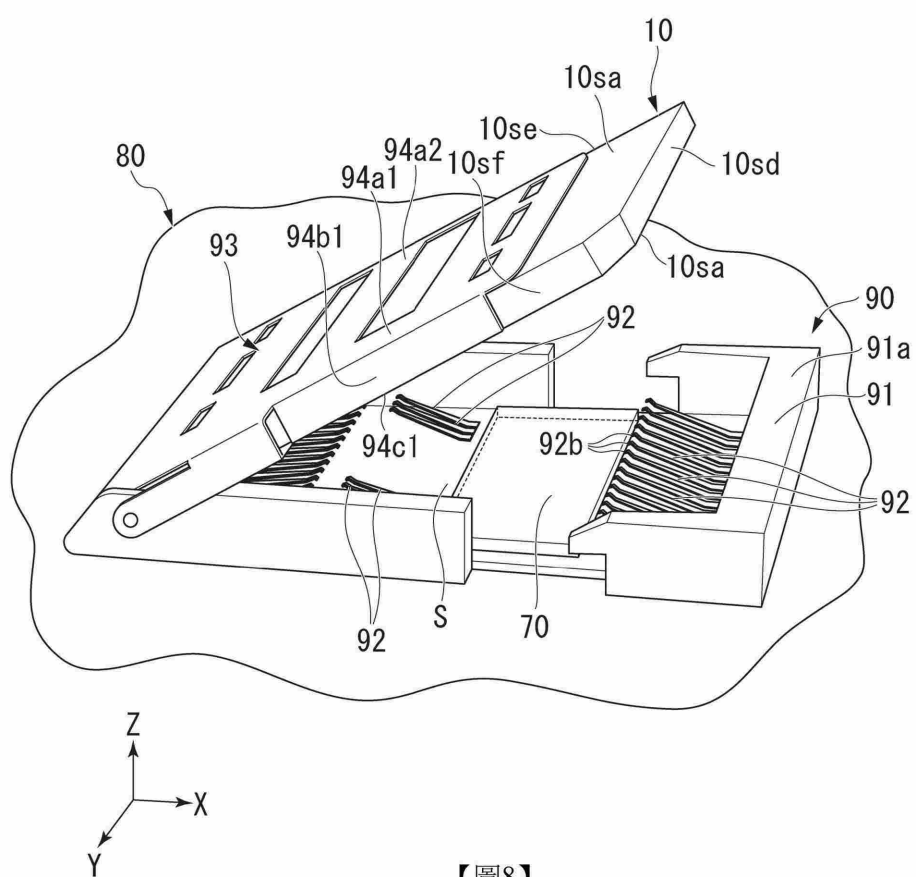
【圖6】

(10)

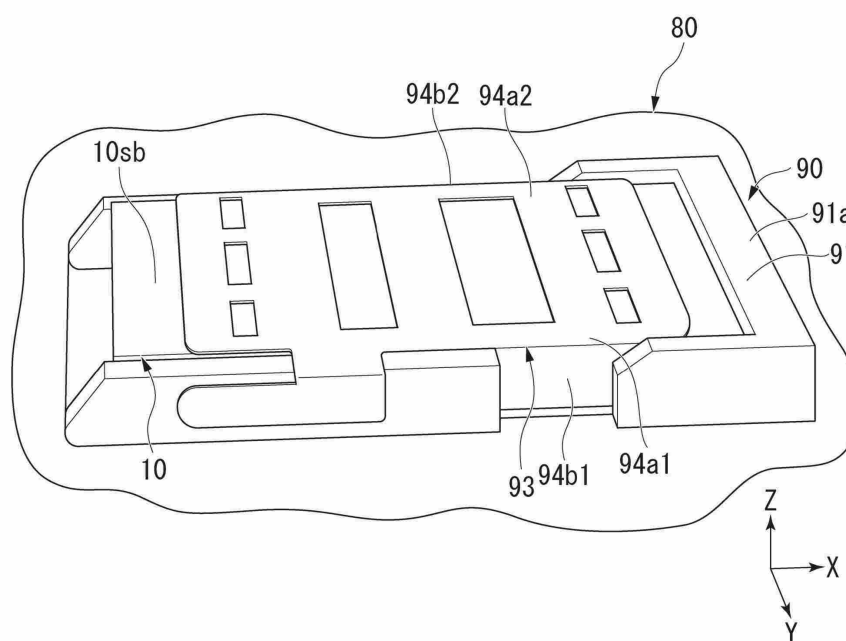


【圖7】

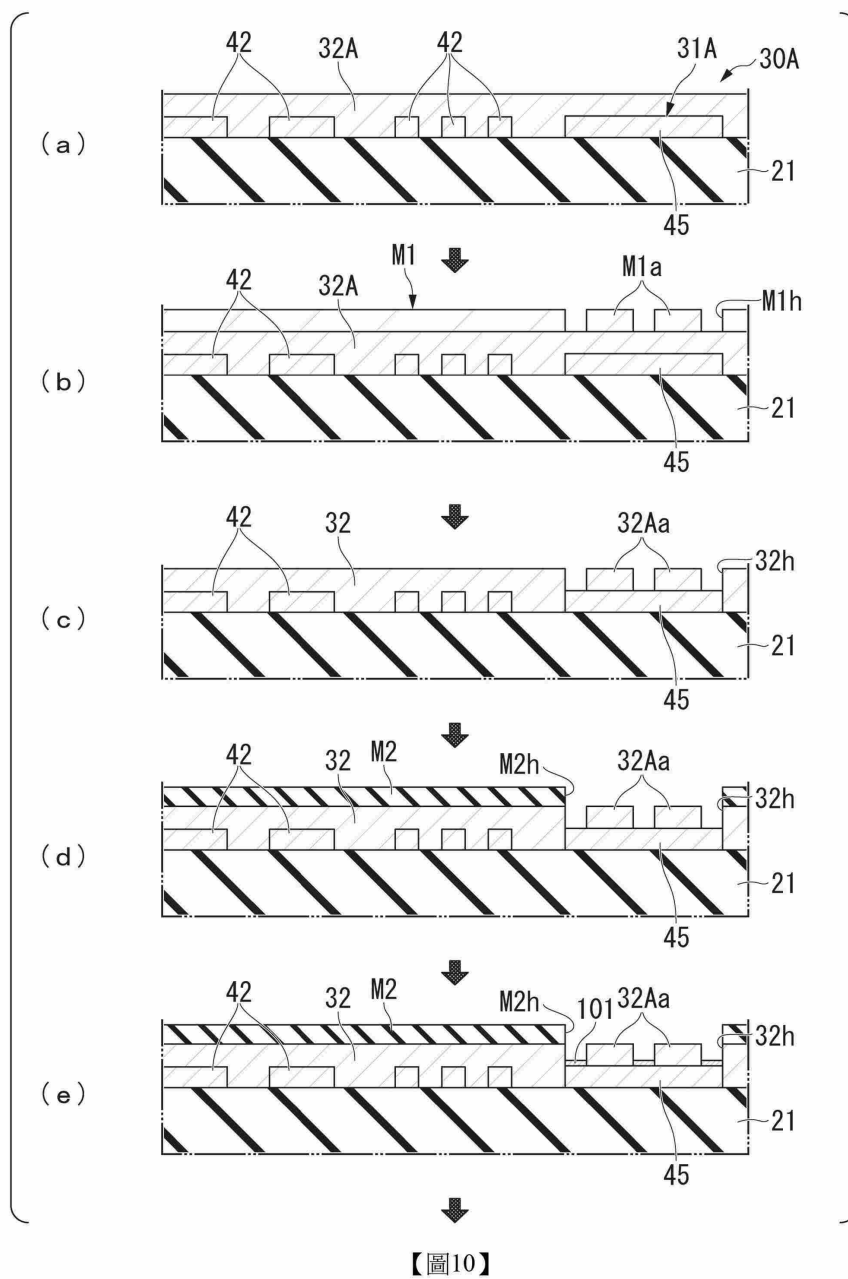
(11)

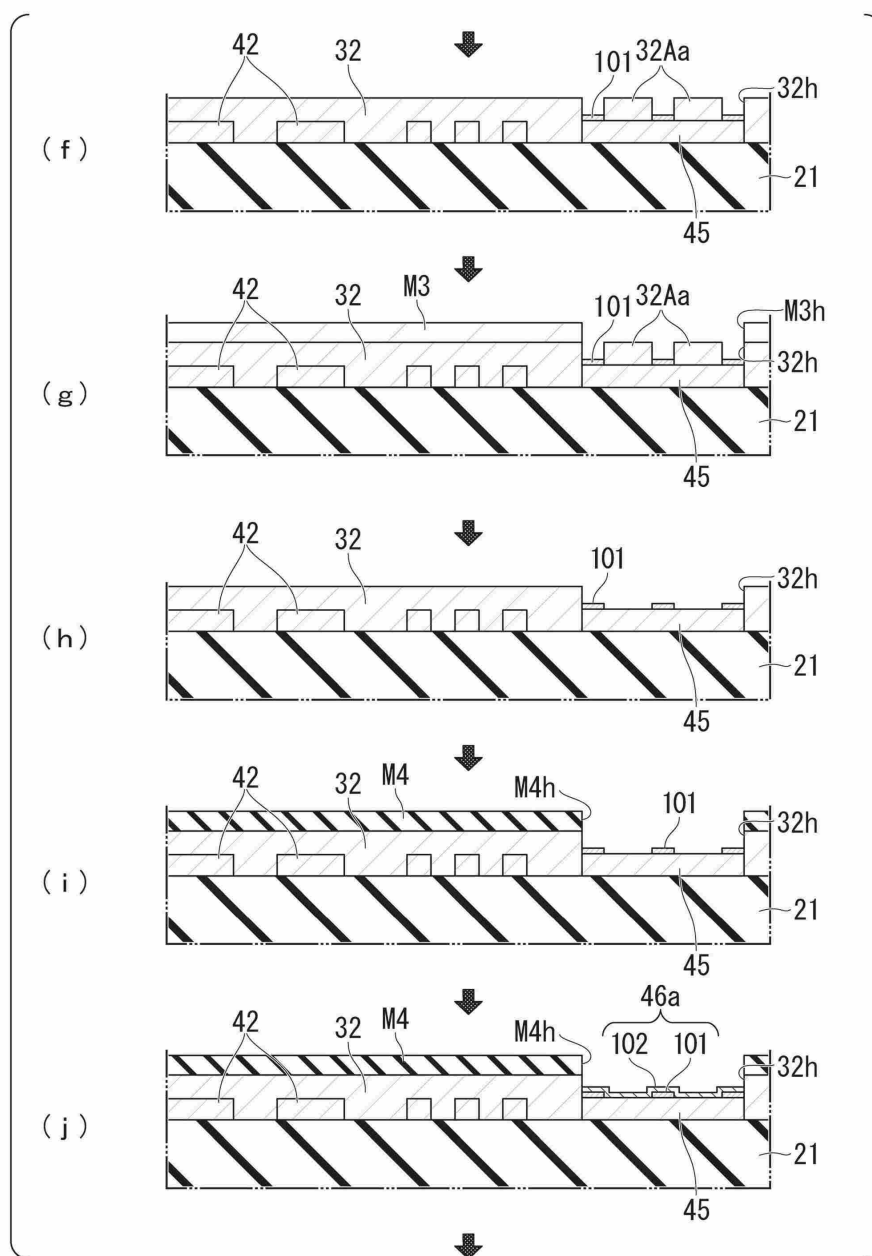


【圖8】



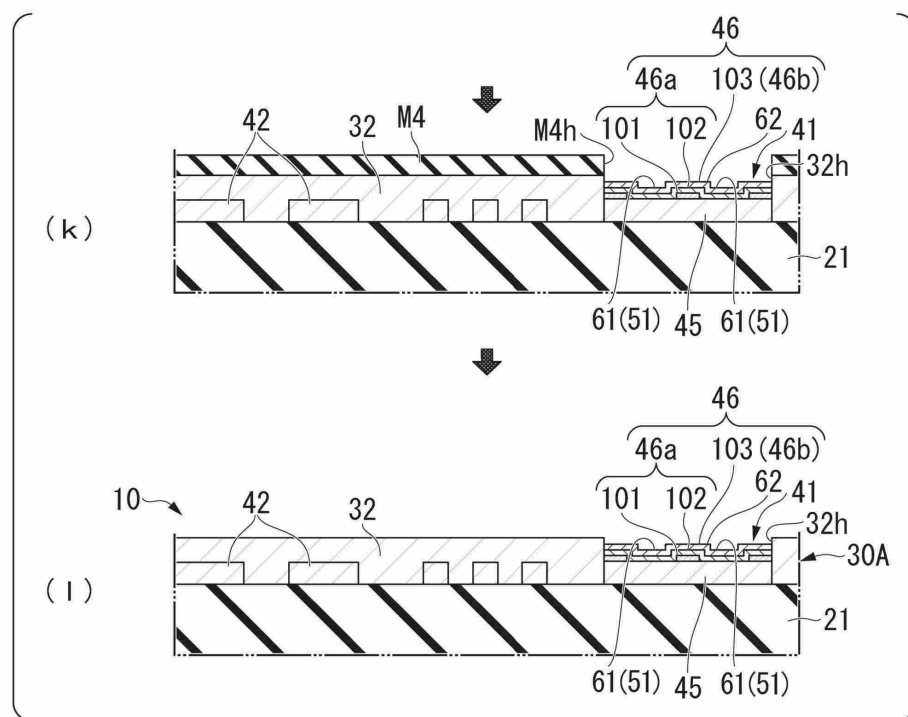
【圖9】





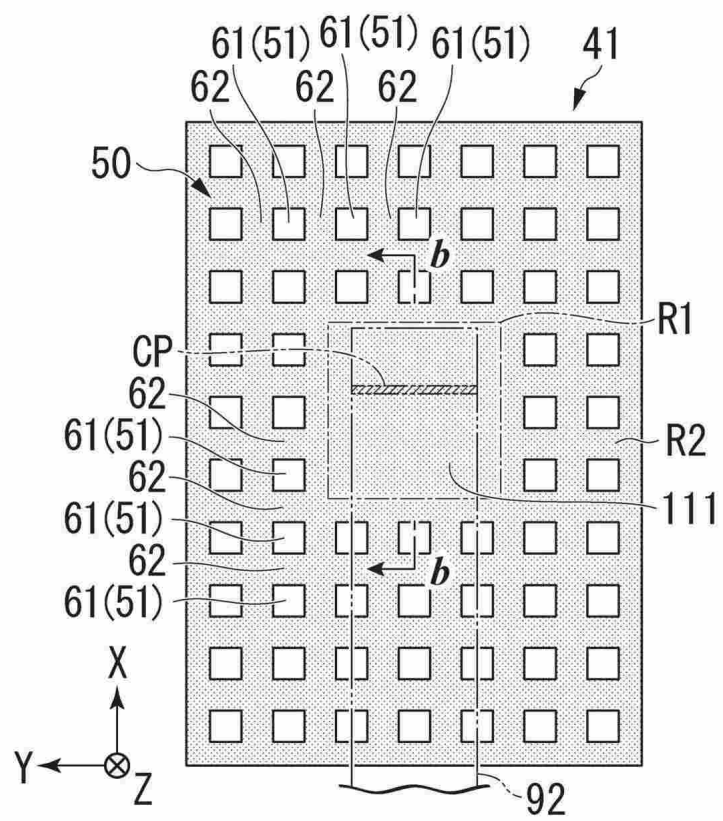
【圖11】

(14)

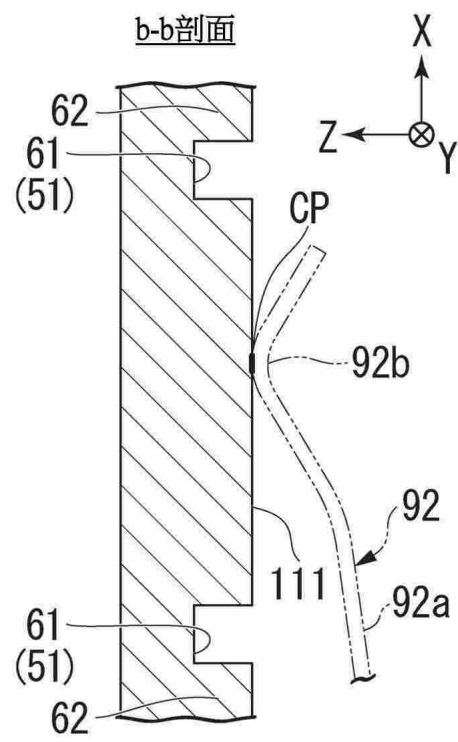


【圖12】

(15)

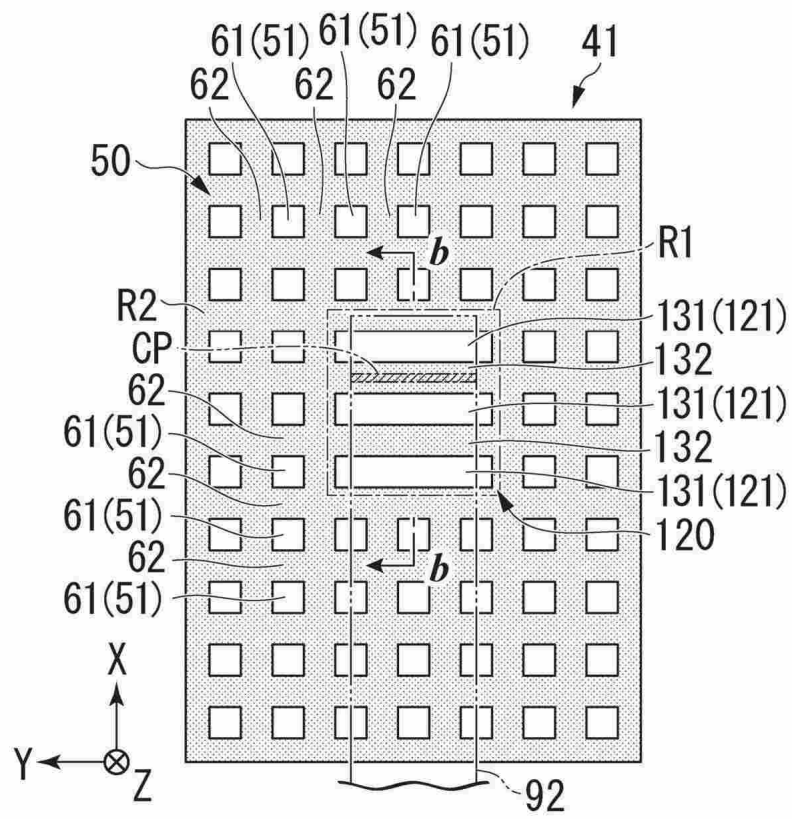


【圖13A】

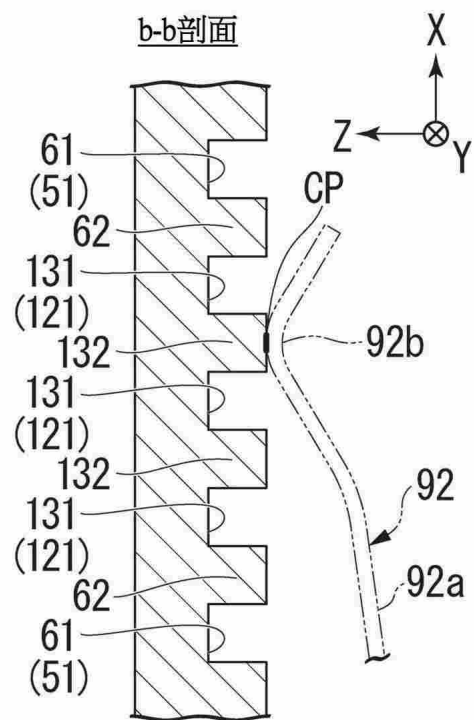


【圖13B】

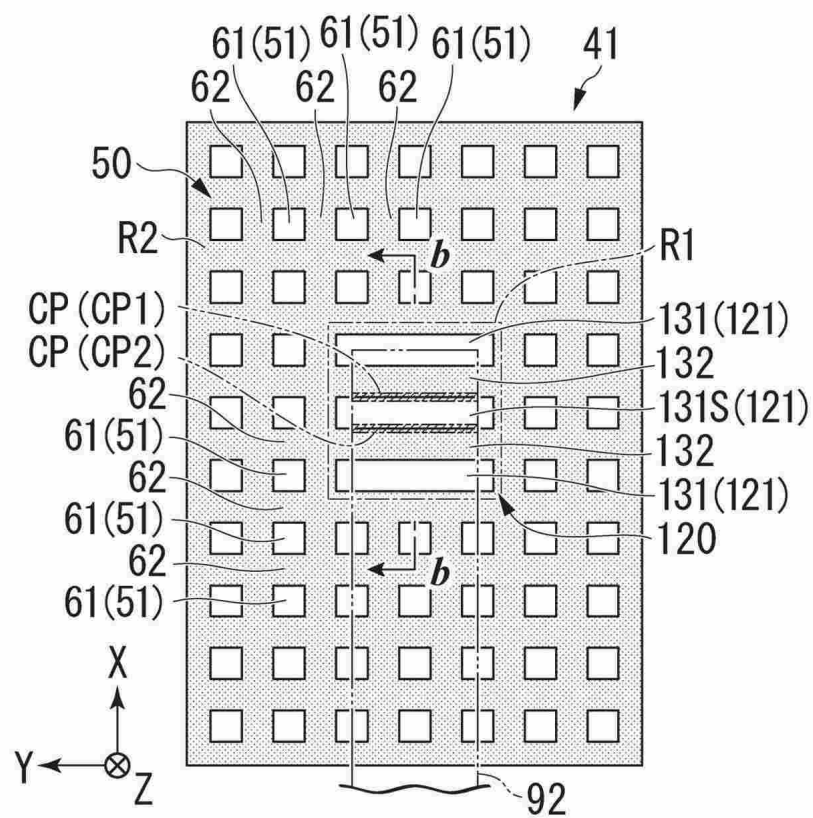
(17)



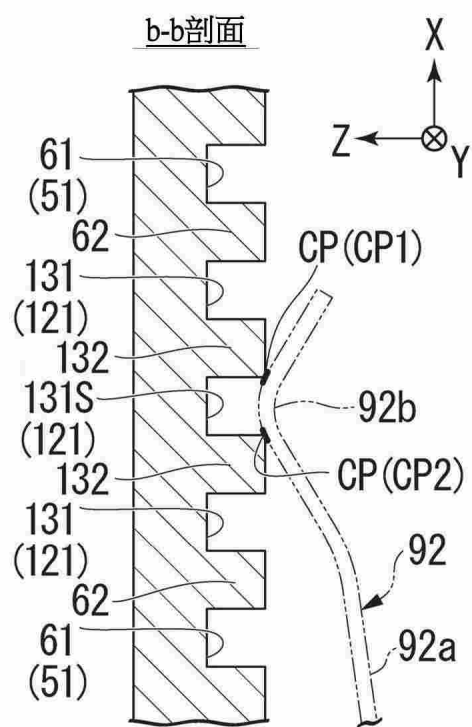
【圖14A】



【圖14B】

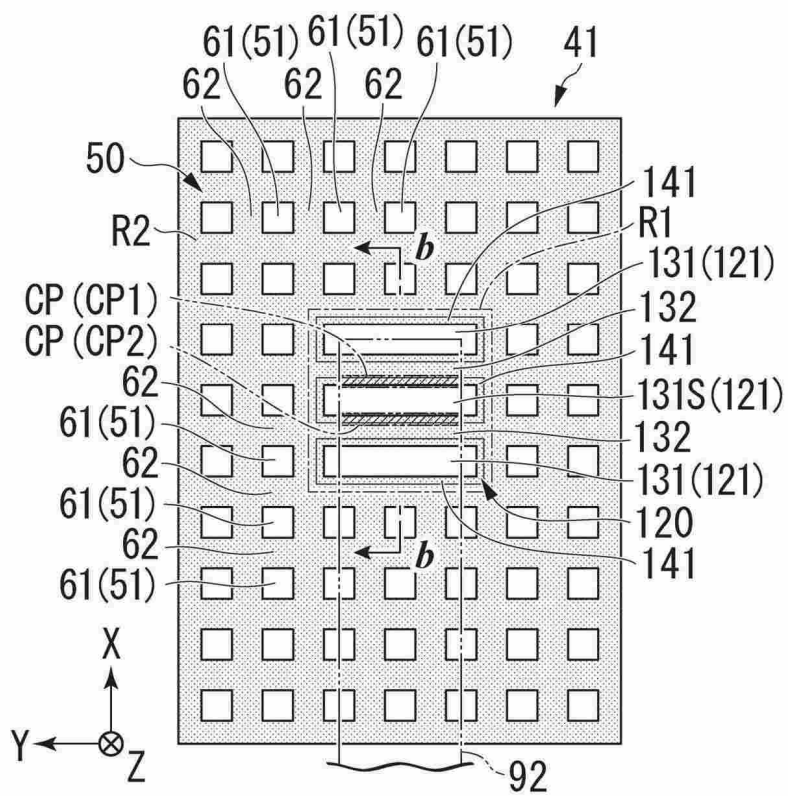


【圖15A】



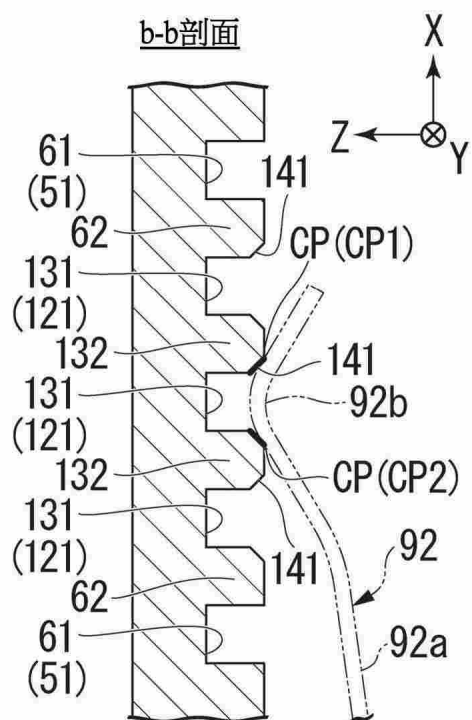
【圖15B】

(21)

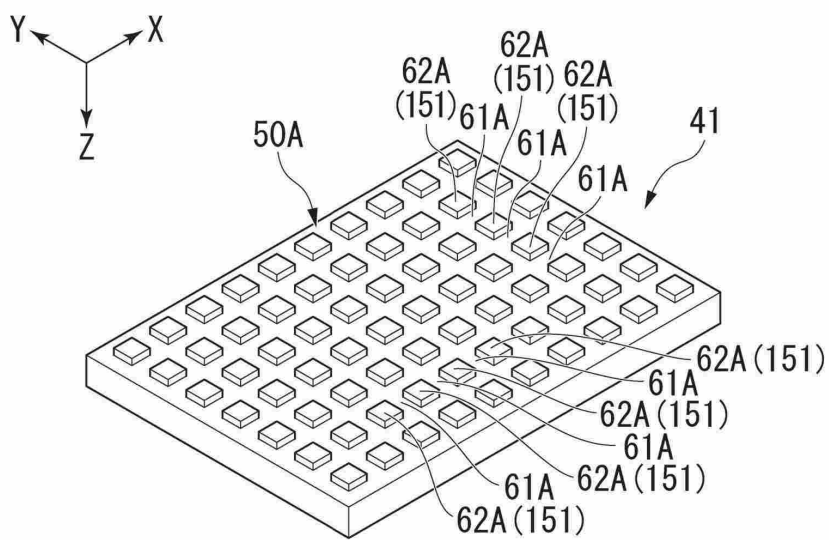


【圖16A】

(22)

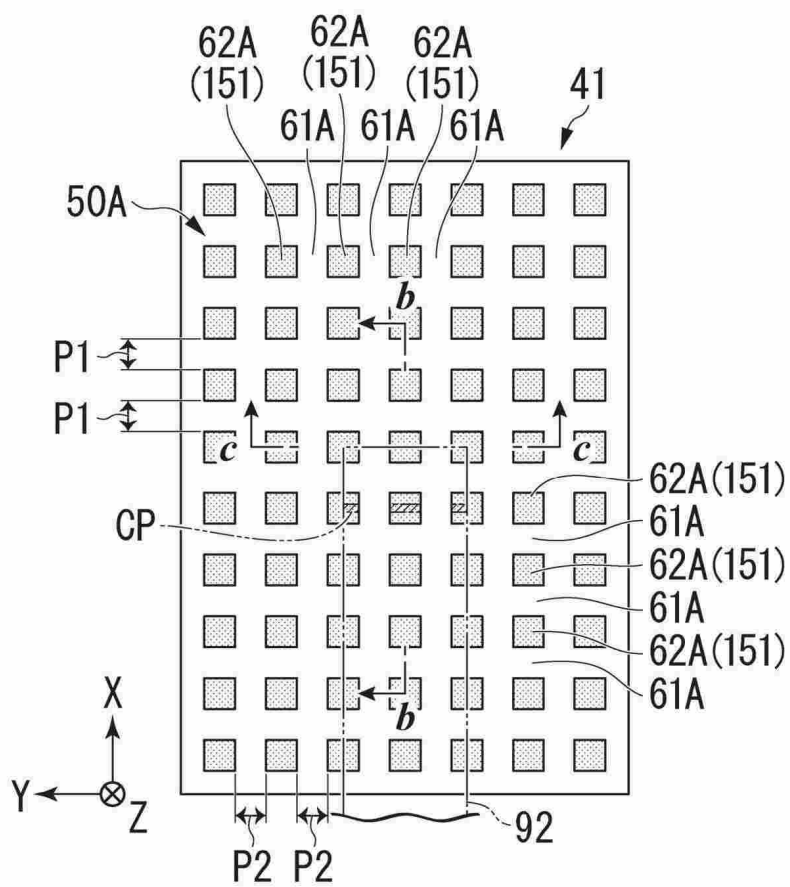


【圖16B】



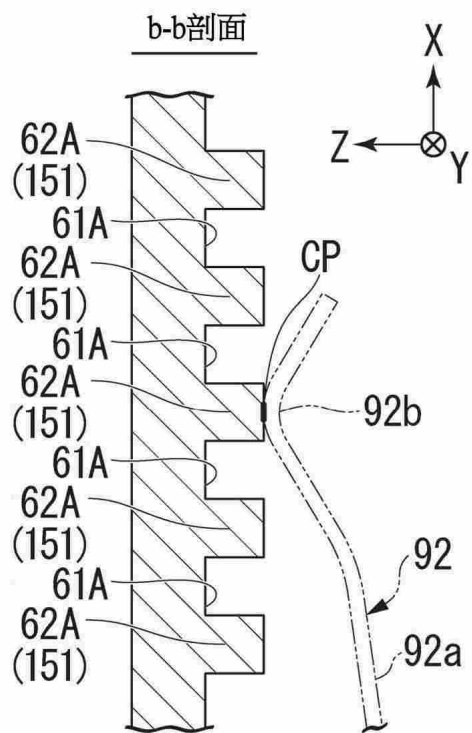
【圖17】

(23)

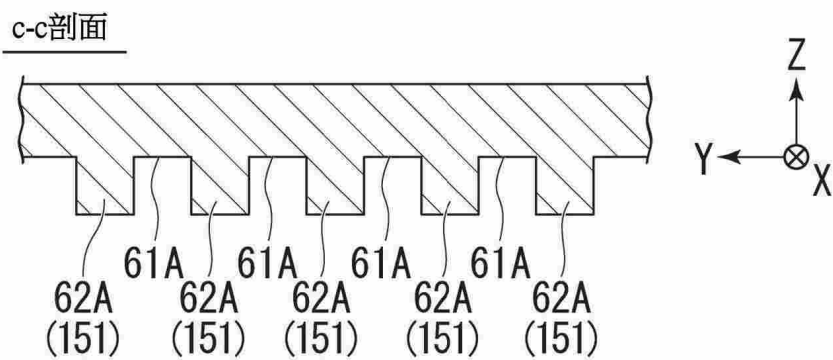


【圖18A】

(24)

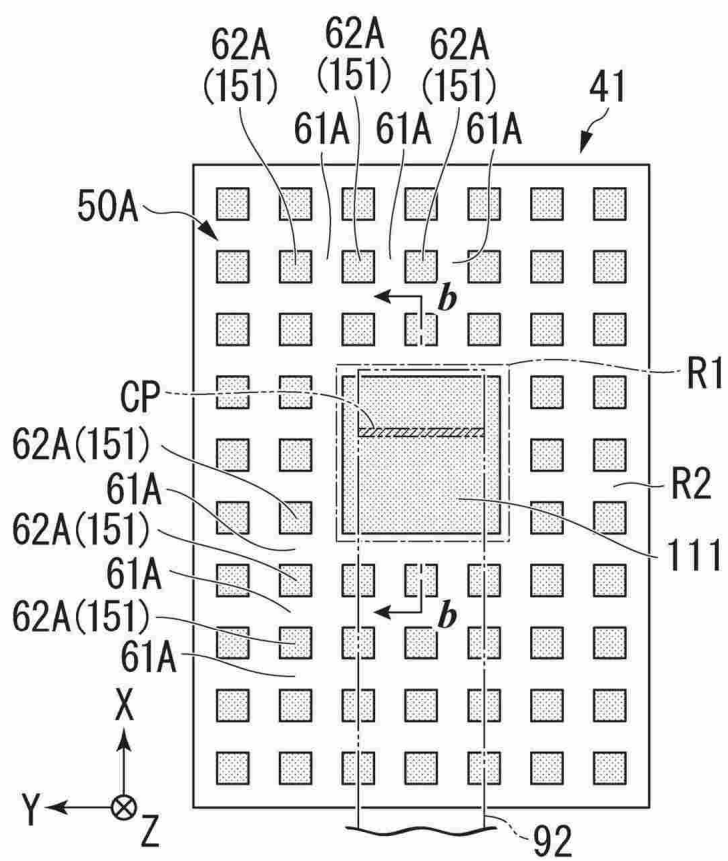


【圖18B】

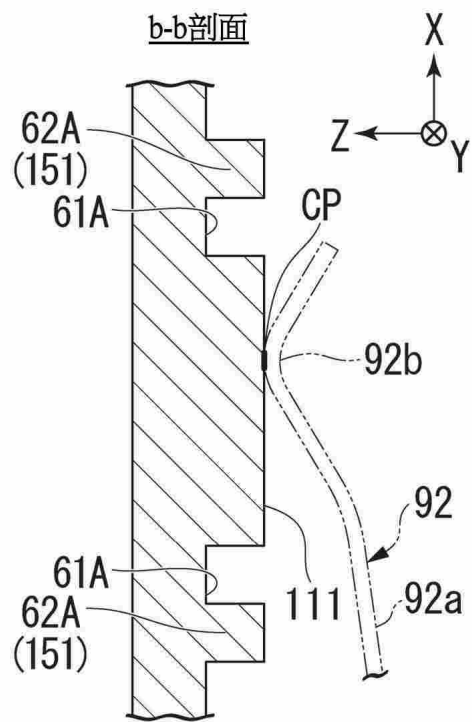


【圖18C】

(25)

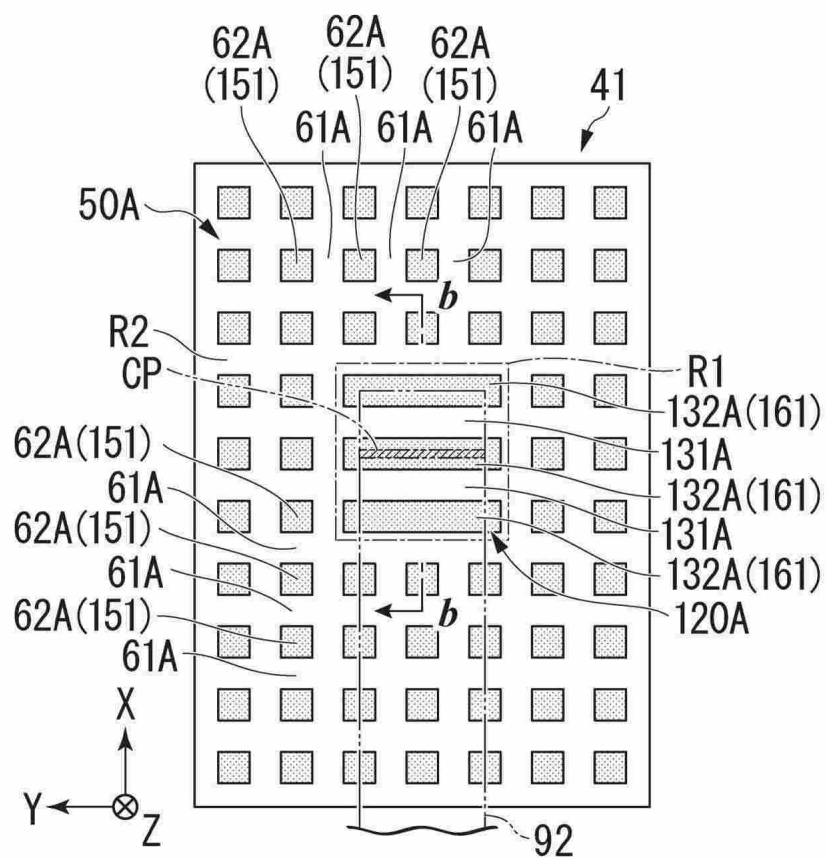


【圖19A】

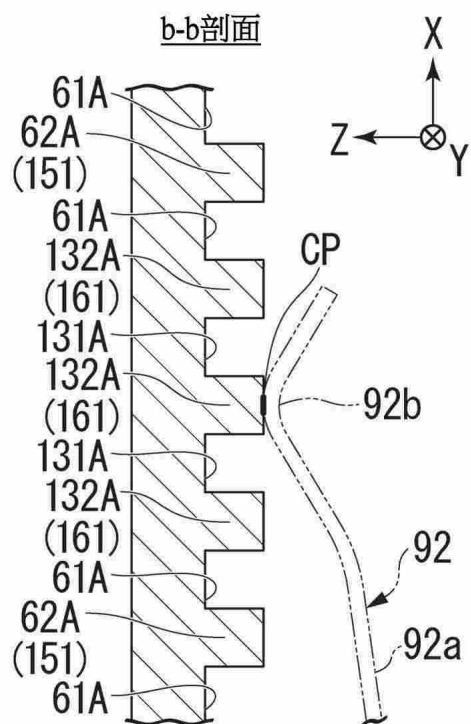


【圖19B】

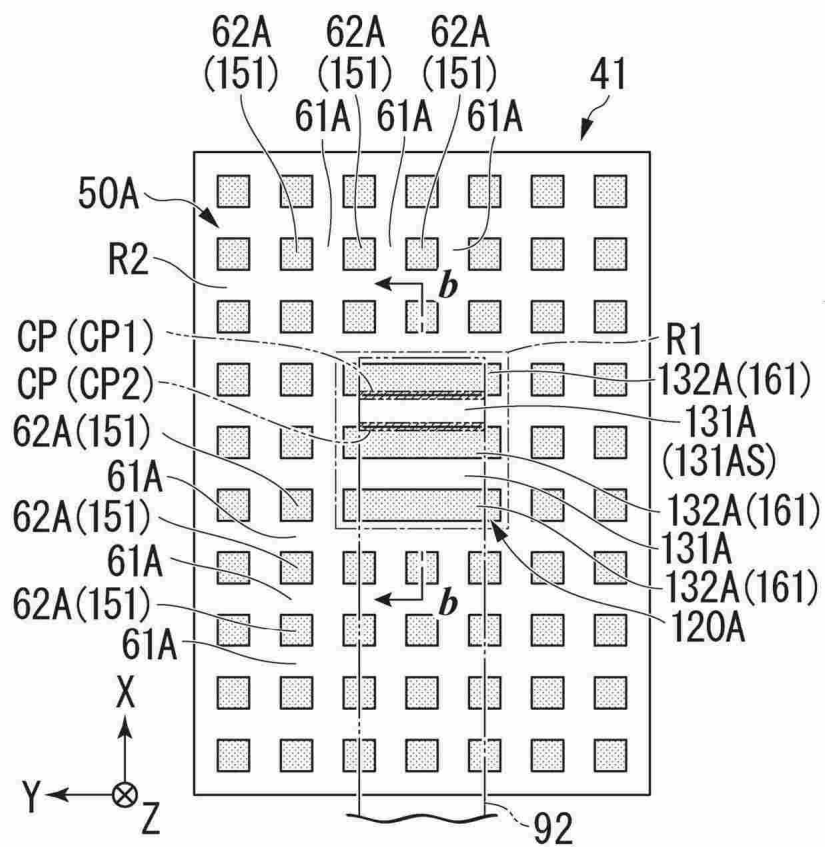
(27)



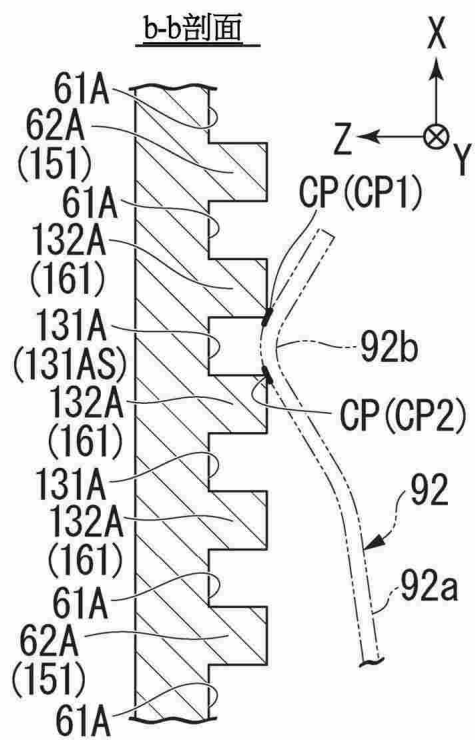
【圖20A】



【圖20B】

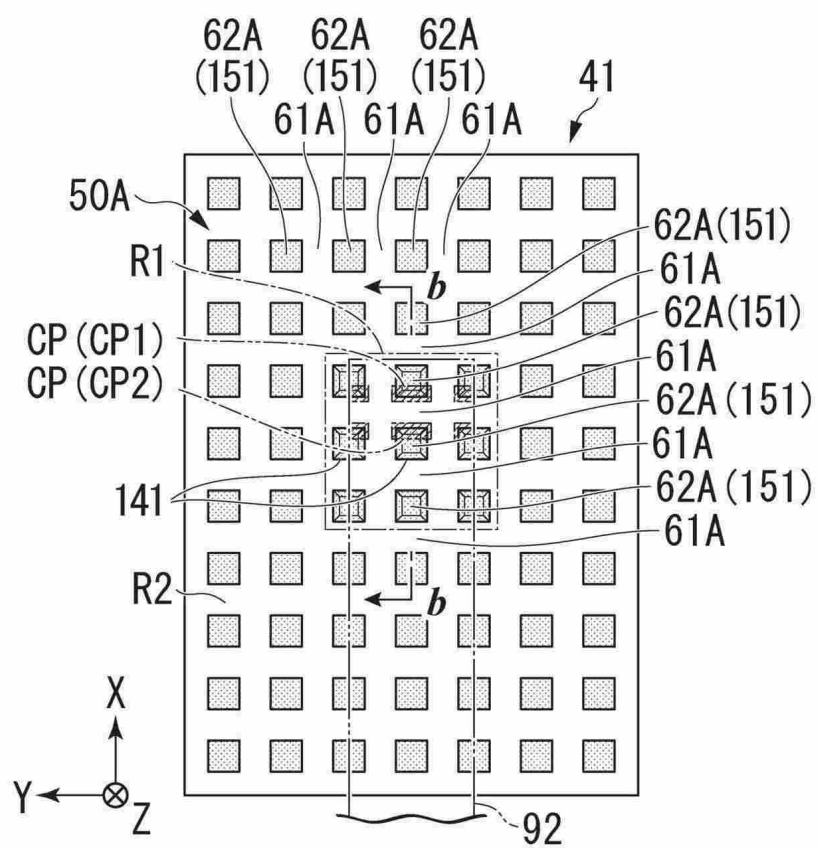


【圖21A】



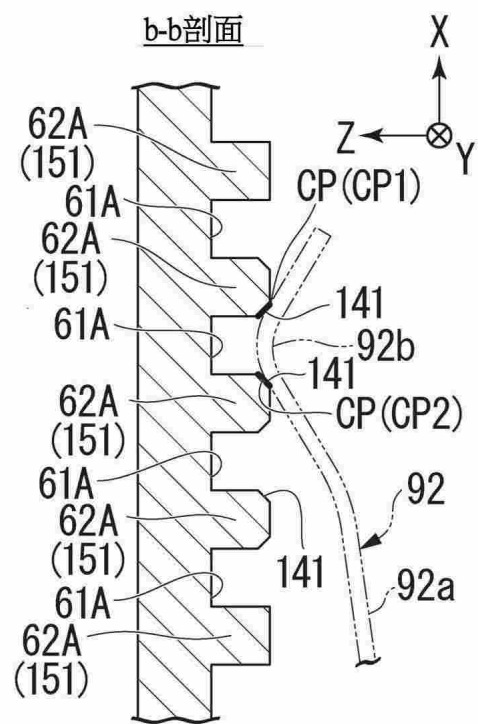
【圖21B】

(31)



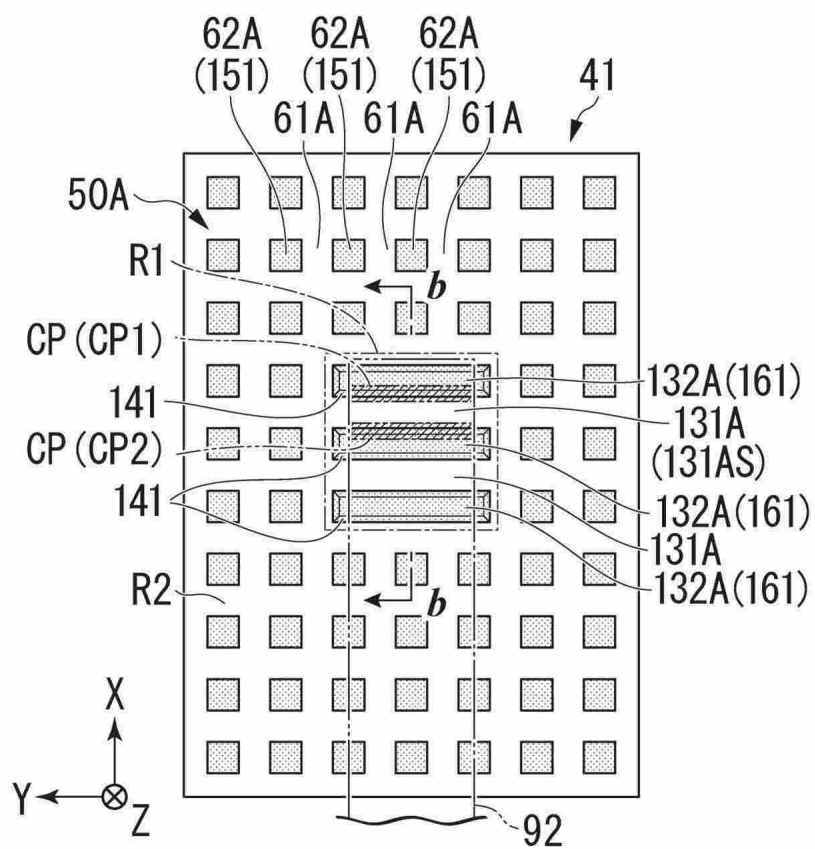
【圖22A】

(32)

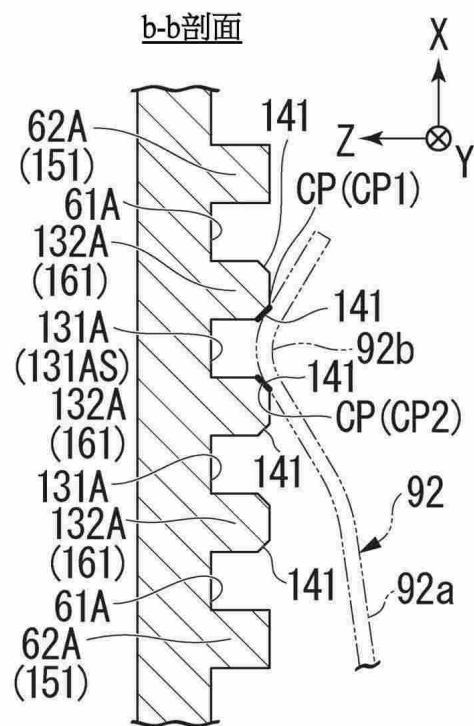


【圖22B】

(33)

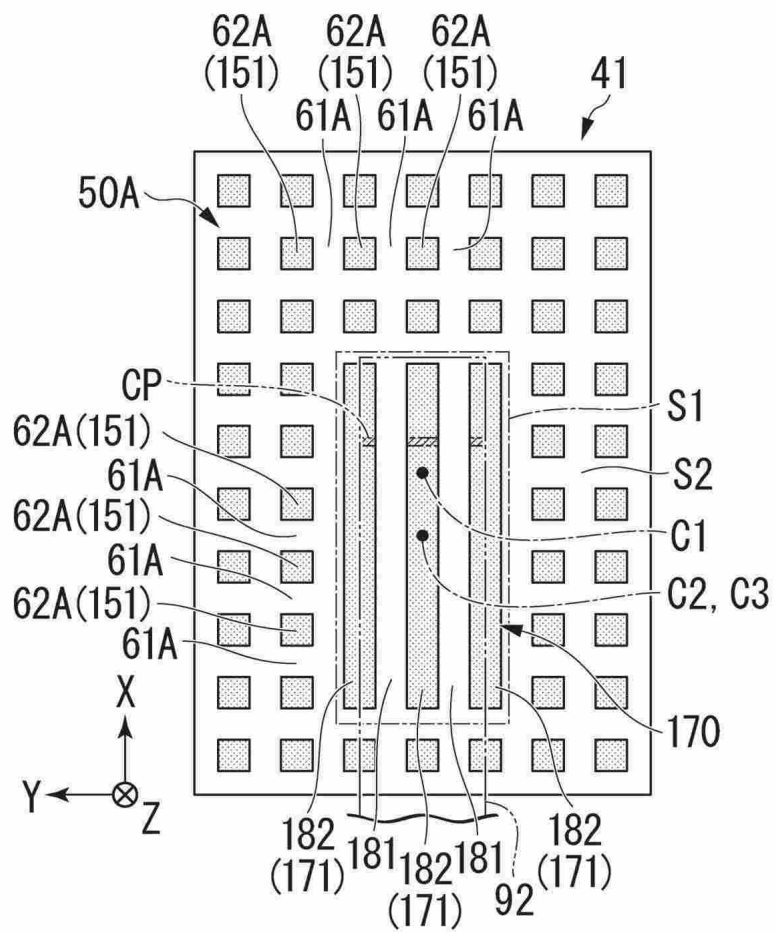


【圖23A】



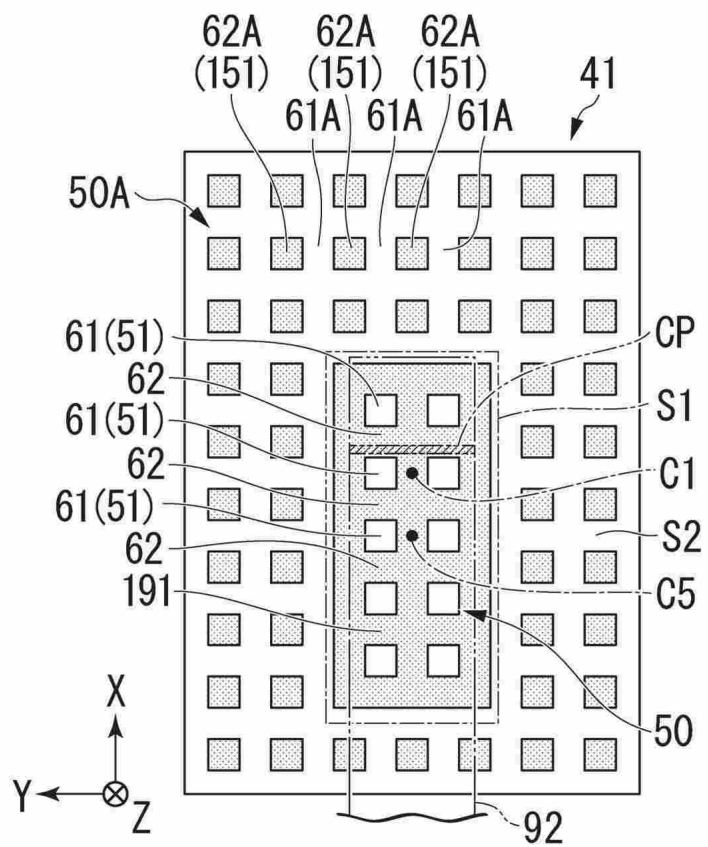
【圖23B】

(35)



【圖24】

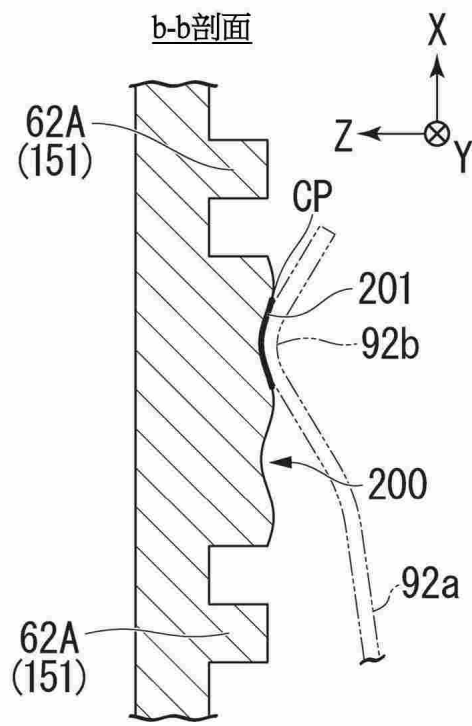
(36)



【圖25】

[illegible]

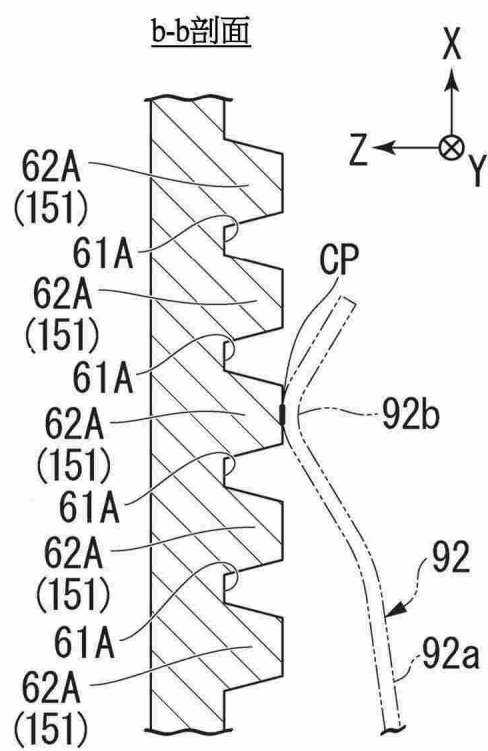
【圖26】



【圖27B】

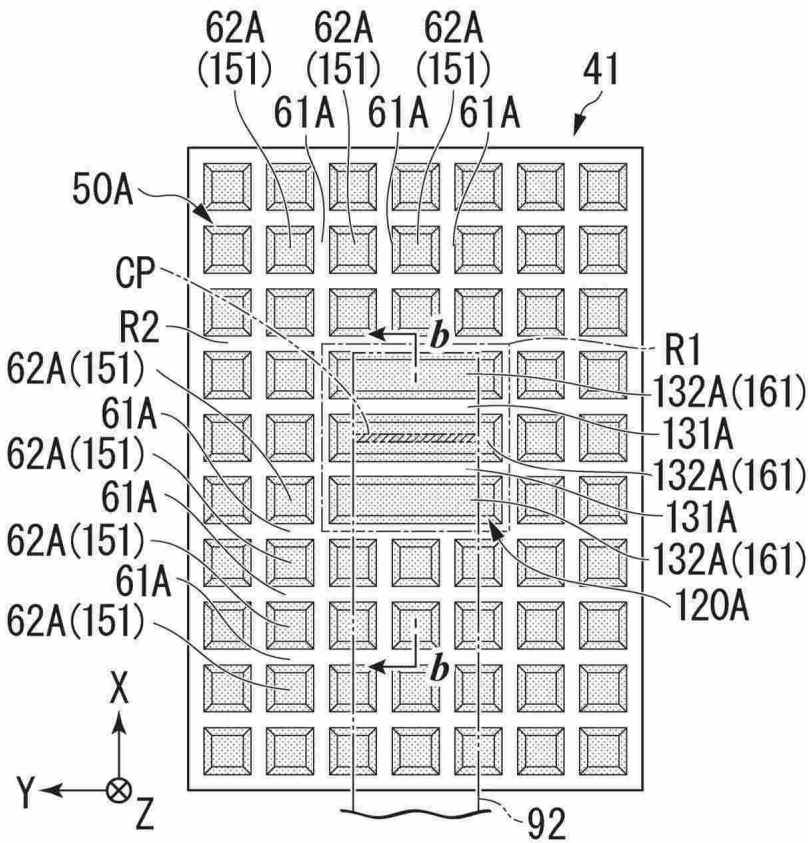
Figure 1 is a plan view of a display panel 41. The panel displays a grid of subpixels. The grid is divided into regions 50A, 51, CP, and S1. Subpixels are labeled 62A(151) and 61A. A dashed box highlights a central area with dimensions 'b' and 'Z'. A coordinate system (X, Y, Z) is shown at the bottom left. A wavy line at the bottom is labeled 92.

- 7070 -



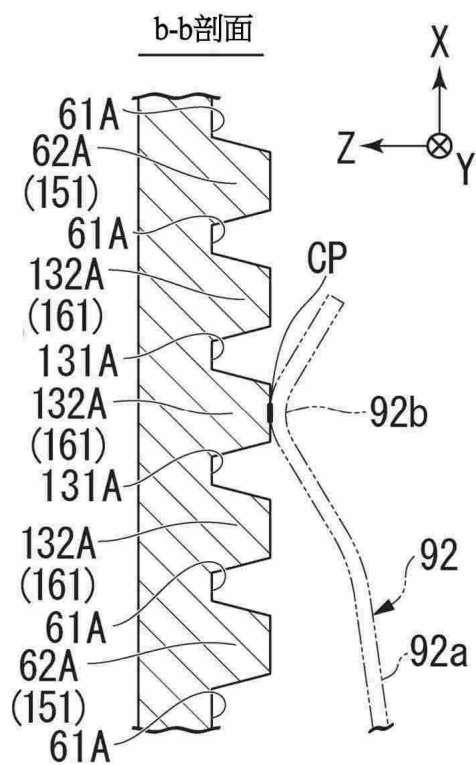
【圖28B】

(42)

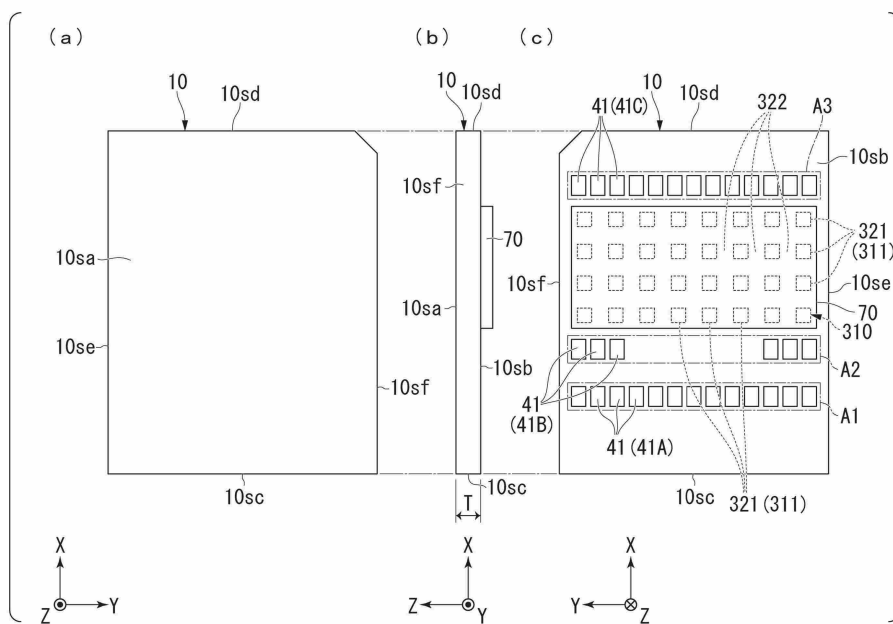


【圖29A】

(43)

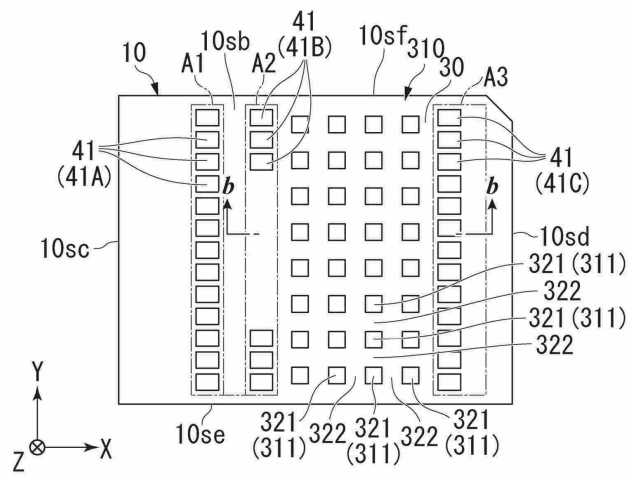


【圖29B】

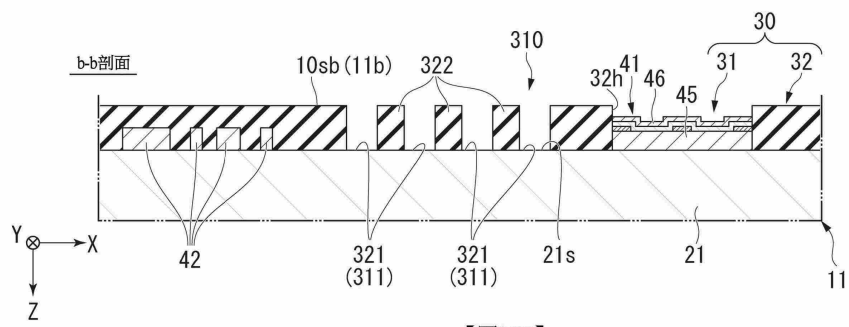


【圖30】

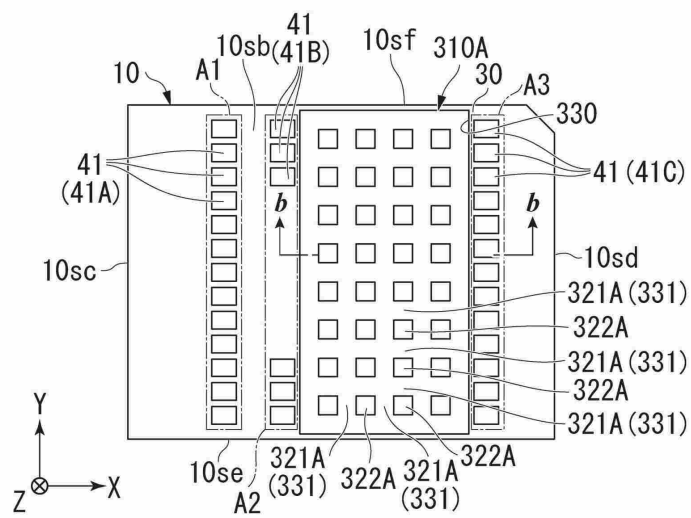
(44)



【圖31A】



【圖31B】



【圖32A】

【圖32B】

- 7075 -