

【11】證書號數：I938848

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W74/00 (2026.01) H10W72/20 (2026.01)
H10W20/20 (2026.01) H10W74/01 (2026.01)
H10P10/00 (2026.01)

發明

全 15 頁

【54】名稱：半導體堆疊封裝及其製造方法

【21】申請案號：114107636

【22】申請日：中華民國 114 (2025) 年 03 月 03 日

【11】公開編號：202604011

【43】公開日期：中華民國 115 (2026) 年 01 月 16 日

【30】優先權：2024/07/09

美國

18/767,957

【72】發明人：饒瑞修 (TW) JAO, JUI-HSIU

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 201916276A

TW 202123403A

審查人員：陳志遠

【57】申請專利範圍

1. 一種半導體堆疊封裝，包括：
一半導體晶粒，包含：
一基板；
一電晶體，配置於該基板上；以及
一矽穿孔結構（through-silicon-via, TSV），垂直於該基板，包含一第一導電層、一第二導電層以及位於該第一導電層與該第二導電層之間的一介電質層。
2. 如請求項 1 所述之半導體堆疊封裝，其中該介電質層具有長方形形狀的一橫截面輪廓。
3. 如請求項 1 所述之半導體堆疊封裝，其中該第一導電層及該第二導電層具有實質上相同的一寬度。
4. 如請求項 1 所述之半導體堆疊封裝，其中該介電質層包含一氧化物。
5. 如請求項 1 所述之半導體堆疊封裝，其中該介電質層為該第一導電層之一材料之一氧化物。
6. 如請求項 1 所述之半導體堆疊封裝，其中該第一導電層及該第二導電層具有不同的一寬度。
7. 如請求項 1 所述之半導體堆疊封裝，其中該半導體晶粒進一步包含圍繞該矽穿孔結構之一絕緣層。
8. 如請求項 7 所述之半導體堆疊封裝，其中該第一導電層、該第二導電層及該介電質層係接觸該絕緣層。
9. 如請求項 8 所述之半導體堆疊封裝，其中該絕緣層及該介電質層係由相同之一材料製作。
10. 如請求項 1 所述之半導體堆疊封裝，進一步包含：

一封裝底板，其中該半導體晶粒係堆疊於該封裝底板上，且該半導體晶粒的該矽穿孔結構係電性連接至該封裝底板。

11. 一種製造半導體堆疊封裝的方法，包括：
 - 在一基板上形成一通孔；
 - 在該通孔中形成一第一導電層；
 - 在該通孔中及該第一導電層上形成一介電質層；
 - 在該通孔中及該介電質層上形成一第二導電層，其中該第一導電層、該介電質層及該第二導電層共同形成一矽穿孔結構；
 - 在該基板上形成一電晶體。
12. 如請求項 11 所述之製造半導體堆疊封裝的方法，其中形成該介電質層包含在該通孔之一內表面沉積一介電質材料。
13. 如請求項 11 所述之製造半導體堆疊封裝的方法，其中形成該介電質層包含在該通孔中氧化該第一導電層暴露的一表面。
14. 如請求項 11 所述之製造半導體堆疊封裝的方法，其中在形成該第一導電層之前，在該通孔之一內表面形成一絕緣層。
15. 如請求項 11 所述之製造半導體堆疊封裝的方法，進一步包含在該基板的一背面實行一研磨製程直到該第一導電層被暴露。
16. 如請求項 11 所述之製造半導體堆疊封裝的方法，其中形成該第一導電層包含：
 - 在該通孔中沉積過量的一導電材料；
 - 在該導電材料上實行一研磨製程直到該基板被暴露；以及
 - 回蝕該導電材料以降低該導電材料之一表面。
17. 如請求項 11 所述之製造半導體堆疊封裝的方法，進一步包含形成電性連接至該矽穿孔結構與該電晶體之一互連結構（interconnect structure）。
18. 如請求項 17 所述之製造半導體堆疊封裝的方法，進一步包含：
 - 在該互連結構上形成一導電凸塊（bump）；以及
 - 將該導電凸塊連接至一封裝底板。
19. 如請求項 11 所述之製造半導體堆疊封裝的方法，進一步包含將一半導體晶粒堆疊於該基板上，使得該半導體晶粒電性連接至該矽穿孔結構。
20. 如請求項 11 所述之製造半導體堆疊封裝的方法，進一步包含在該基板上形成該電晶體之後，藉由施加一電壓至該第一導電層或該第二導電層以破壞該介電質層，使得在該第一導電層與該第二導電層之間形成一導電路徑。

圖式簡單說明

透過參考以下圖式來閱讀本文中實施例的詳細說明，可以更全面地理解本公開內容：

第 1 圖為根據本揭露之一些實施方式的半導體堆疊封裝之剖面圖。

第 2A 圖為第 1 圖中之半導體堆疊封裝之 A 部分所示的半導體裝置的局部放大圖。

第 2B 圖為根據本揭露之一些實施方式的半導體裝置的局部放大圖。

第 3A 圖至第 3O 圖為根據本揭露之一些實施方式之製造至半導體堆疊封裝的方法的各步驟示意圖。

第 4A 圖至第 4D 圖為根據本揭露之一些實施方式之製造至半導體堆疊封裝的方法的各步驟示意圖。

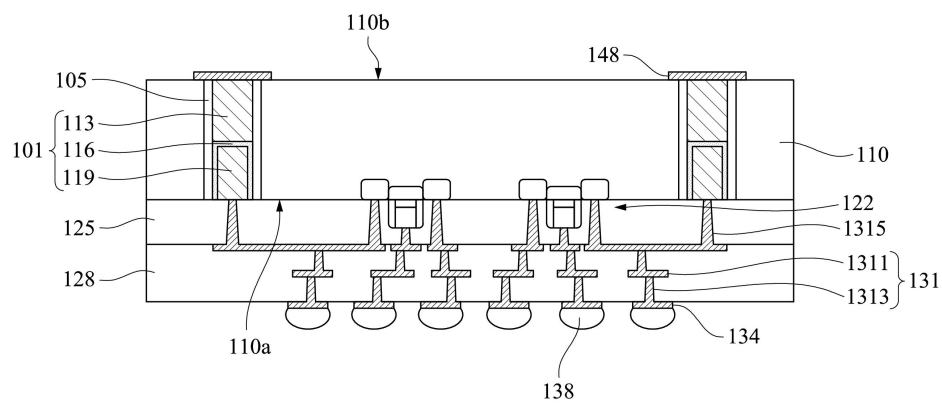
第 5A 圖及第 5B 圖為根據本揭露之一些實施方式之在不同條件下操作半導體堆疊封裝的矽穿孔結構的示意圖。

(3)



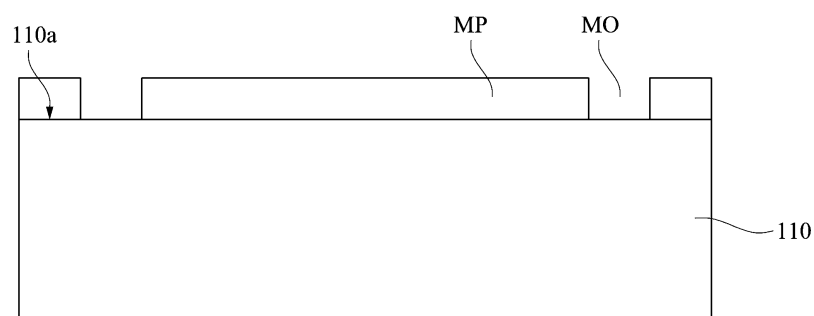
(4)

100



第 2B 圖

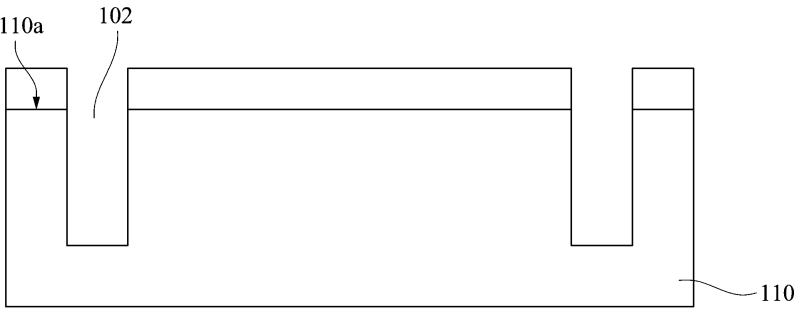
100



第 3A 圖

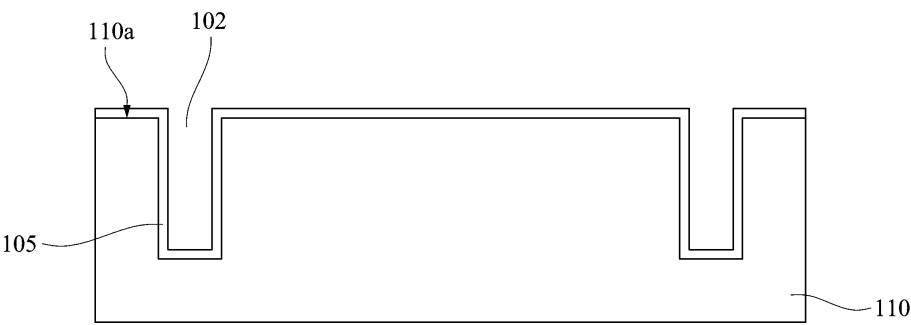
(5)

100



第 3B 圖

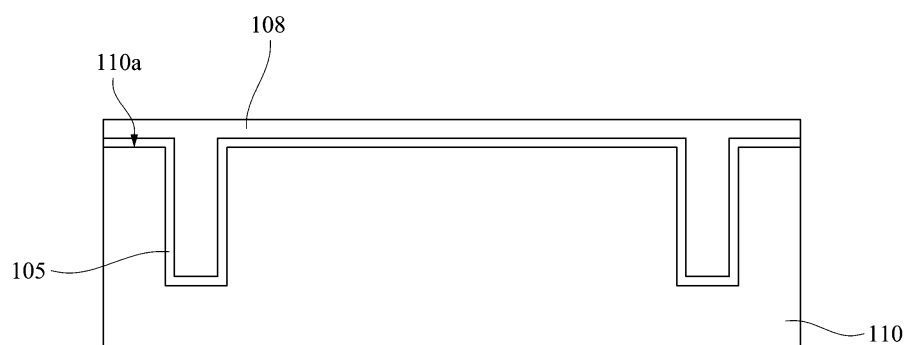
100



第 3C 圖

(6)

100



第 3D 圖

100



第 3E 圖

(7)

100



第 3F 圖

100



第 3G 圖

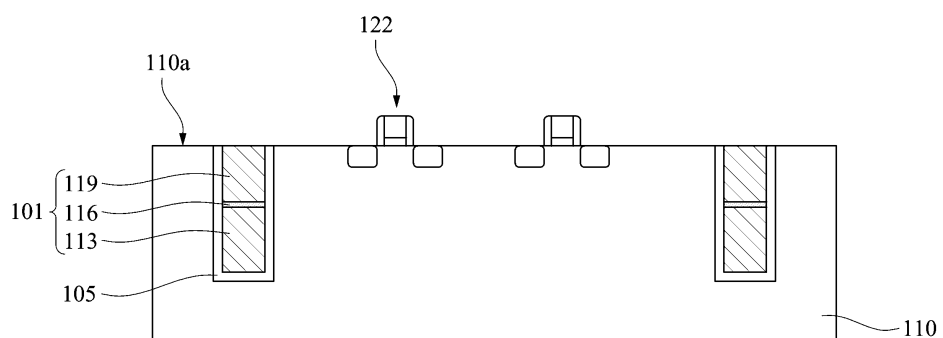
(8)

100



第 3H 圖

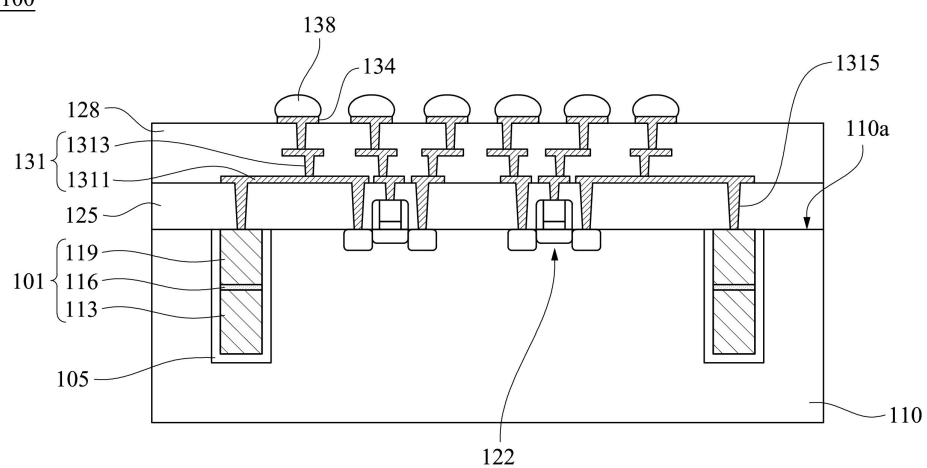
100



第 3I 圖

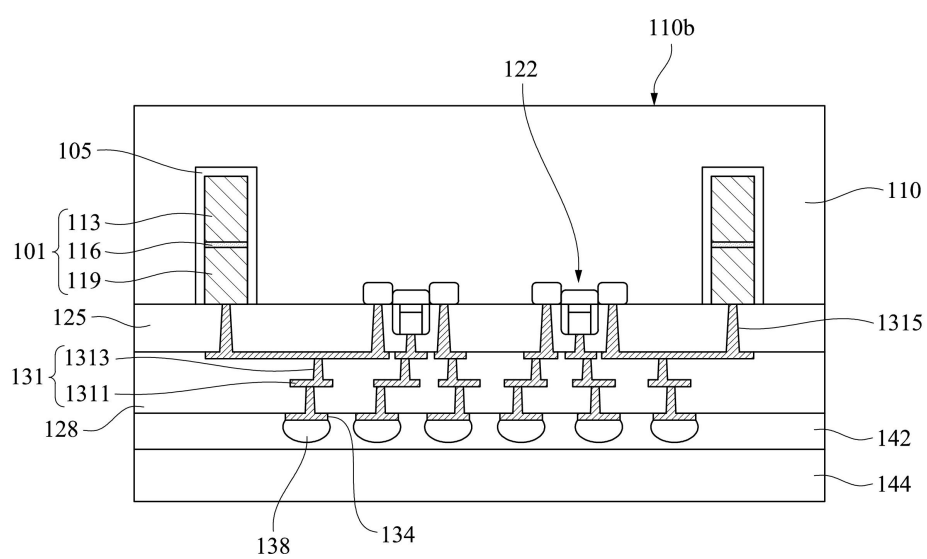
(9)

100



第 3J 圖

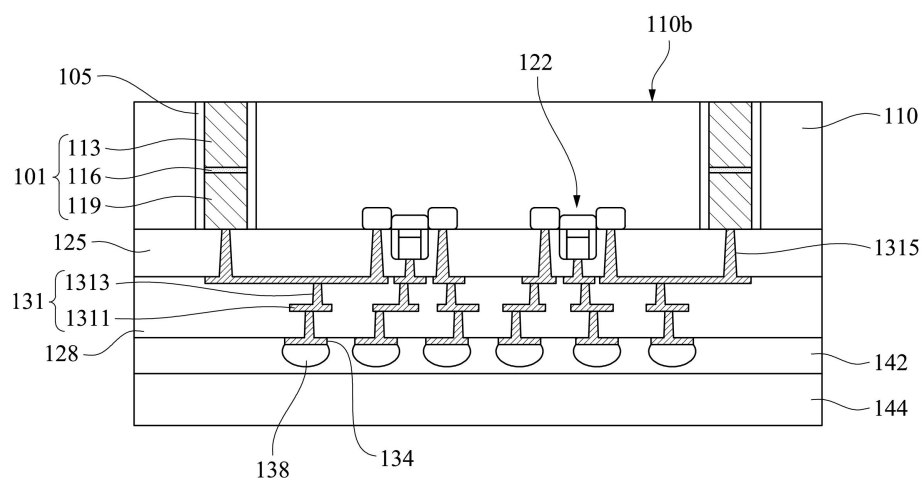
100



第 3K 圖

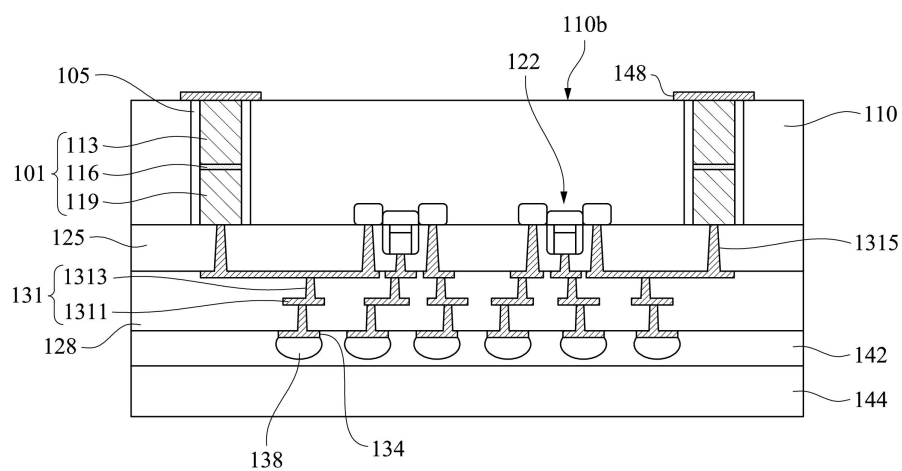
(10)

100



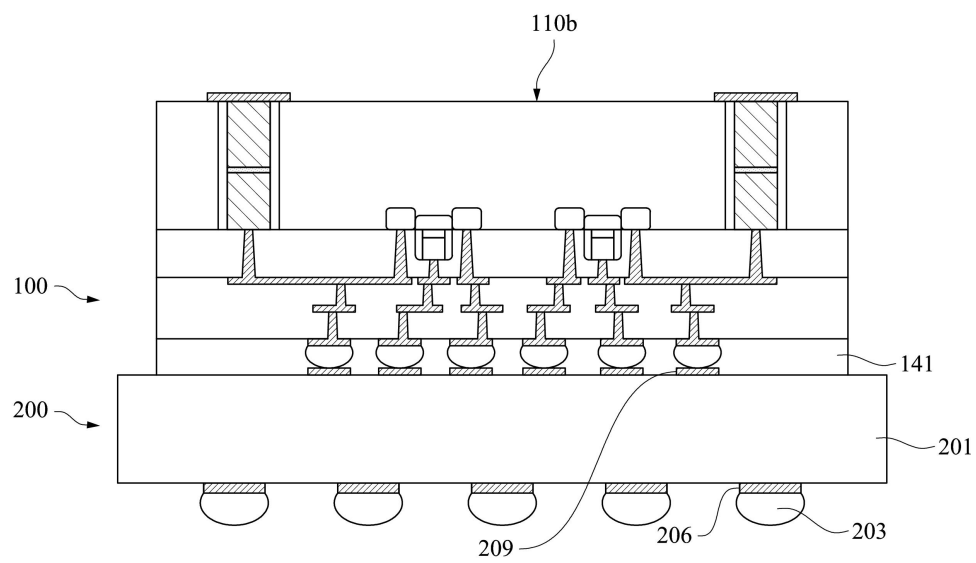
第 3L 圖

100

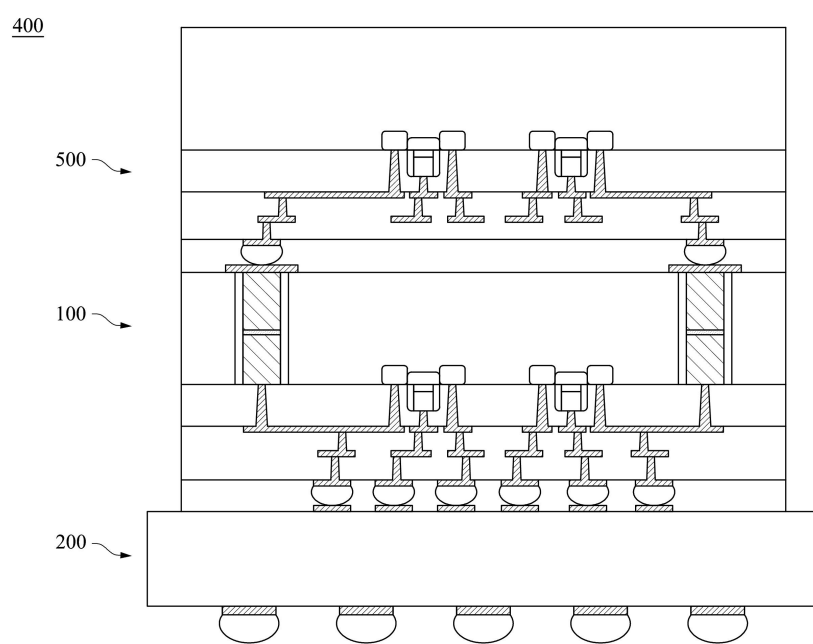


第 3M 圖

(11)



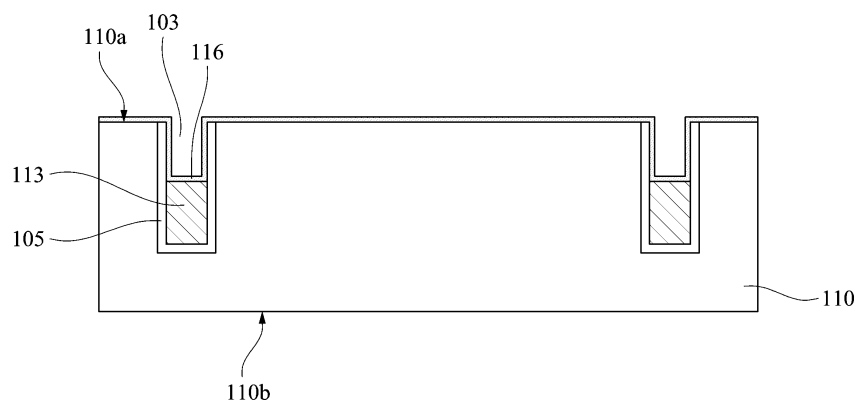
第 3N 圖



第 30 圖

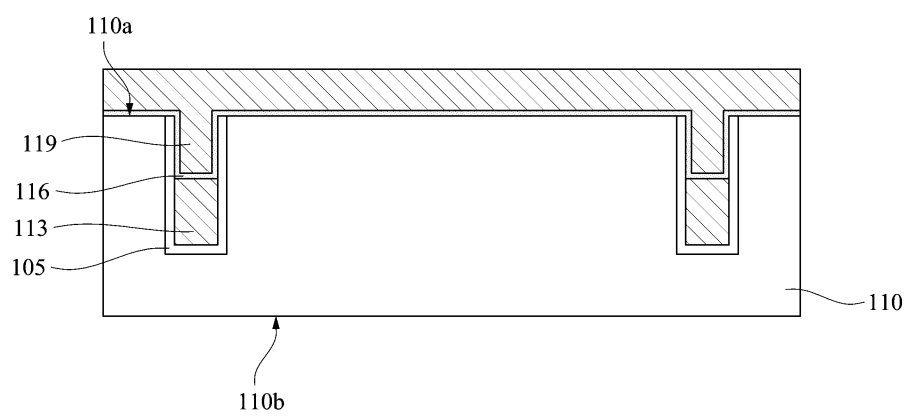
(12)

100



第 4A 圖

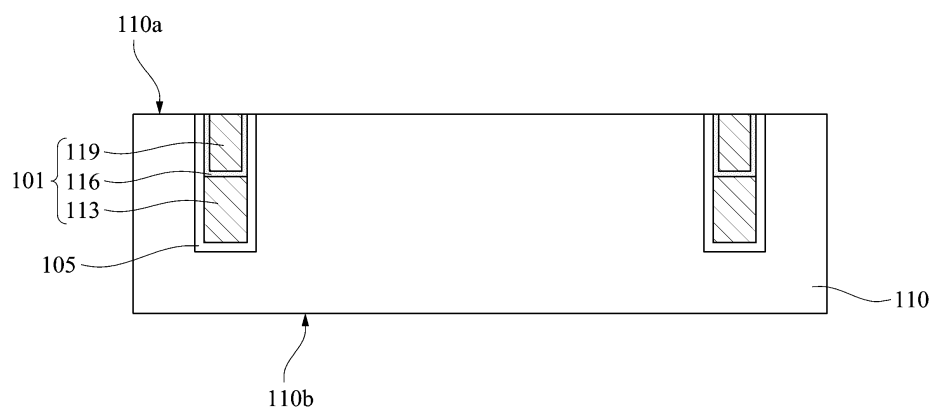
100



第 4B 圖

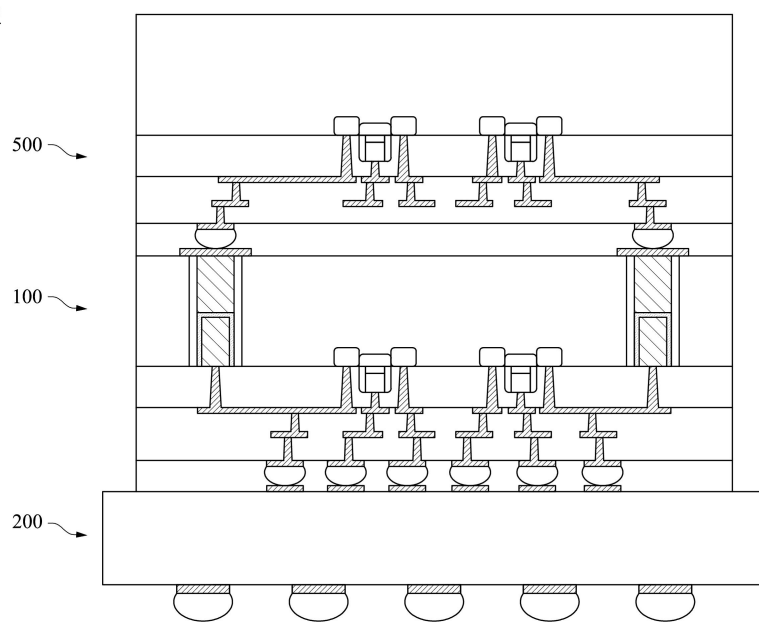
(13)

100



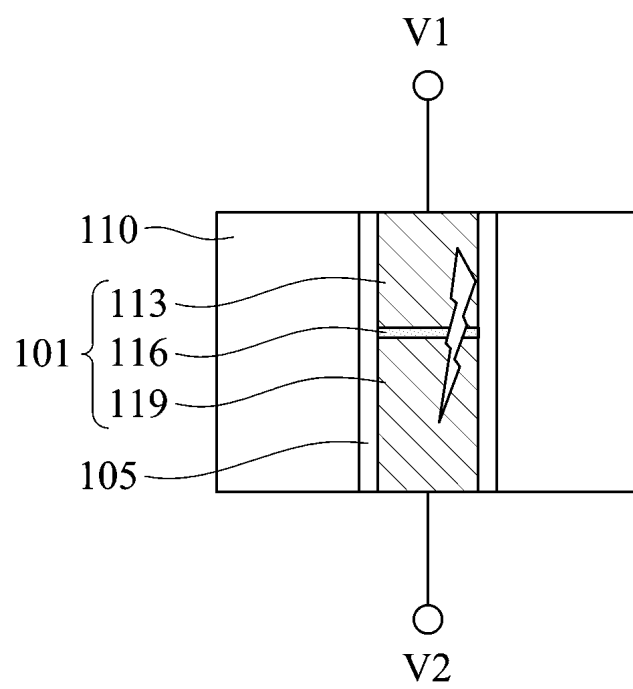
第 4C 圖

400



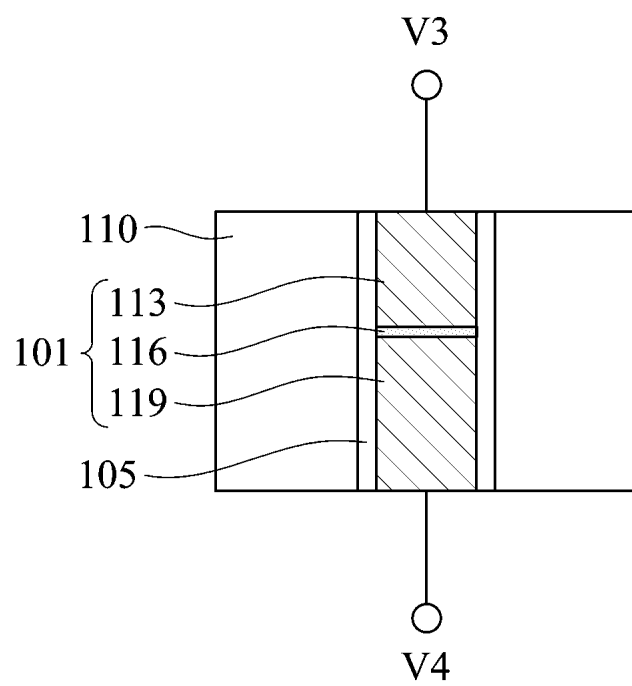
第 4D 圖

(14)



第 5A 圖

(15)



第 5B 圖