

【11】證書號數：I938857

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D62/10 (2025.01) H10D30/43 (2025.01)
H10D30/67 (2025.01)

發明

全 19 頁

【54】名稱：半導體元件及其形成方法

【21】申請案號：114107779

【22】申請日：中華民國 114 (2025) 年 03 月 03 日

【11】公開編號：202614826

【43】公開日期：中華民國 115 (2026) 年 04 月 01 日

【30】優先權：2024/09/27

美國

63/700,005

2025/01/03

美國

19/009,025

【72】發明人：林志昌 (TW) LIN, ZHI-CHANG；邱宗凱 (TW) CHIU, TSUNG-KAI；江育賢 (TW) CHIANG, YU-HSIEN；余建霖 (TW) YU, CHIEN-LIN；楊固峰 (TW) YANG, KU-FENG；廖 思雅 (US) LIAO, SZUYA

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202339185A

TW 202431645A

US 2024/0072052A1

審查人員：蔡明宏

【57】申請專利範圍

1. 一種半導體元件，包含：
一多層堆疊，包含：
一第一複數奈米結構；
一第二複數奈米結構，位於該第一複數奈米結構上方；
一第一通道隔離結構；以及
一第二通道隔離結構，位於該第二複數奈米結構上方；
複數個第一源極/汲極區域，位於該第一複數奈米結構的複數個相對端點上；
複數個第二源極/汲極區域，位於該些第一源極/汲極區域上方，該些第二源極/汲極區域位於該第二複數奈米結構的複數個相對端點上；
一第一閘極結構，圍繞該第一複數奈米結構，其中該第一閘極結構接觸該第一通道隔離結構的一第一橫向表面；以及
一第二閘極結構，圍繞該第二複數奈米結構。
2. 如請求項 1 所述的半導體元件，其中該第一通道隔離結構設置在該第一複數奈米結構下方。
3. 如請求項 2 所述的半導體元件，進一步包含：
一層間介電質(ILD)，位於該些第一源極/汲極區域下方，其中該層間介電質沿著該第一通道隔離結構的複數個側壁延伸。
4. 如請求項 1 所述的半導體元件，其中該第一通道隔離結構設置在該第一複數奈米結構與該第二複數奈米結構之間。
5. 一種半導體元件，包含：

(2)

- 第一複數奈米結構；
 - 第二複數奈米結構，位於該第一複數奈米結構上方；
 - 通道隔離結構，位於該第一複數奈米結構與該第二複數奈米結構之間，其中該通道隔離結構具有一多層結構，包含：
 - 第一通道隔離材料；
 - 第二通道隔離材料，位於該第一通道隔離材料的一上部部分與一下部部分之間；以及
 - 第三通道隔離材料，位於該第二通道隔離材料的複數個側壁上；
 - 複數個第一源極/汲極區域，位於該第一複數奈米結構的複數個相對端點上；
 - 複數個第二源極/汲極區域，位於該些第一源極/汲極區域上方，該些第二源極/汲極區域位於該第二複數奈米結構的複數個相對端點上；
 - 第一閘極結構，圍繞該第一複數奈米結構；以及
 - 第二閘極結構，圍繞該第二複數奈米結構。
6. 如請求項 5 所述的半導體元件，進一步包含：
複數個第一內間隔物，位於該第一閘極結構的複數個側壁與該些第一源極/汲極區域之間；以及
複數個第二內間隔物，位於該第二閘極結構的複數個側壁與該些第二源極/汲極區域之間，其中該些第一內間隔物、該些第二內間隔物與該第三通道隔離材料具有相同的組成材料。
7. 如請求項 6 所述的半導體元件，其中該些第二內間隔物與該第一通道隔離材料、該第二通道隔離材料和該第三通道隔離材料重疊。
8. 一種半導體元件的形成方法，包含：
形成一多層堆疊，該多層堆疊包含：
與複數個第一虛設奈米結構交替堆疊的複數個下部半導體奈米結構；
與複數個第二虛設奈米結構交替堆疊的複數個上部半導體奈米結構；以及
一第三虛設奈米結構，位於該些下部半導體奈米結構與該些上部半導體奈米結構之間；
圖案化穿過該多層堆疊的一源極/汲極凹槽；
以一或多個通道隔離材料取代該第三虛設奈米結構；
在以一或多個通道隔離材料取代該第三虛設奈米結構後，使該些第一虛設奈米結構與該些第二虛設奈米結構的複數個凹陷側壁；
形成複數個內間隔物，位於該些第一虛設奈米結構與該些第二虛設奈米結構的複數個凹陷側壁上；
形成一第一源極/汲極區域與一第二源極/汲極區域於該源極/汲極凹槽中，該第一源極/汲極區域與該些下部半導體奈米結構相鄰，該第二源極/汲極區域與該些上部半導體奈米結構相鄰；
以一第一閘極結構取代該些第一虛設奈米結構；以及
以一第二閘極結構取代該些第二虛設奈米結構。
9. 如請求項 8 所述的方法，其中以一或多個通道隔離材料取代該第三虛設奈米結構包含：
去除該第三虛設奈米結構以界定位於該些下部半導體奈米結構與該些上部半導體奈米結構之間的一間隙；
沉積一第一通道隔離材料層，位於該間隙的一頂表面與一底表面上；
以一第二通道隔離材料層填充該間隙的複數個剩餘部分；以及
去除該第一通道隔離材料層和該第二通道隔離材料層的設置在該間隙外部的複數個多餘部分，以界定一第一通道隔離材料和一第二通道隔離材料。
10. 如請求項 9 所述的方法，進一步包含：

(3)

在使該些第一虛設奈米結構和該些第二虛設奈米結構的複數個側壁凹陷的同時，使該第二通道隔離材料的一側壁凹陷；以及
在形成該些內間隔物的同時，形成一第三通道隔離材料於該第二通道隔離材料的一凹陷側壁上。

圖式簡單說明

當藉由附圖閱讀時，自以下詳細描述，最佳地理解本揭露內容的態樣。注意，根據該行業中的標準實務，各種特徵未按比例繪製。事實上，為了論述的清晰起見，可任意地增大或減小各種特徵的尺寸。

第 1 圖根據一些實施例示出了範例堆疊電晶體的透視圖。

第 2-8 圖是根據一些實施例的製造堆疊電晶體的中間階段的視圖。

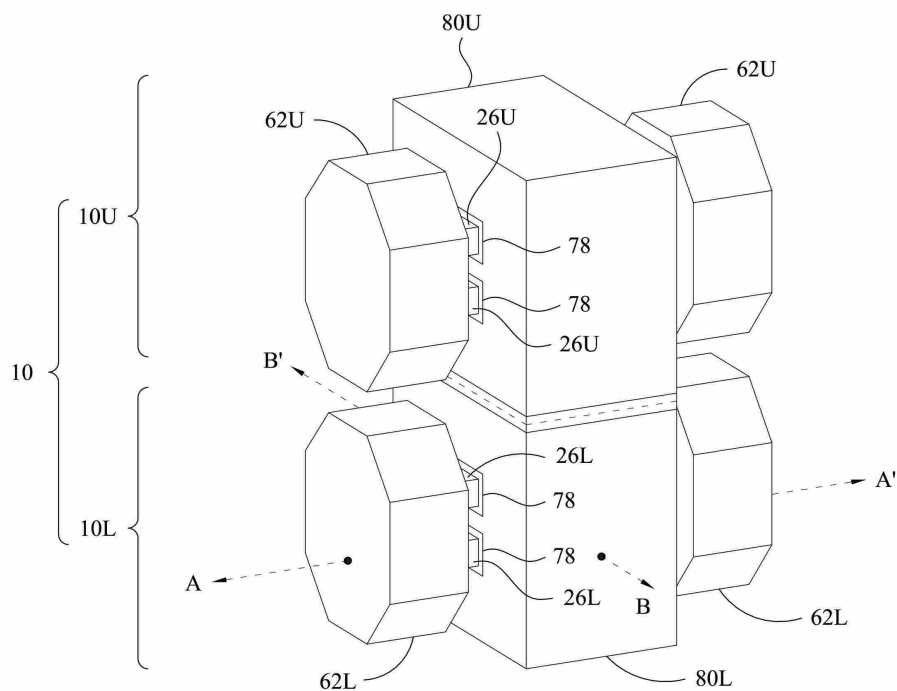
第 9-15 圖是根據一些實施例的製造堆疊電晶體的中間階段的視圖。

第 16-18 圖是根據一些實施例的製造堆疊電晶體的中間階段的視圖。

第 19-21 圖是根據一些實施例的製造堆疊電晶體的中間階段的視圖。

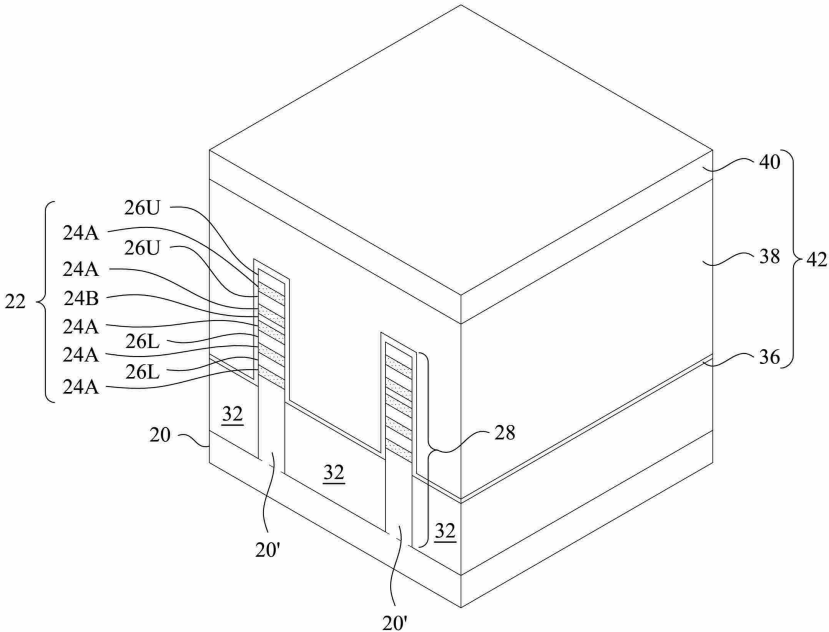
第 22-24 圖是根據一些實施例的製造堆疊電晶體的中間階段的視圖。

第 25 圖、第 26 圖、第 27A 圖、第 27B 圖、第 27C 圖、第 28 圖、第 29A 圖、第 29B 圖與第 29C 圖是根據一些實施例的製造堆疊電晶體的中間階段的視圖。

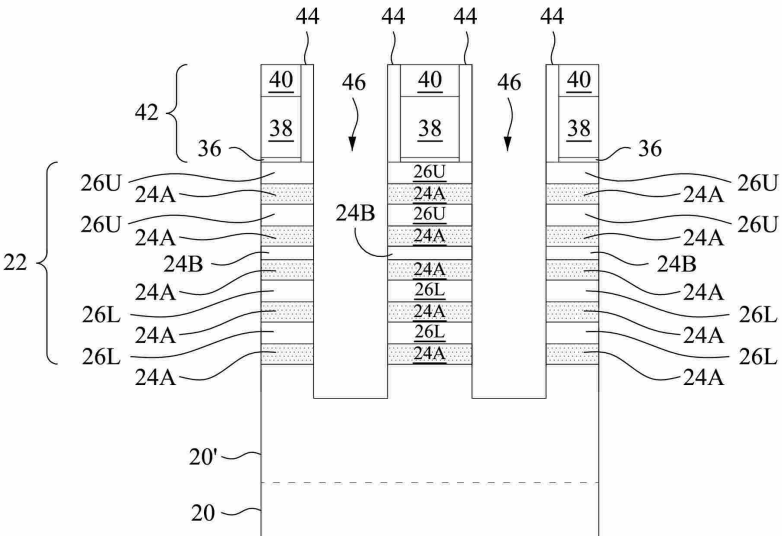


第 1 圖

(4)

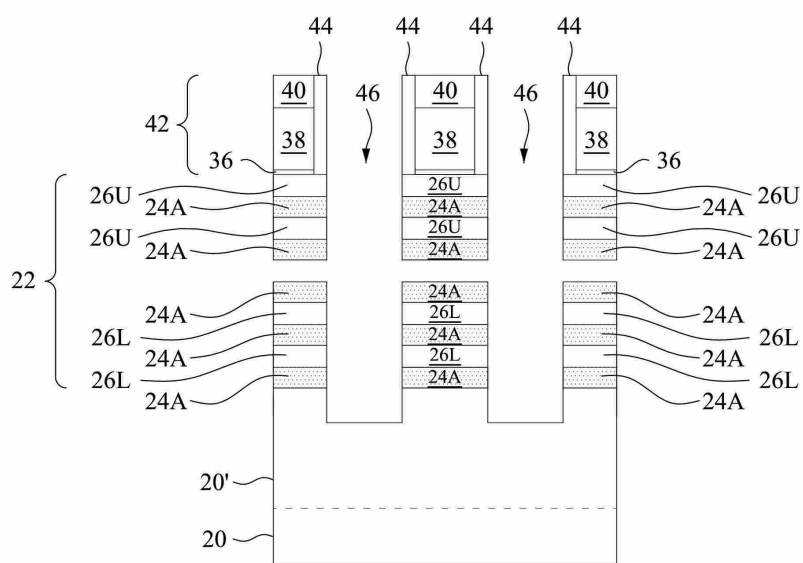


第 2 圖

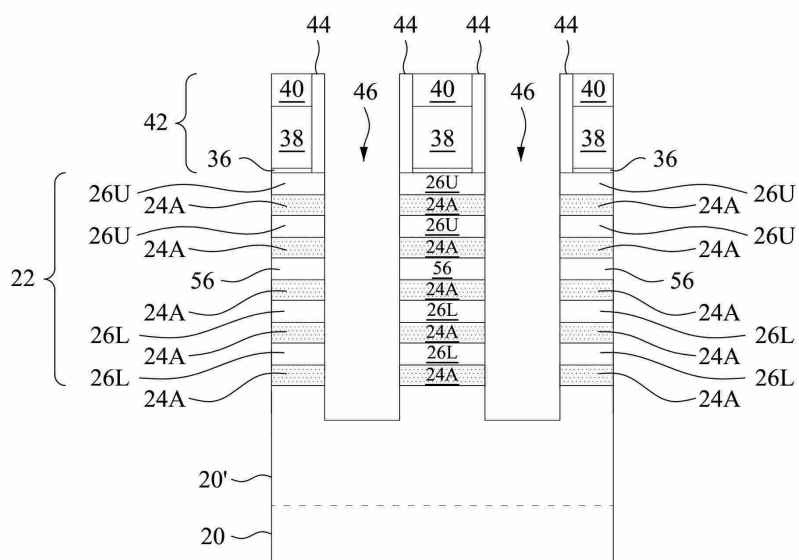


第 3 圖

(5)

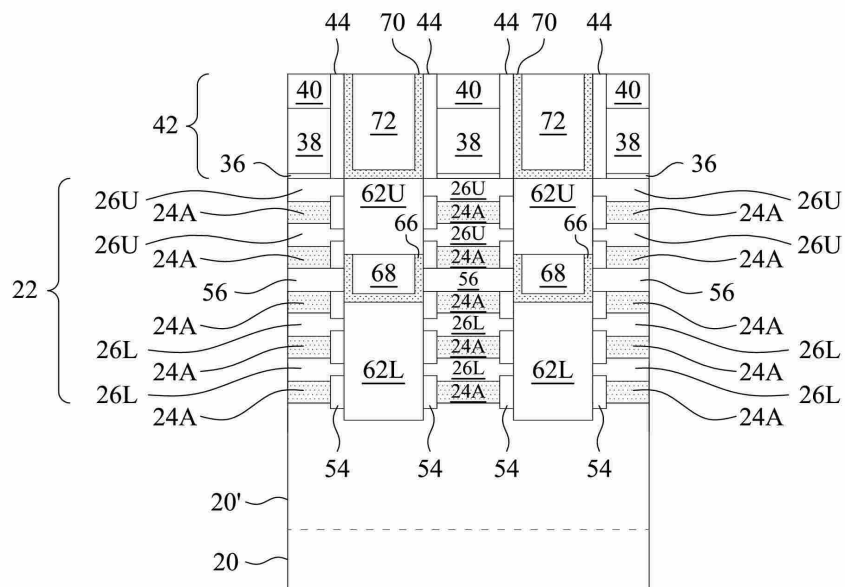


第 4 圖

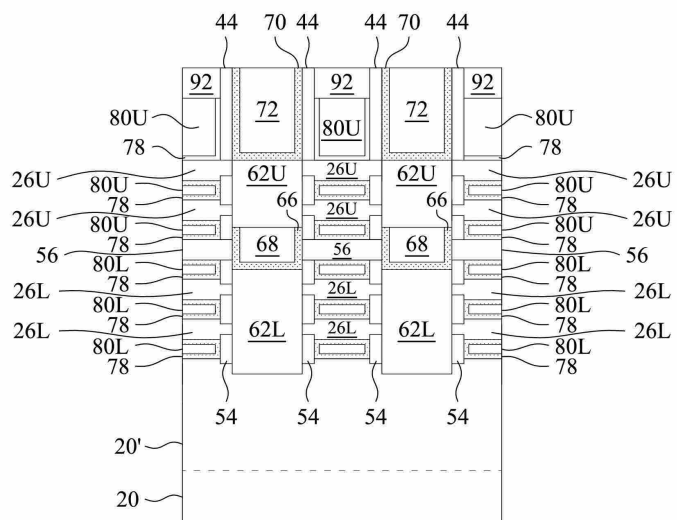
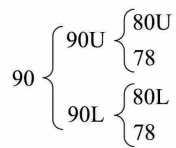


第 5 圖

(6)

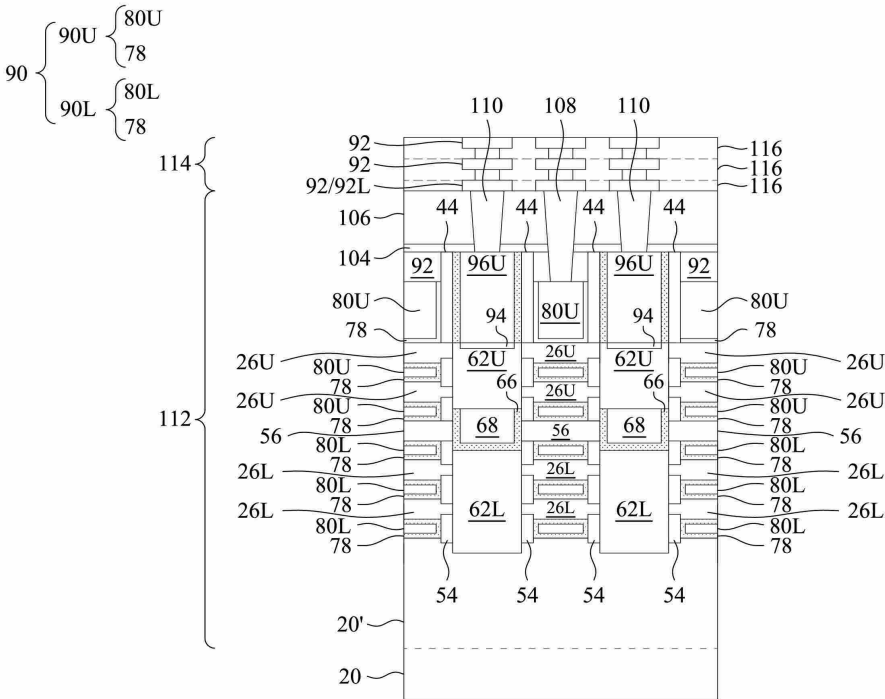


第 6 圖

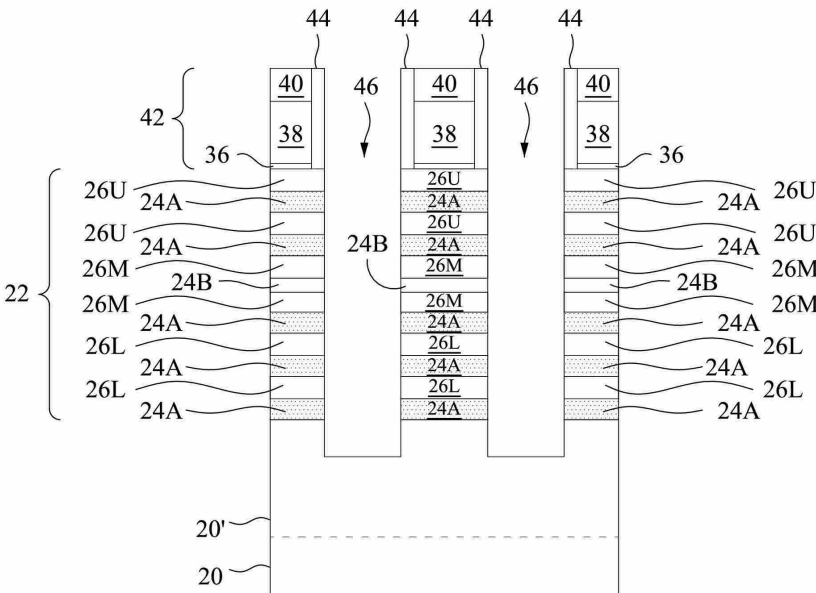


第 7 圖

(7)

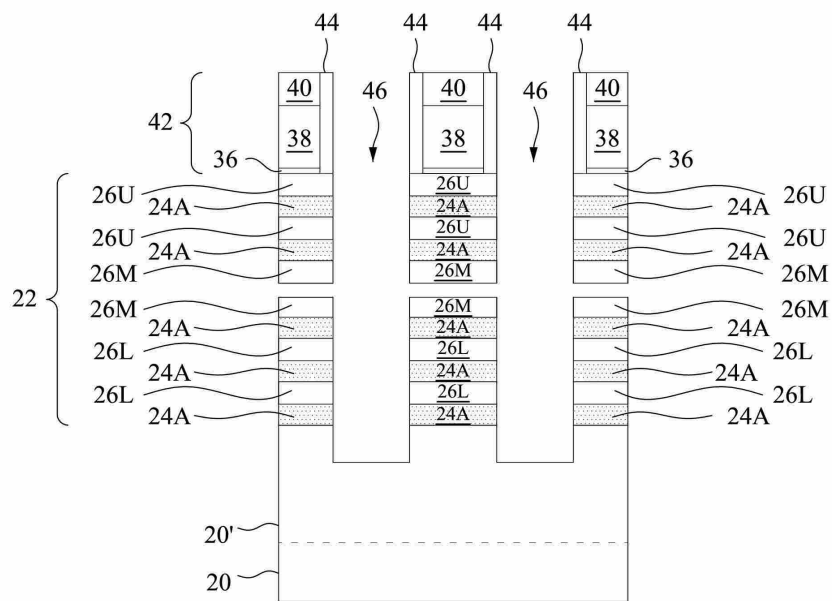


第 8 圖

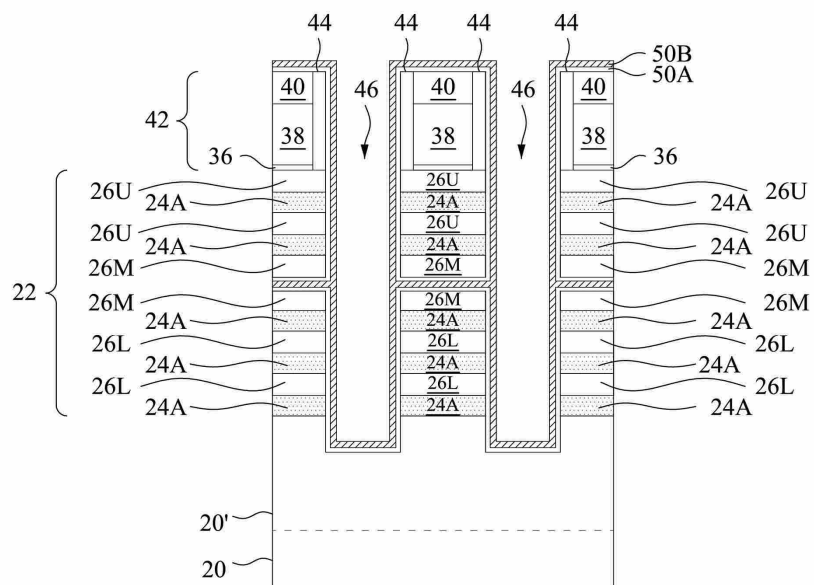


第 9 圖

(8)

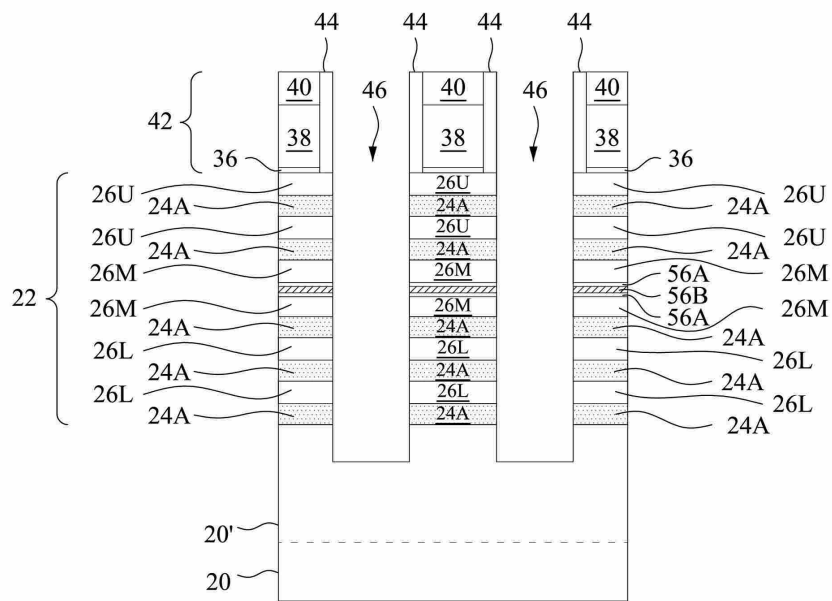


第 10 圖

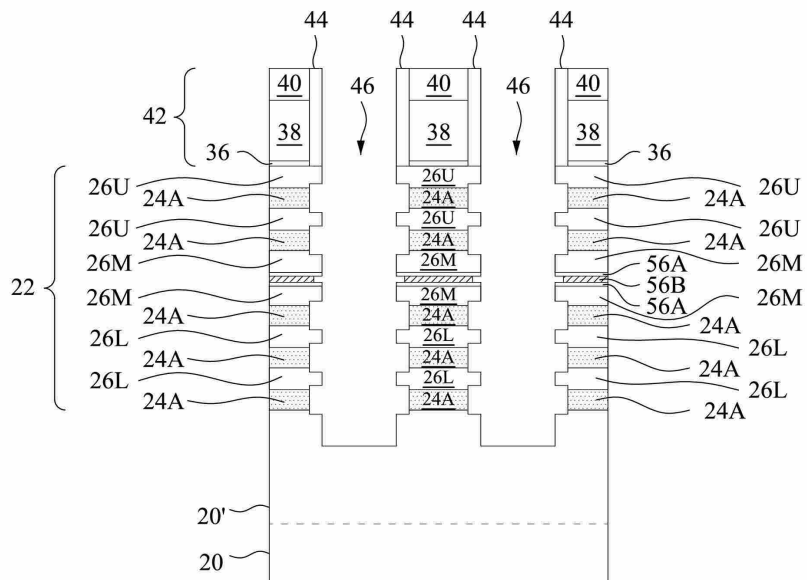


第 11 圖

(9)



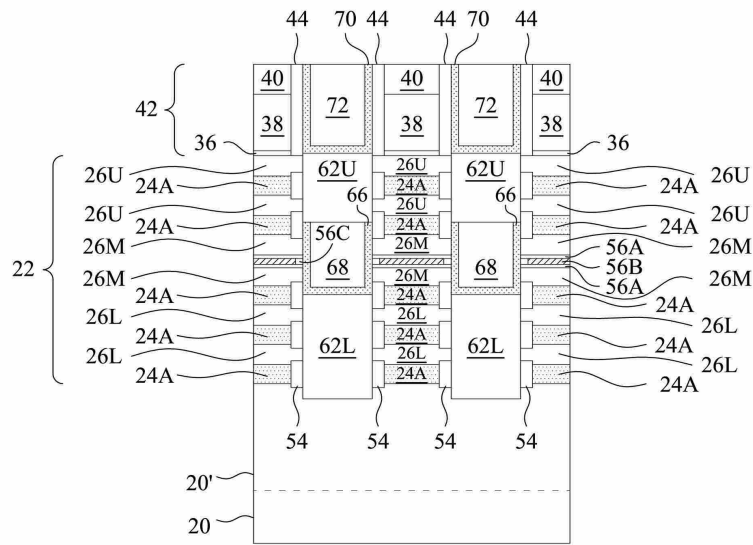
第 12 圖



第 13 圖

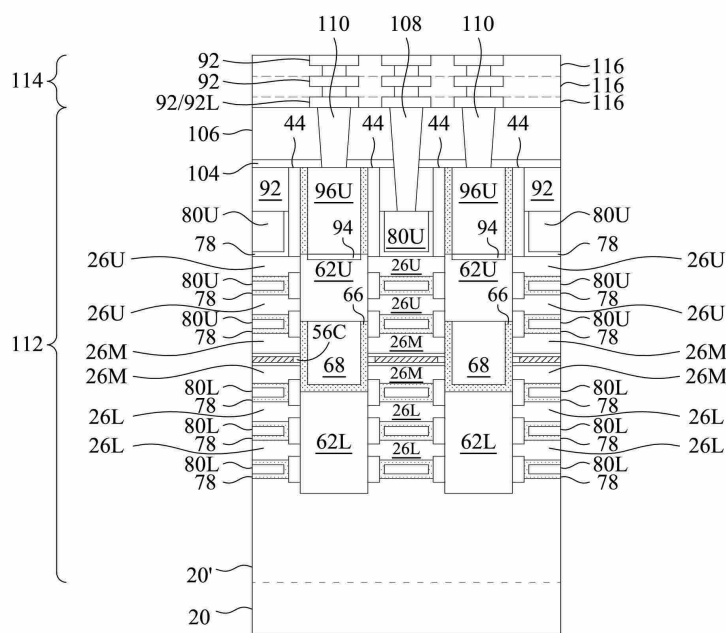
(10)

56 {
56A
56B
56C



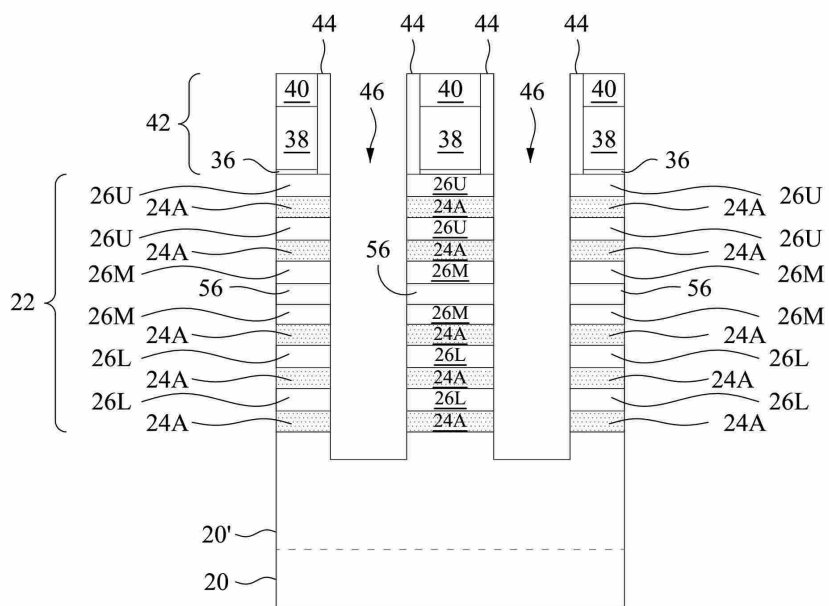
第 14 圖

90 {
90U {
80U
78
90L {
80L
78
56 {
56A
56B
56C

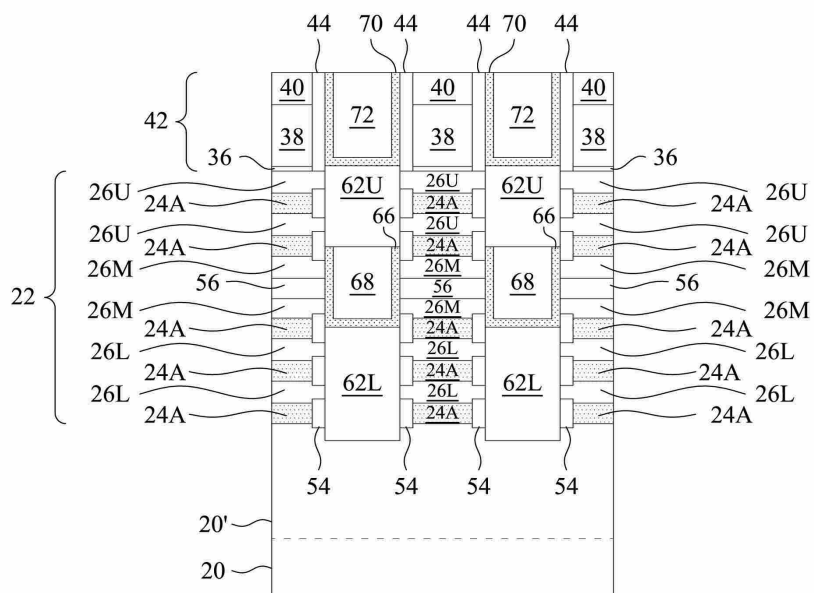


第 15 圖

(11)



第 16 圖

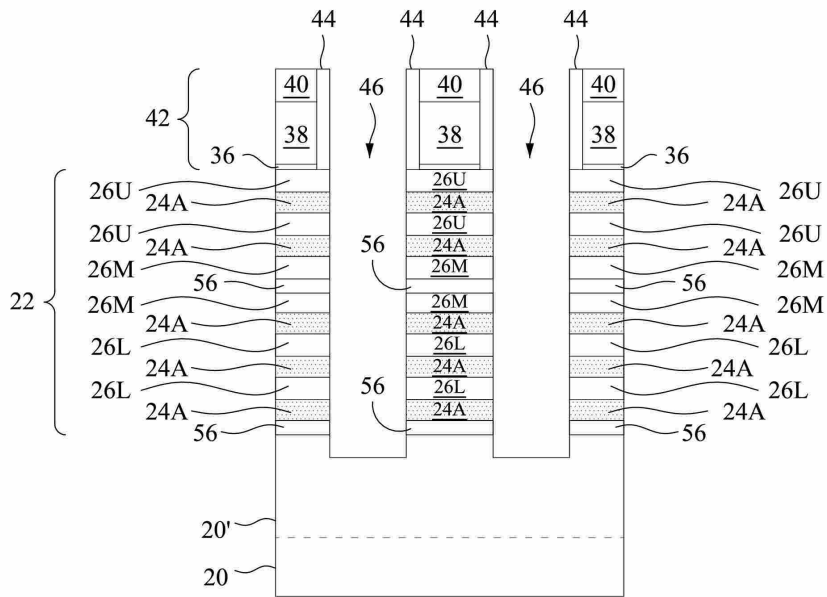


第 17 圖

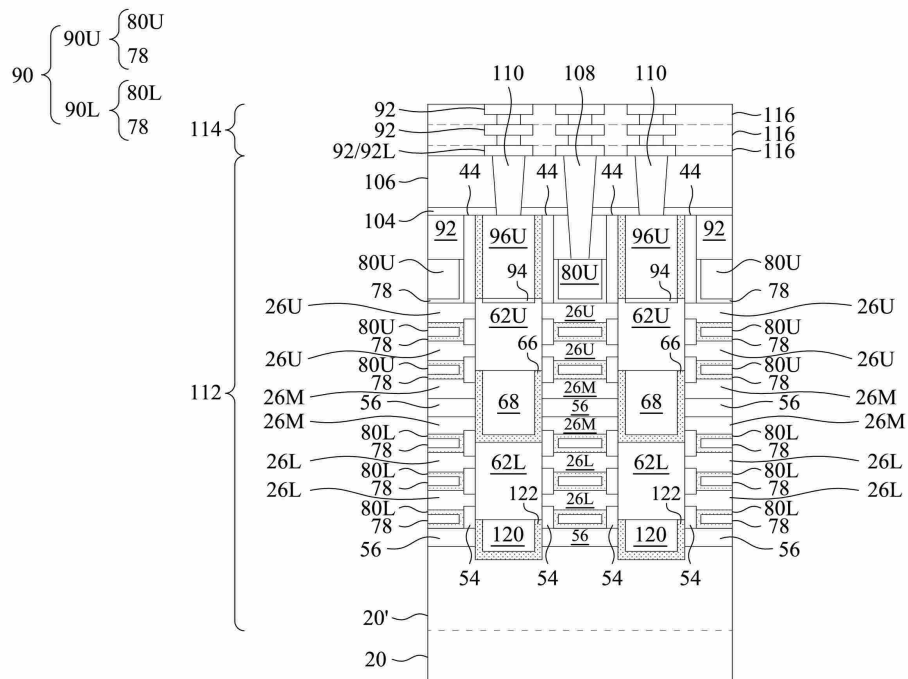
Figure 90 is a cross-sectional view of a semiconductor device. The device is divided into two main horizontal sections: a top section 114 and a bottom section 112. The top section 114 includes a substrate 92 with a top layer 92/92L. Above the substrate, there are four vertical structures 44, each containing a central core 110 and a surrounding layer 108. The bottom section 112 is a multi-layered structure. It features a central core 68, surrounded by a layer 66, which is further surrounded by a layer 62U (top) and 62L (bottom). The core 68 is flanked by two vertical structures 94, each containing a central core 80U (top) and 80L (bottom). The entire structure is surrounded by a layer 78. The bottom section 112 is further divided into four vertical regions, each containing a central core 68, a layer 66, and a layer 62U/L. The bottom section 112 is also surrounded by a layer 78. The bottom section 112 is further divided into four vertical regions, each containing a central core 68, a layer 66, and a layer 62U/L. The bottom section 112 is also surrounded by a layer 78. The bottom section 112 is further divided into four vertical regions, each containing a central core 68, a layer 66, and a layer 62U/L. The bottom section 112 is also surrounded by a layer 78.

- 7291 -

(13)

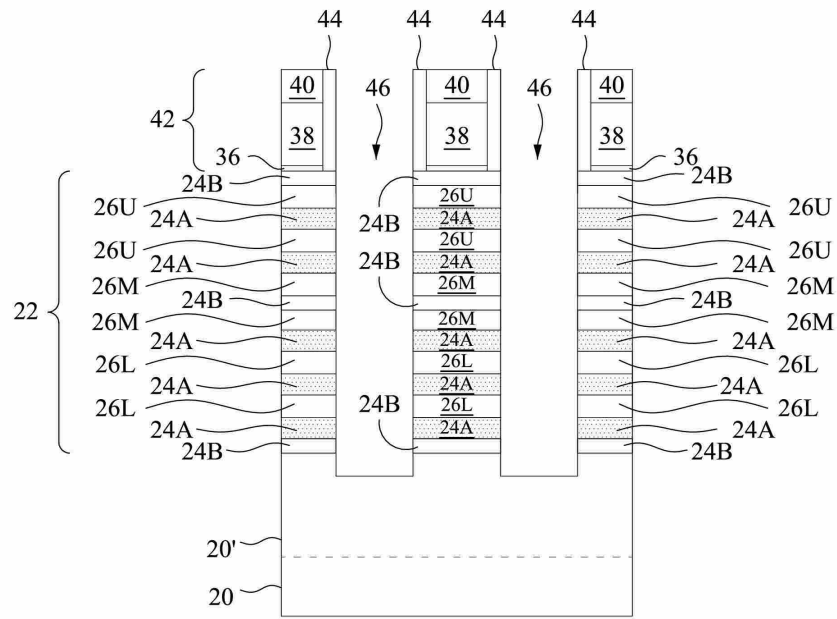


第 20 圖

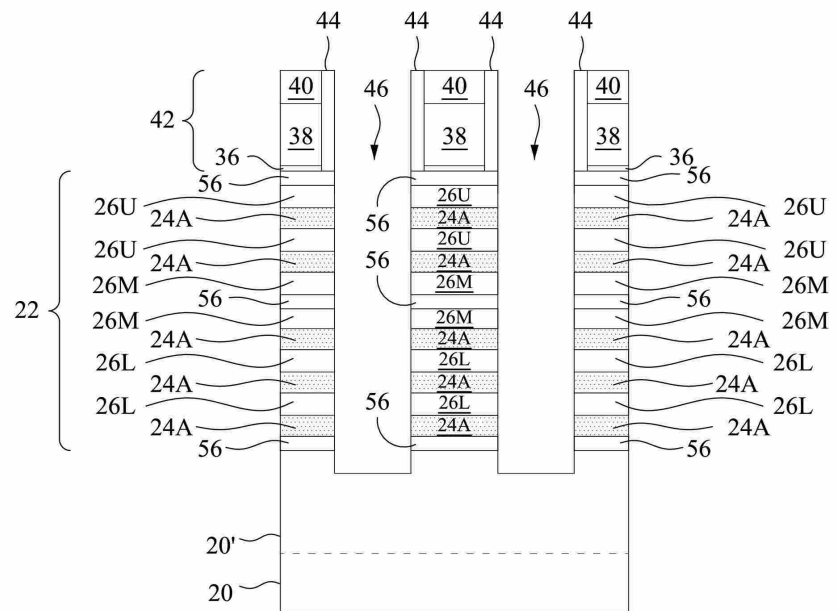


第 21 圖

(14)

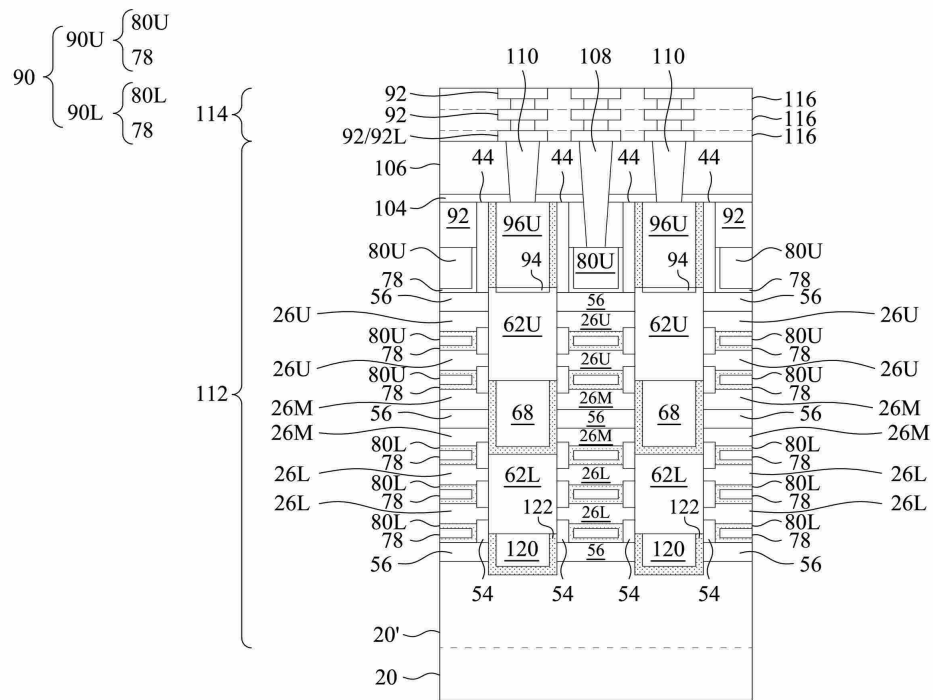


第 22 圖

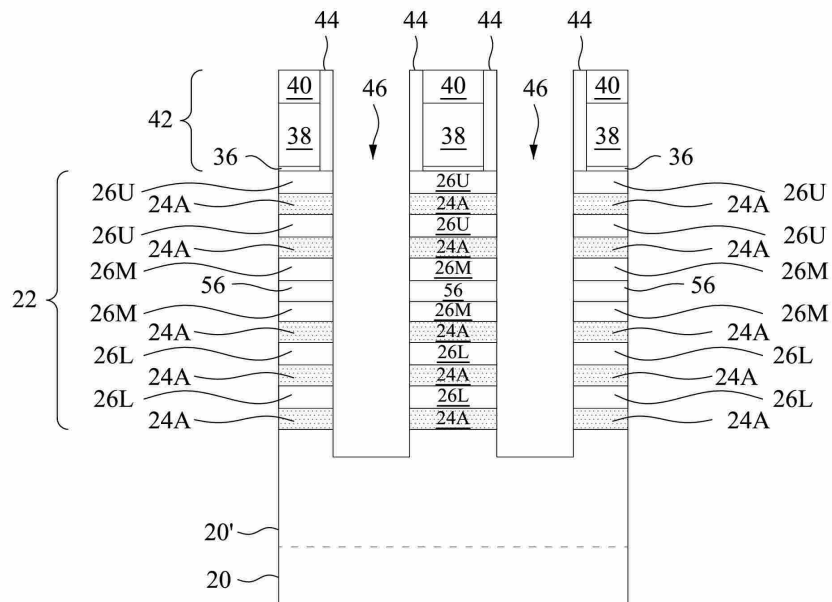


第 23 圖

(15)

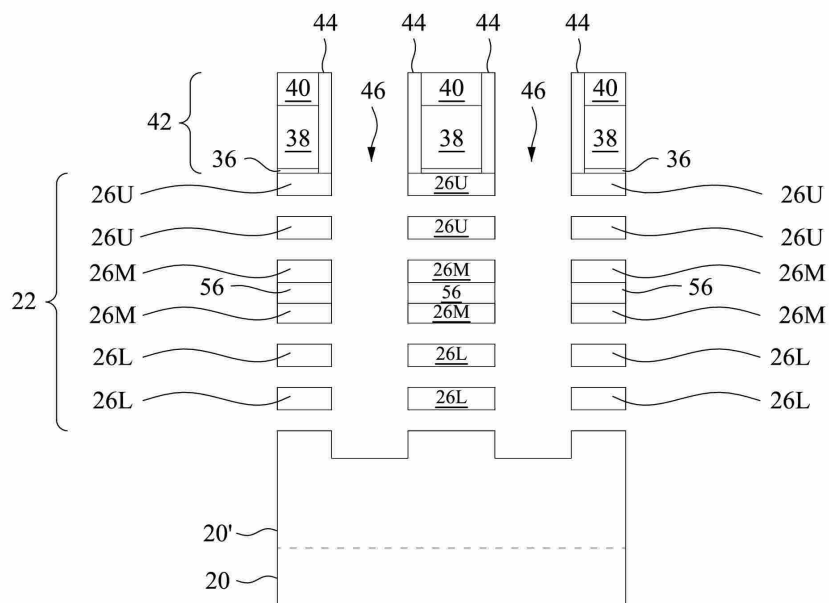


第 24 圖

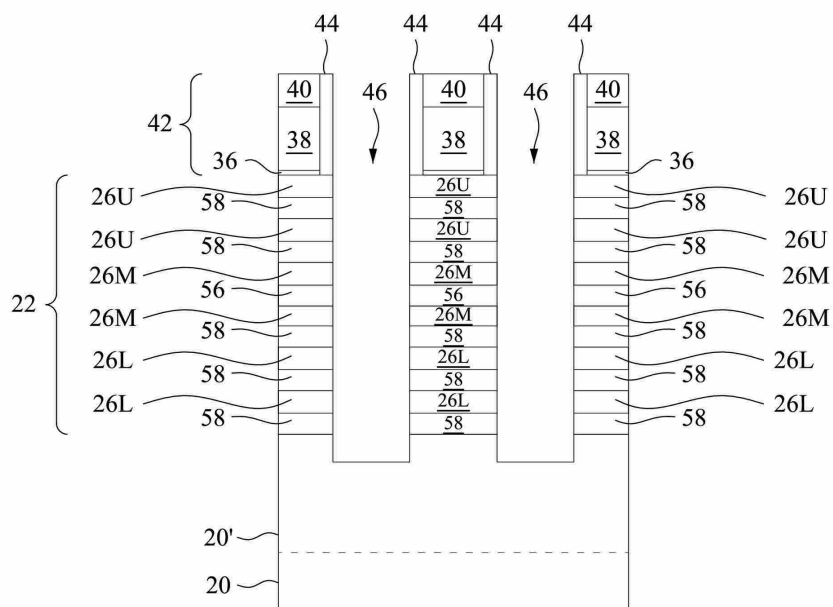


第 25 圖

(16)

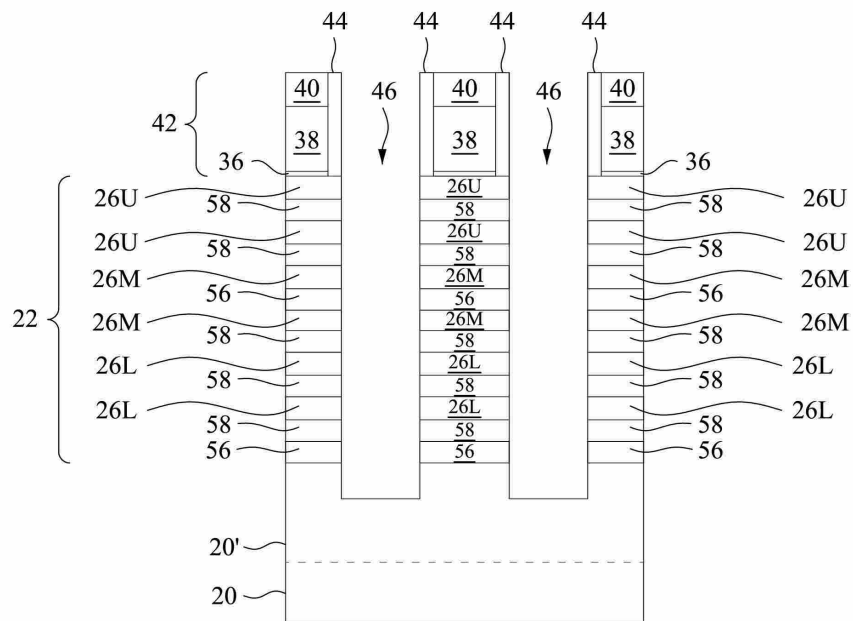


第 26 圖

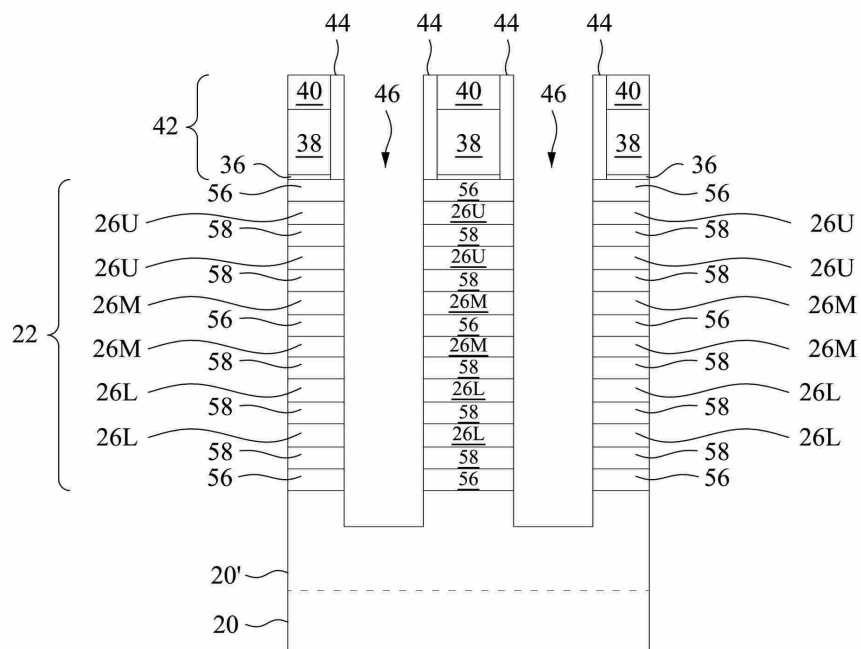


第 27A 圖

(17)

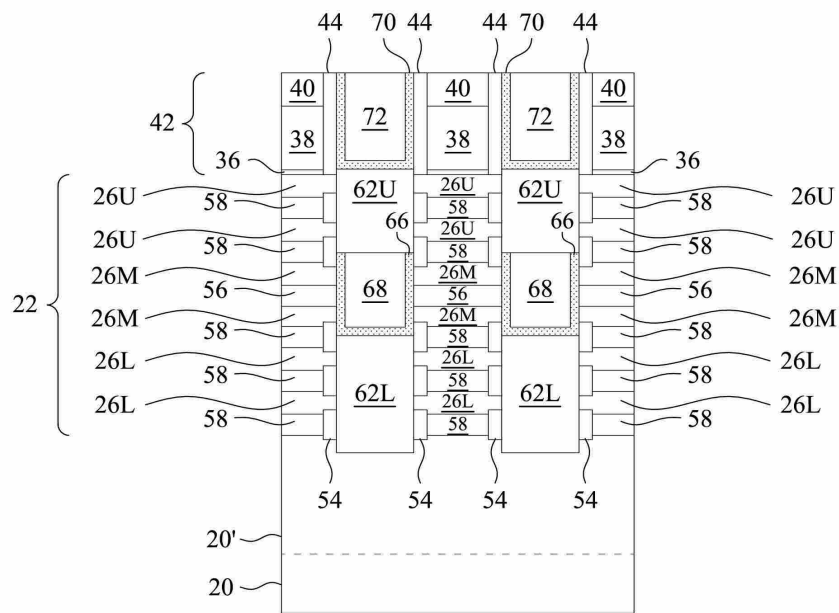


第 27B 圖

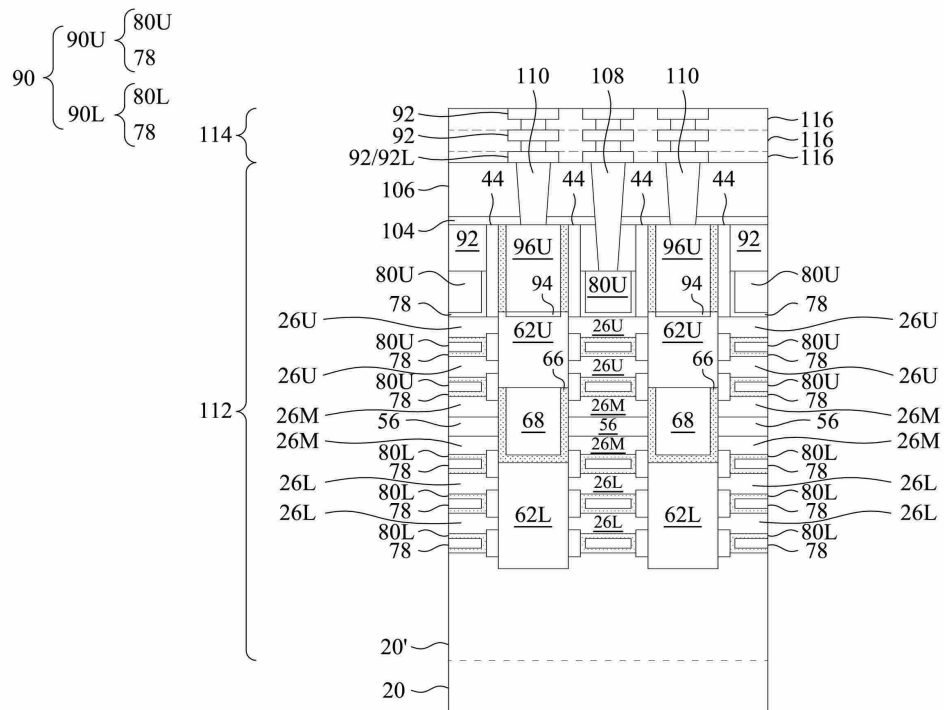


第 27C 圖

(18)



第 28 圖



第 29A 圖

FIG. 1 is a cross-sectional view of a semiconductor device. The device is divided into two main regions: 90 (top) and 112 (bottom). Region 90 includes a top layer 110, a layer 92, and a layer 92/92L. Below these are four columns of structures labeled 44, 44, 44, and 44. Region 112 includes a layer 106, a layer 104, and a layer 108. Below these are four columns of structures labeled 92, 96U, 96U, and 92. The bottom of the device is labeled 20' and 20. Various other components are labeled with numbers 78, 80U, 80L, 26U, 26M, 26L, 62U, 62L, 68, 120, 56, 54, 116, and 114.

- 7298 -