

【11】證書號數：I938860

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10B12/00 (2023.01) H10W20/43 (2026.01)
H10W20/20 (2026.01) H10W20/00 (2026.01)

發明

全 19 頁

【54】名稱：半導體裝置及半導體裝置之製造方法

【21】申請案號：114107910

【22】申請日：中華民國 114 (2025) 年 03 月 04 日

【11】公開編號：202612455

【43】公開日期：中華民國 115 (2026) 年 03 月 16 日

【30】優先權：2024/09/13

日本

2024-159435

【72】發明人：大橋貴志 (JP) OHASHI, TAKASHI

【71】申請人：日商鎧俠股份有限公司

KIOXIA CORPORATION

日本

【74】代理人：陳長文

【56】參考文獻：

TW 202230658A

審查人員：郭俊彥

【57】申請專利範圍

1. 一種半導體裝置，其具備：

第 1 結構體；

第 1 柱狀體，其於上述第 1 結構體內沿第 1 方向延伸；

第 2 結構體；

第 2 柱狀體，其於上述第 2 結構體內沿上述第 1 方向延伸；以及

貼合面，其介置於上述第 1 結構體與上述第 2 結構體之間；且

於上述貼合面中，上述第 1 柱狀體與上述第 2 柱狀體於上述第 1 方向上連接，

上述第 1 結構體構成為第 1 積層體，

該第 1 積層體係複數個第 1 導電層與複數個第 1 絕緣層交替逐層積層而成，

上述第 1 柱狀體構成為第 1 柱，

該第 1 柱具有於上述第 1 積層體內沿上述第 1 方向延伸之第 1 半導體層，

上述第 2 結構體構成為第 2 積層體，

該第 2 積層體係複數個第 2 導電層與複數個第 2 絕緣層交替逐層積層而成，

上述第 2 柱狀體構成為第 2 柱，

該第 2 柱具有於上述第 2 積層體內沿上述第 1 方向延伸之第 2 半導體層，

上述第 2 柱具有：

延伸部，其於上述第 2 積層體內沿上述第 1 方向延伸；以及

接合部，其以第 1 面連接於上述延伸部之上述貼合面側之端部，以第 2 面連接於上述第 1 柱之上述貼合面側之端部；且

上述接合部之直徑為上述延伸部之上述貼合面側之端部之直徑以上且上述延伸部之另一端部之直徑以下。

2. 如請求項 1 之半導體裝置，其中

上述第 1 結構體構成為上述第 1 積層體，

上述第 1 積層體進而包含第 1 階梯部，該第 1 階梯部係上述複數個第 1 導電層被加工成於與上述第 1 方向交叉之第 2 方向上延伸之階梯狀而成，

(2)

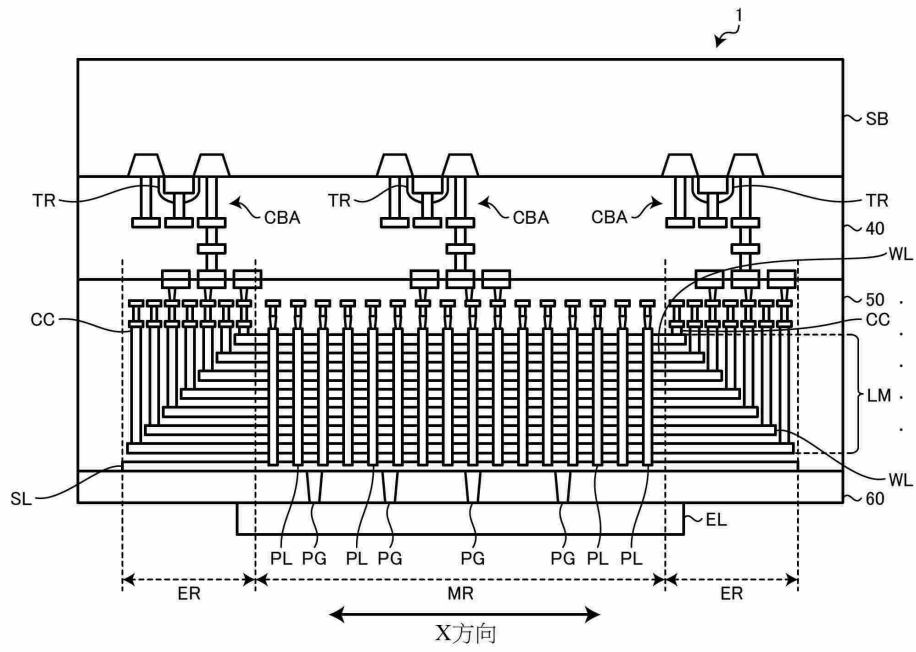
上述第 1 階梯部由第 3 絕緣層覆蓋，
該半導體裝置進而具備：第 3 柱狀體及第 4 柱狀體，
上述第 3 柱狀體構成為第 1 觸點，
該第 1 觸點於上述第 3 絕緣層中沿上述第 1 方向延伸，與被加工成階梯狀之上述複數個第 1 導電層中之任意一個第 1 導電層連接，
上述第 2 結構體構成為上述第 2 積層體，
上述第 2 積層體進而包含第 2 階梯部，該第 2 階梯部係上述複數個第 2 導電層被加工成與上述第 1 階梯部於上述第 2 方向上連續之階梯狀而成，
上述第 2 階梯部由第 4 絕緣層覆蓋，
上述第 4 柱狀體構成為第 2 觸點，
該第 2 觸點於上述第 4 絕緣層中沿上述第 1 方向延伸，與被加工成階梯狀之上述複數個第 2 導電層中之任意一個第 2 導電層連接。

3. 如請求項 2 之半導體裝置，其中
上述第 1 及第 2 觸點具有包含導電性物質之導電部，
上述第 1 觸點之上述貼合面中之上述導電部之直徑大於上述第 2 觸點之上述貼合面中之上述導電部之直徑。
4. 如請求項 1 之半導體裝置，其進而具備：
第 1 板狀部，其於上述第 1 結構體內沿上述第 1 方向及與上述第 1 方向交叉之第 2 方向延伸；以及
第 2 板狀部，其於上述第 2 結構體內沿上述第 1 方向及上述第 2 方向延伸；且
上述第 1 板狀部與上述第 2 板狀部於上述貼合面中在上述第 1 方向上連接。

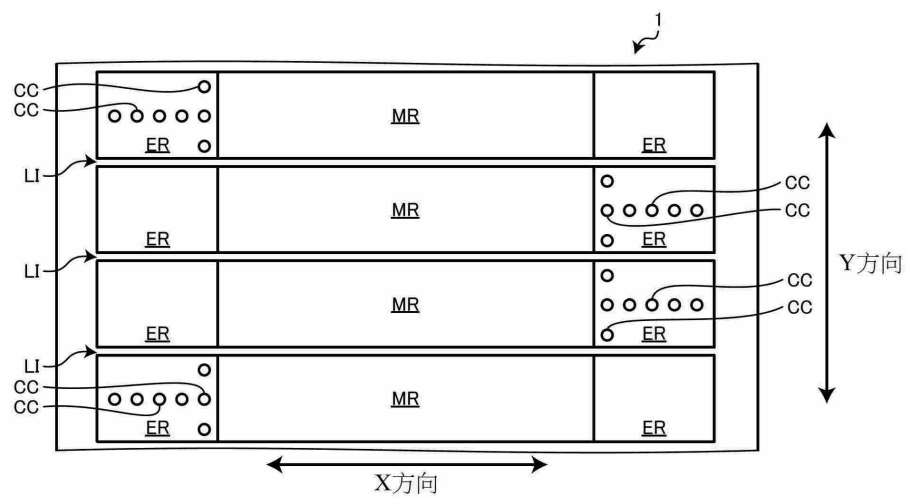
圖式簡單說明

圖 1A ~ 圖 1B 係表示實施方式之半導體裝置之概略構成例之圖。
圖 2A ~ 圖 2B 係表示實施方式之記憶區域之詳細構成例之剖視圖。
圖 3A ~ 圖 3B 係表示實施方式之階梯區域之詳細構成例之圖。
圖 4A ~ 圖 4B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 5A ~ 圖 5B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 6A ~ 圖 6B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 7A ~ 圖 7B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 8 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 9 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 10A ~ 圖 10D 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 11A ~ 圖 11B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 12A ~ 圖 12B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 13A ~ 圖 13B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 14A ~ 圖 14B 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 15 係例示實施方式之半導體裝置之製造方法之順序之一部分之圖。
圖 16 係例示變化例 1 之半導體裝置之製造方法之順序之一部分之圖。
圖 17A ~ 圖 17B 係例示變化例 1 之半導體裝置之製造方法之順序之一部分之圖。
圖 18 係表示變化例 2 之階梯區域之詳細構成例之圖。

(3)

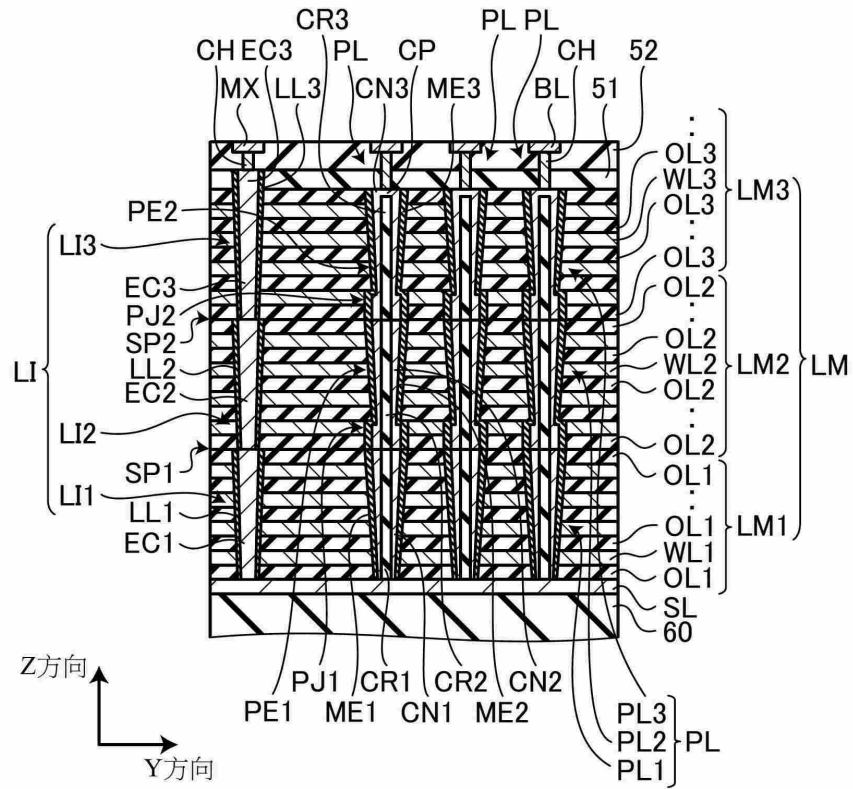


【圖1A】

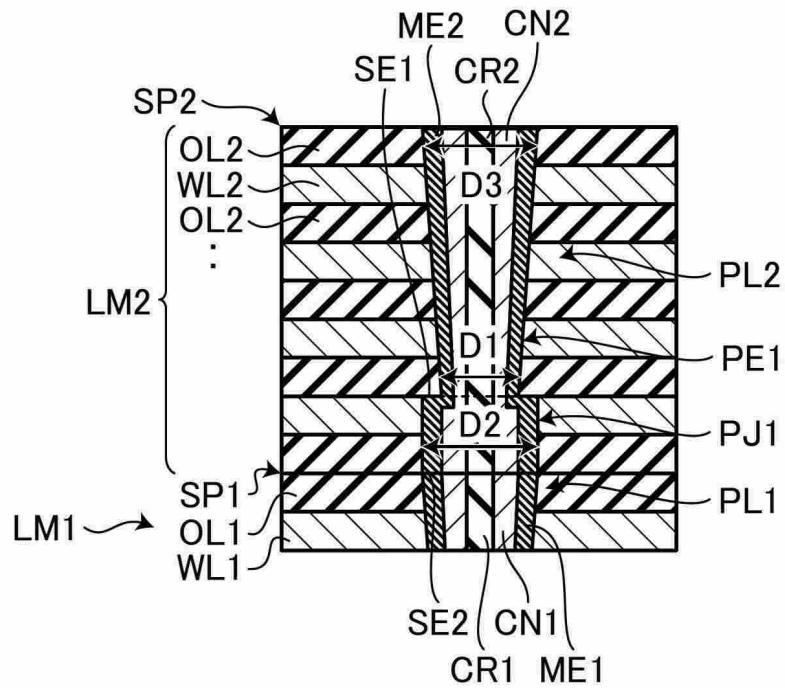


【圖1B】

(4)

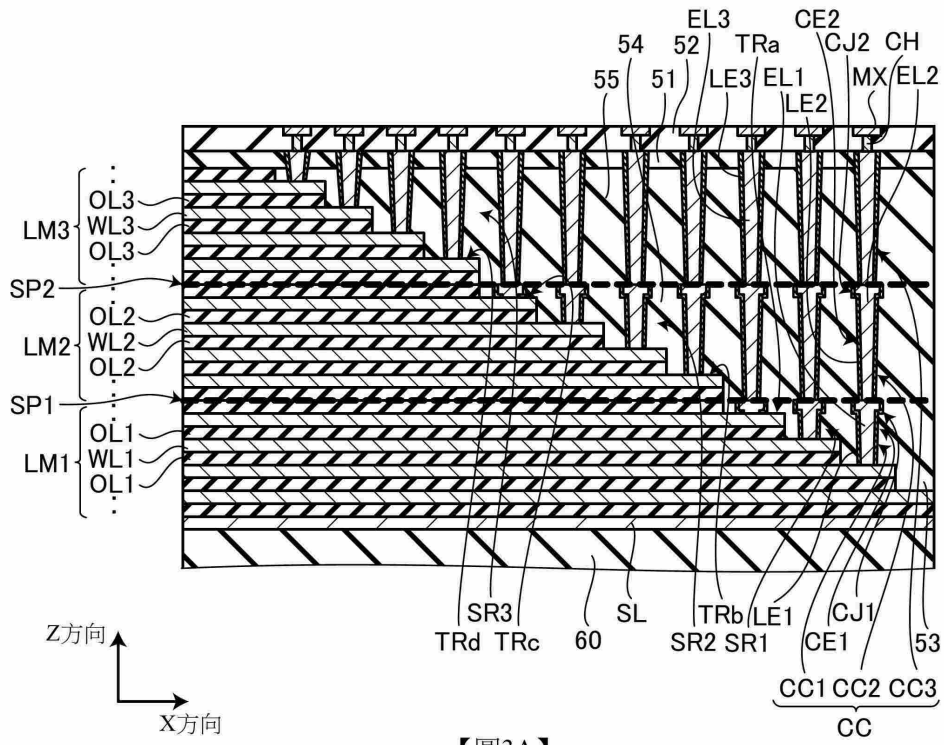


【圖2A】

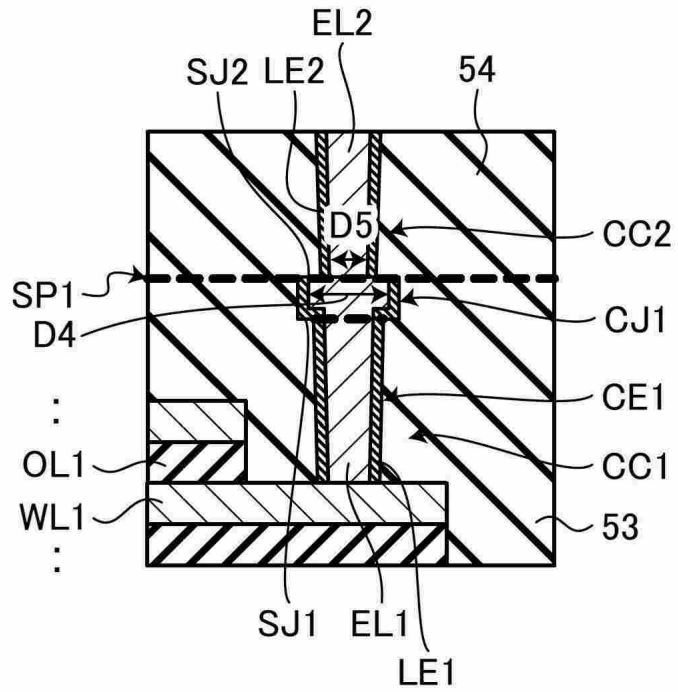


【圖2B】

(5)

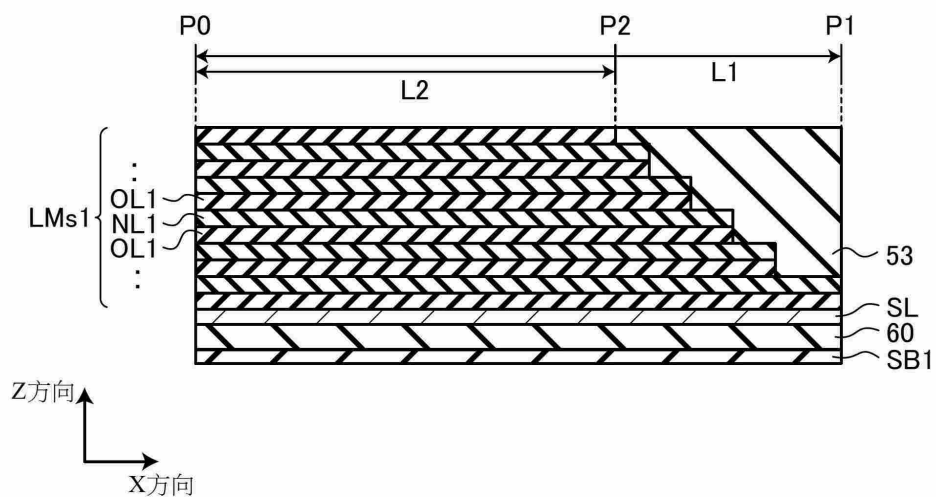


【圖3A】

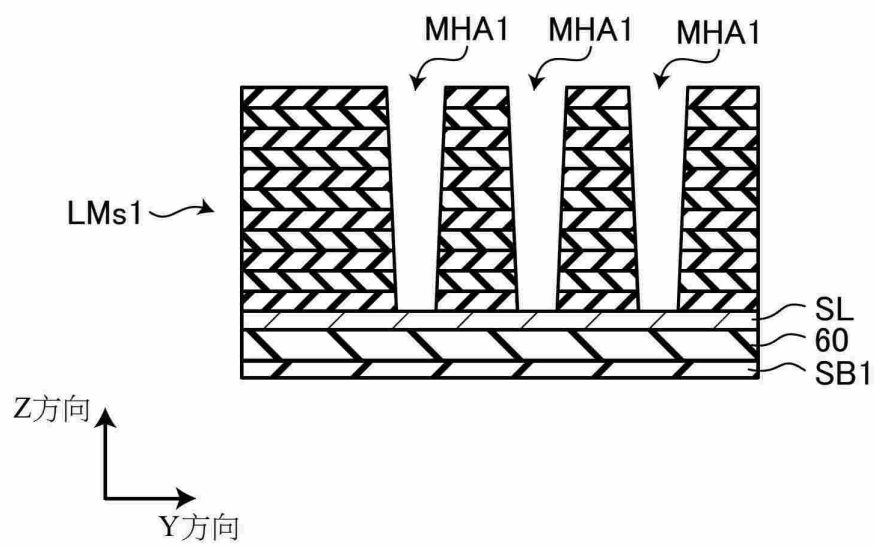


【圖3B】

(6)

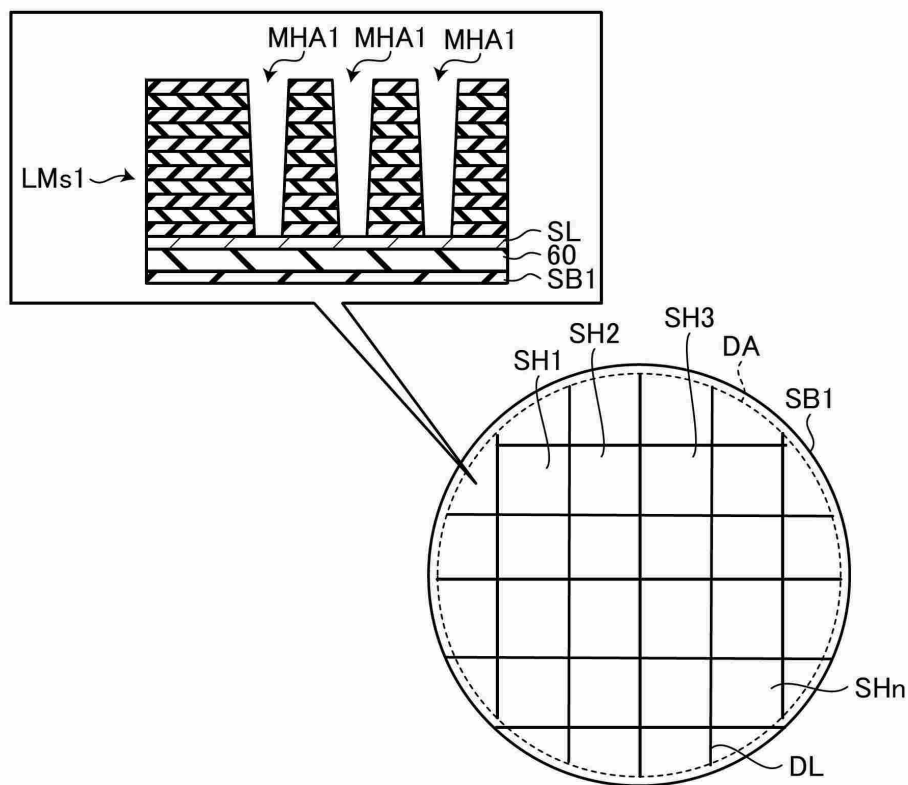


【圖4A】

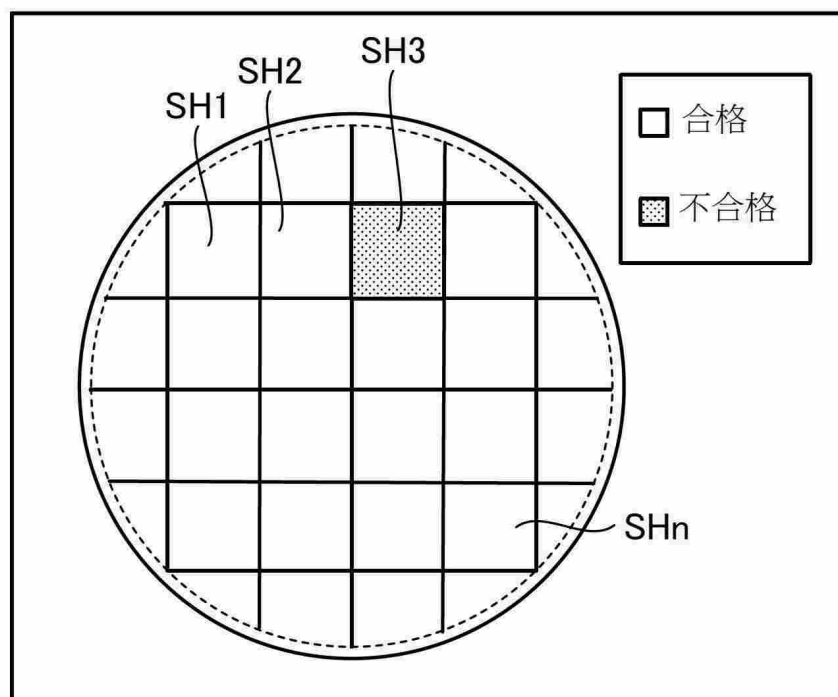


【圖4B】

(7)

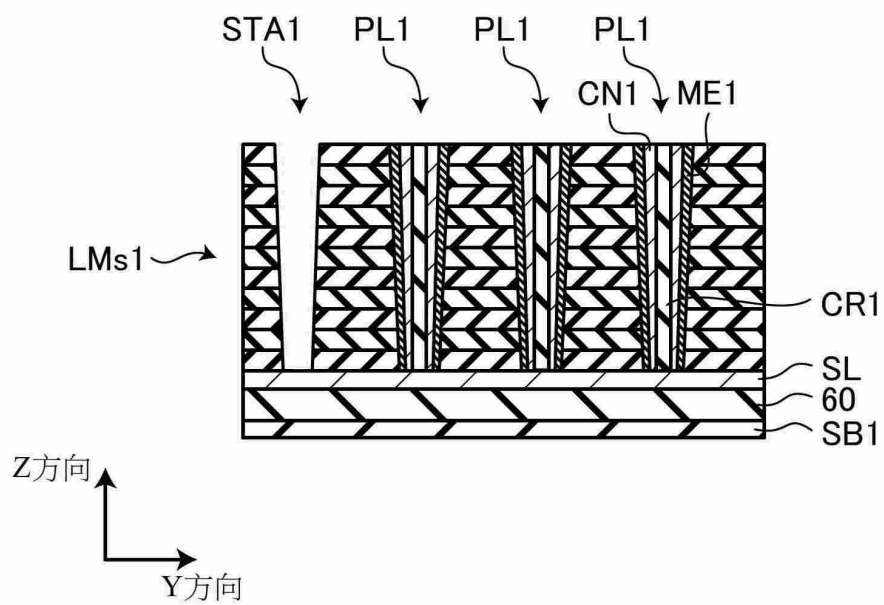


【圖5A】

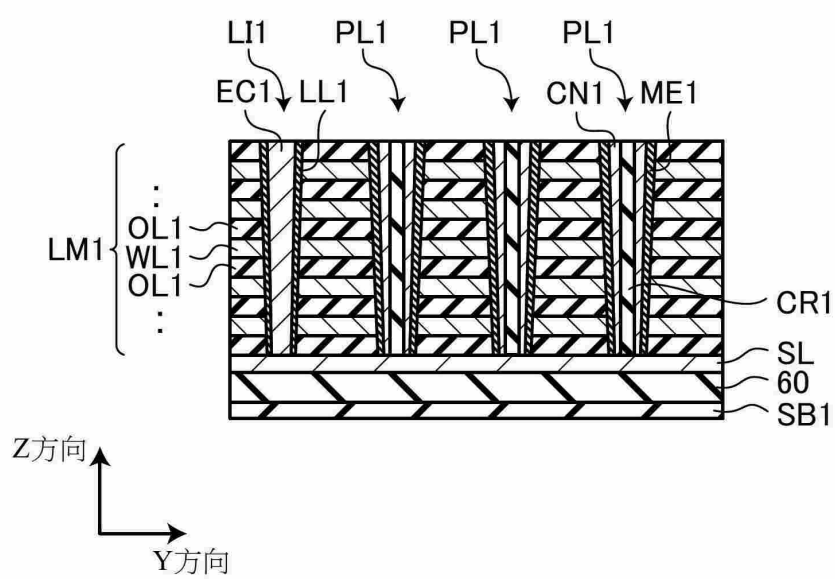


【圖5B】

(8)

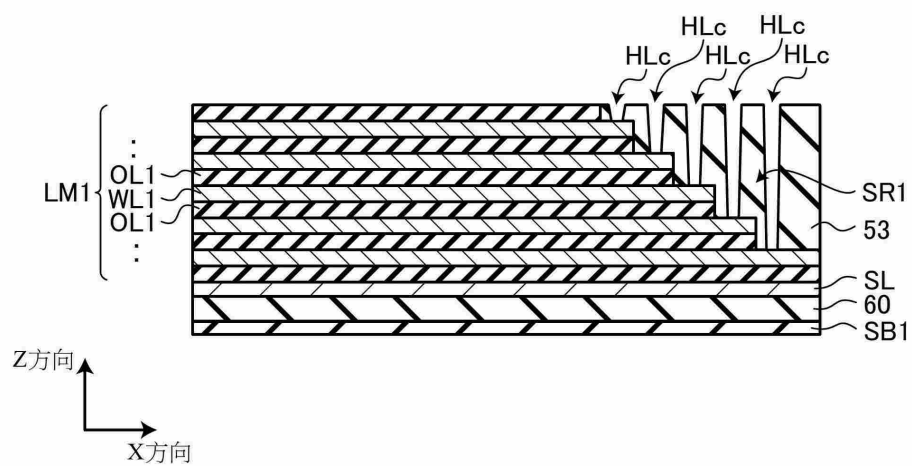


【圖6A】

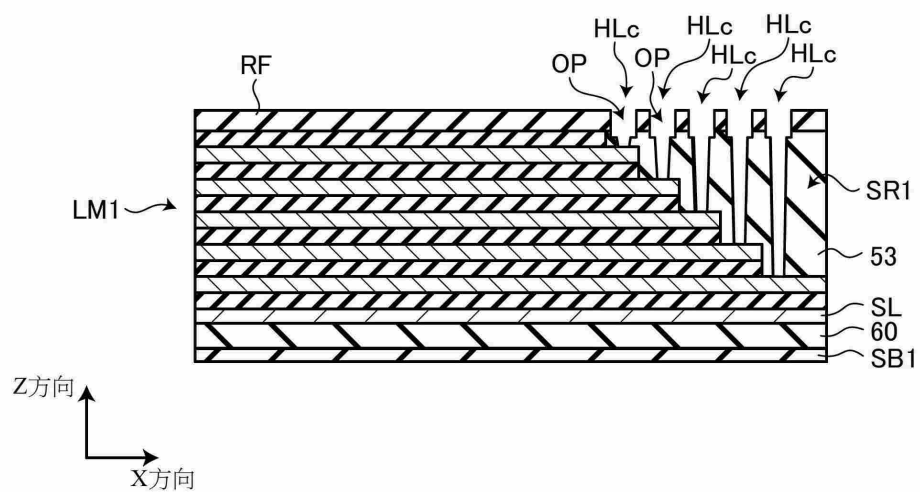


【圖6B】

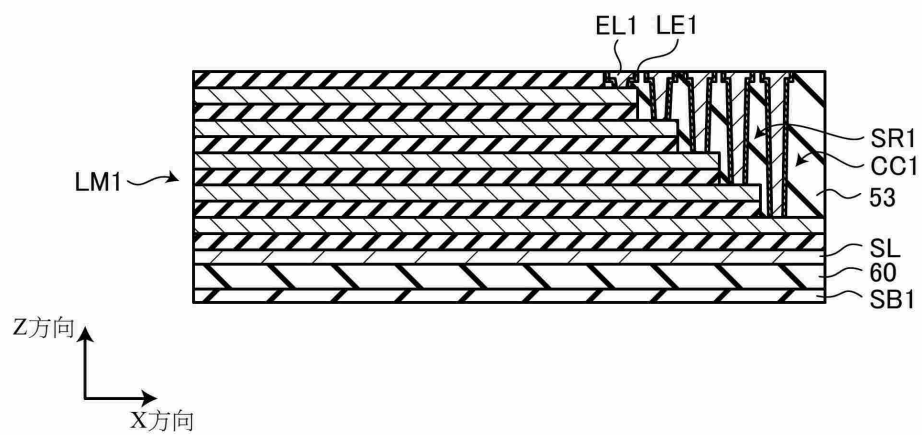
(9)



【圖7A】

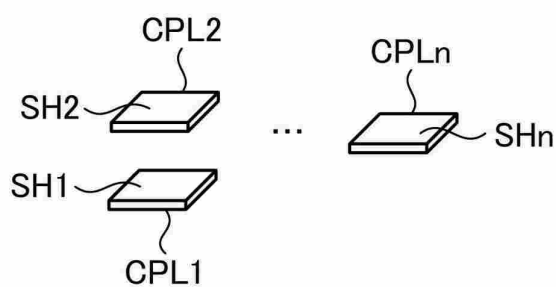
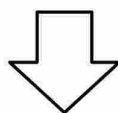
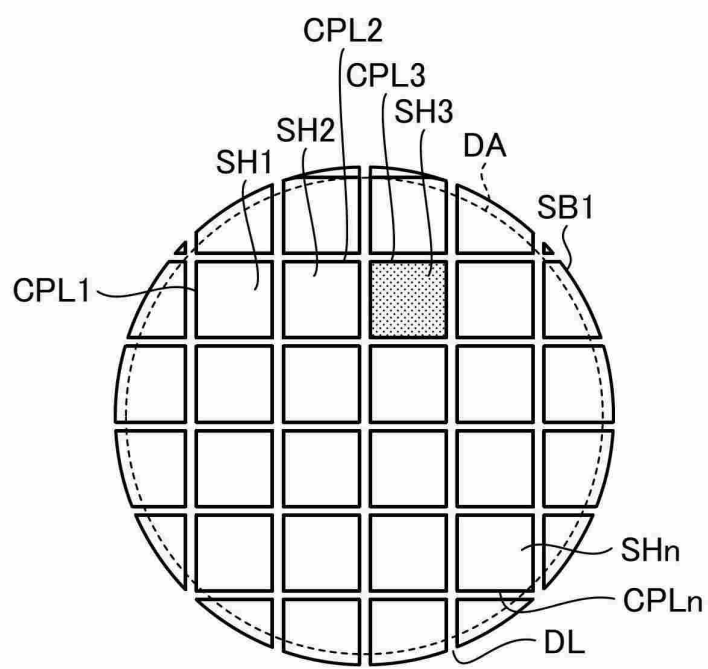


【圖7B】

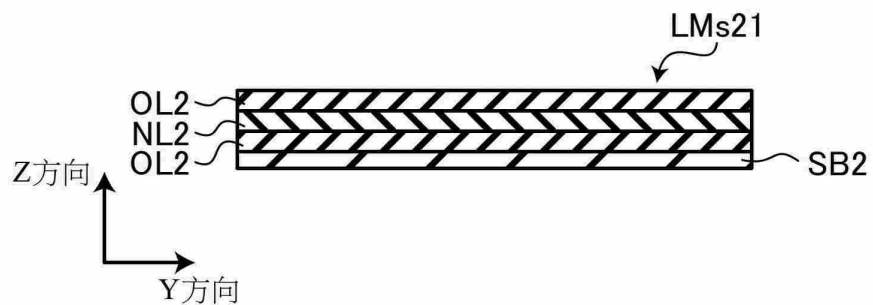


【圖8】

(10)

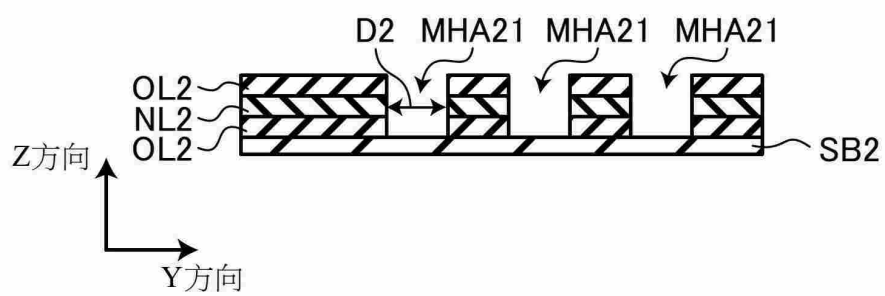


【圖9】

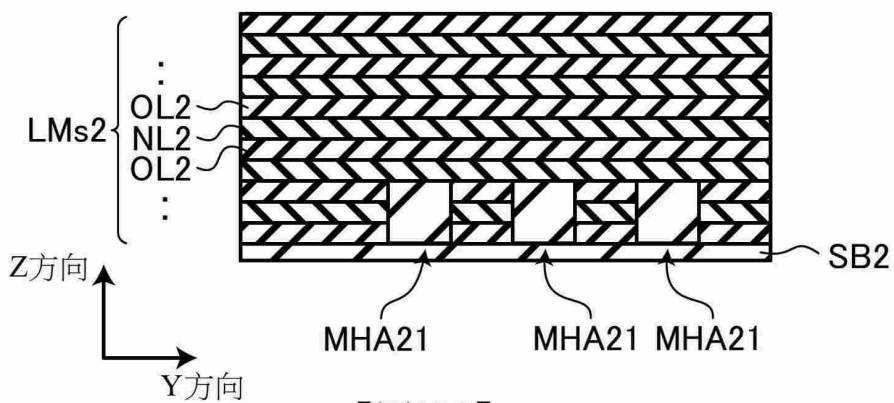


【圖10A】

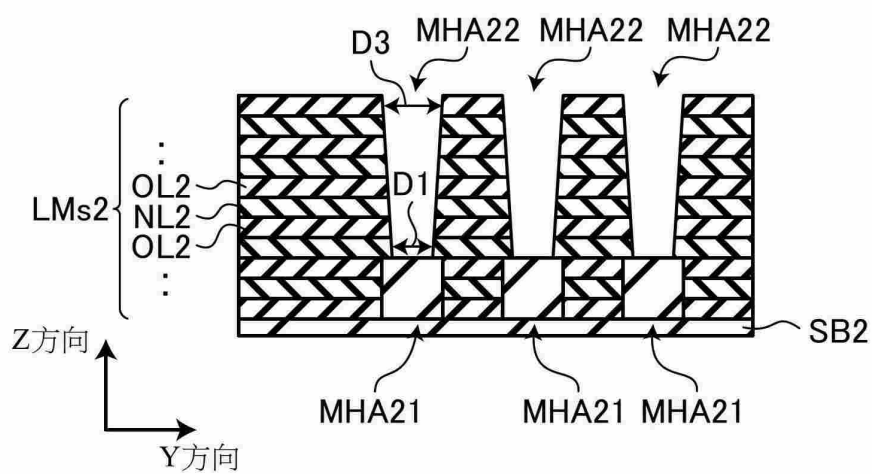
(11)



【圖10B】

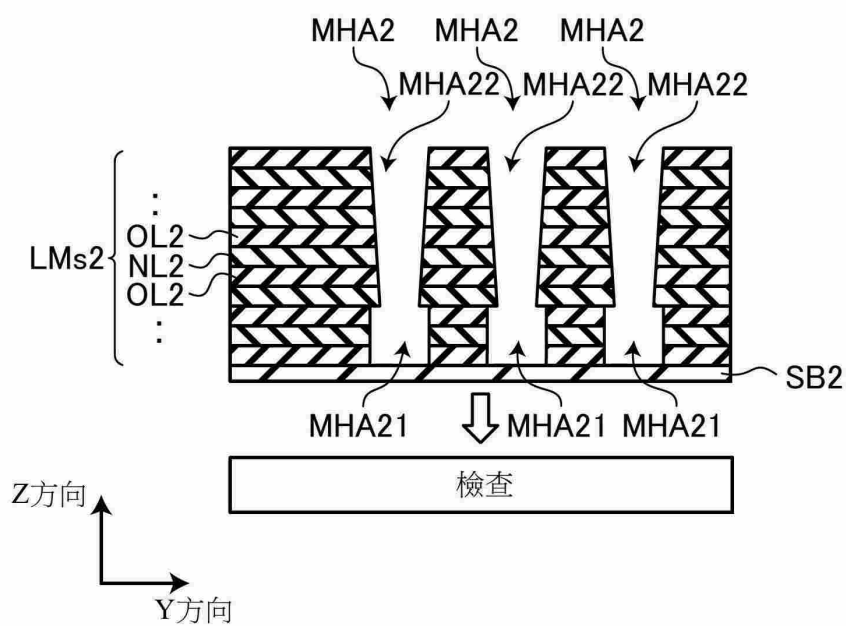


【圖10C】

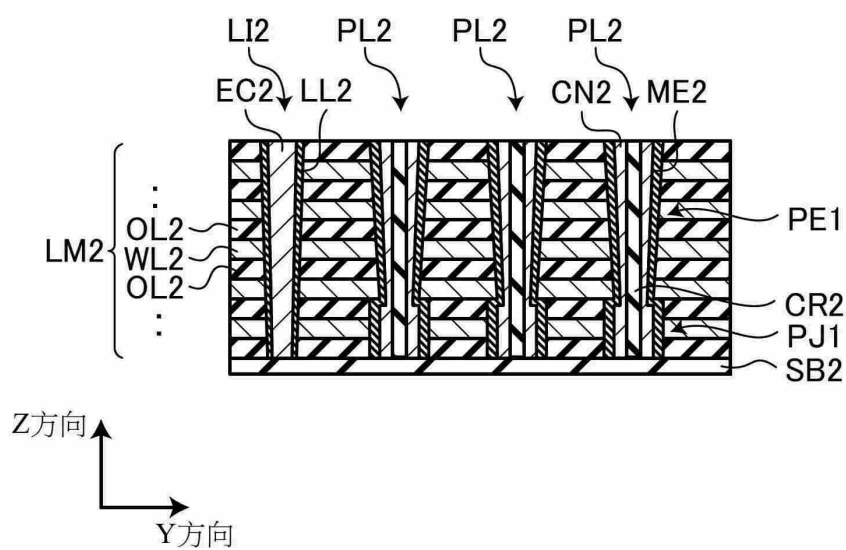


【圖10D】

(12)

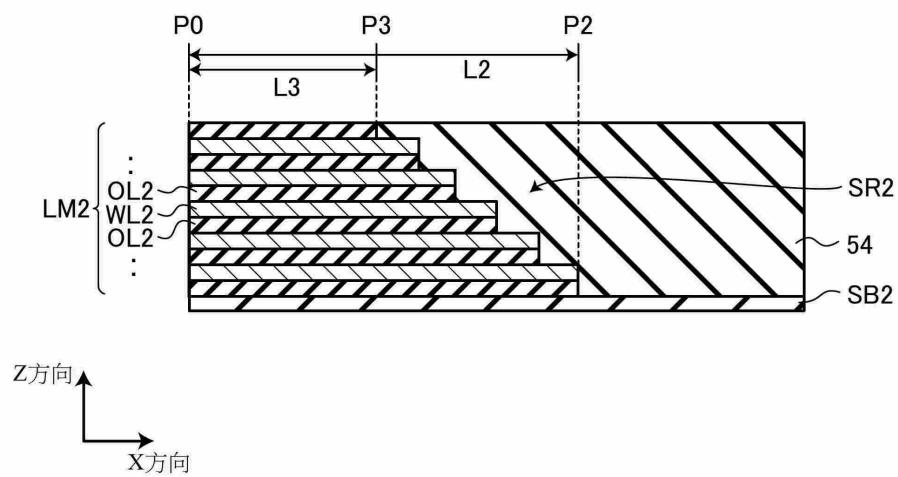


【圖11A】

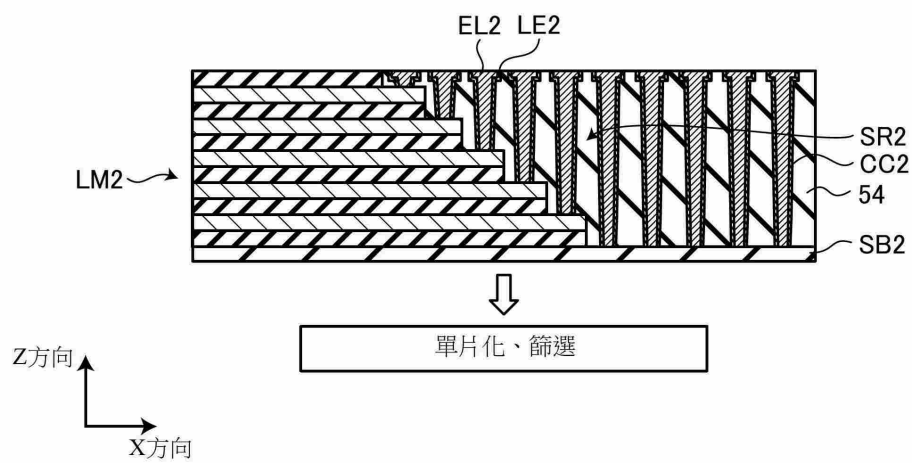


【圖11B】

(13)

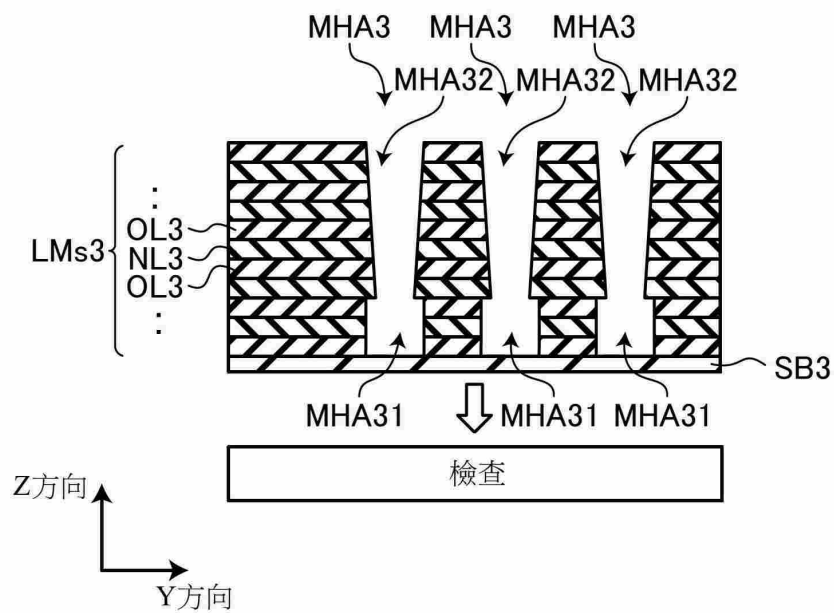


【圖12A】

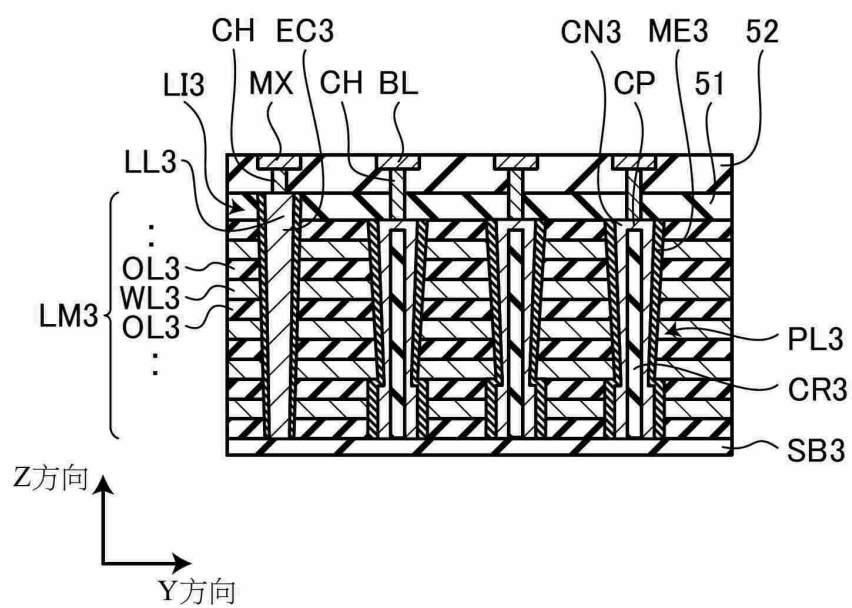


【圖12B】

(14)

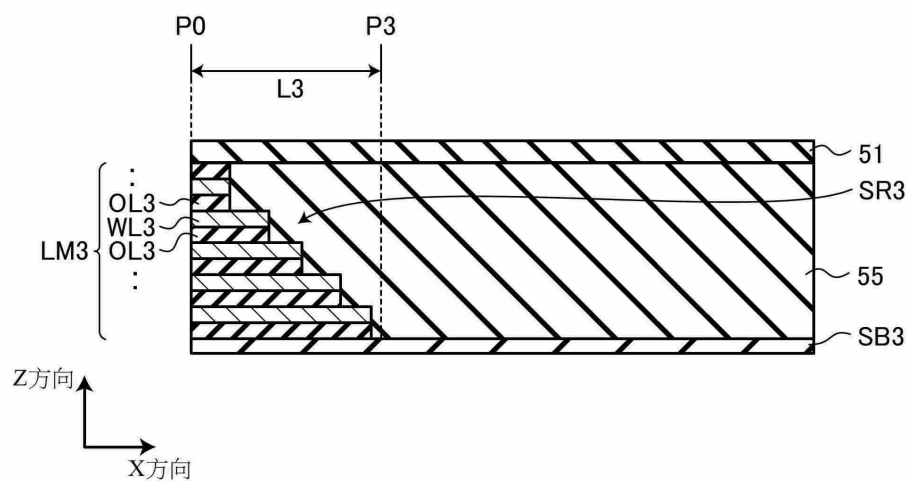


【圖13A】

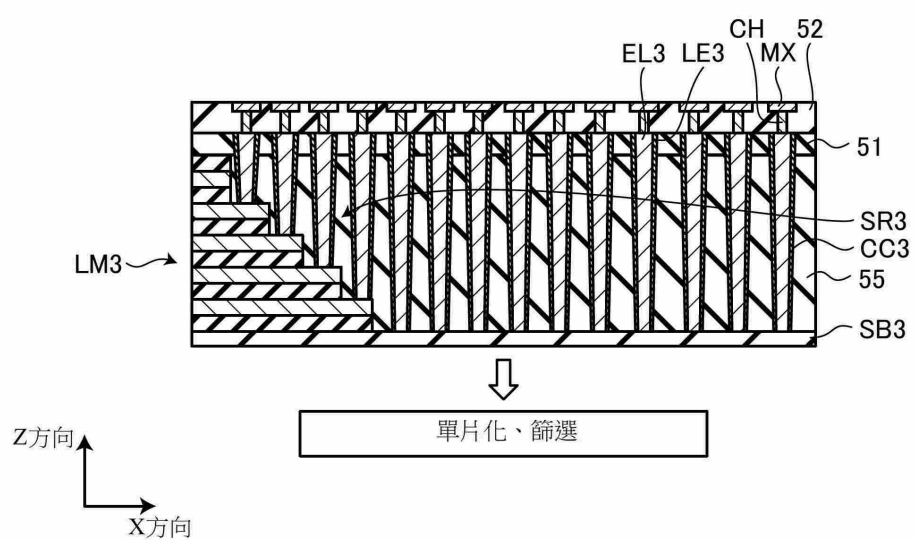


【圖13B】

(15)

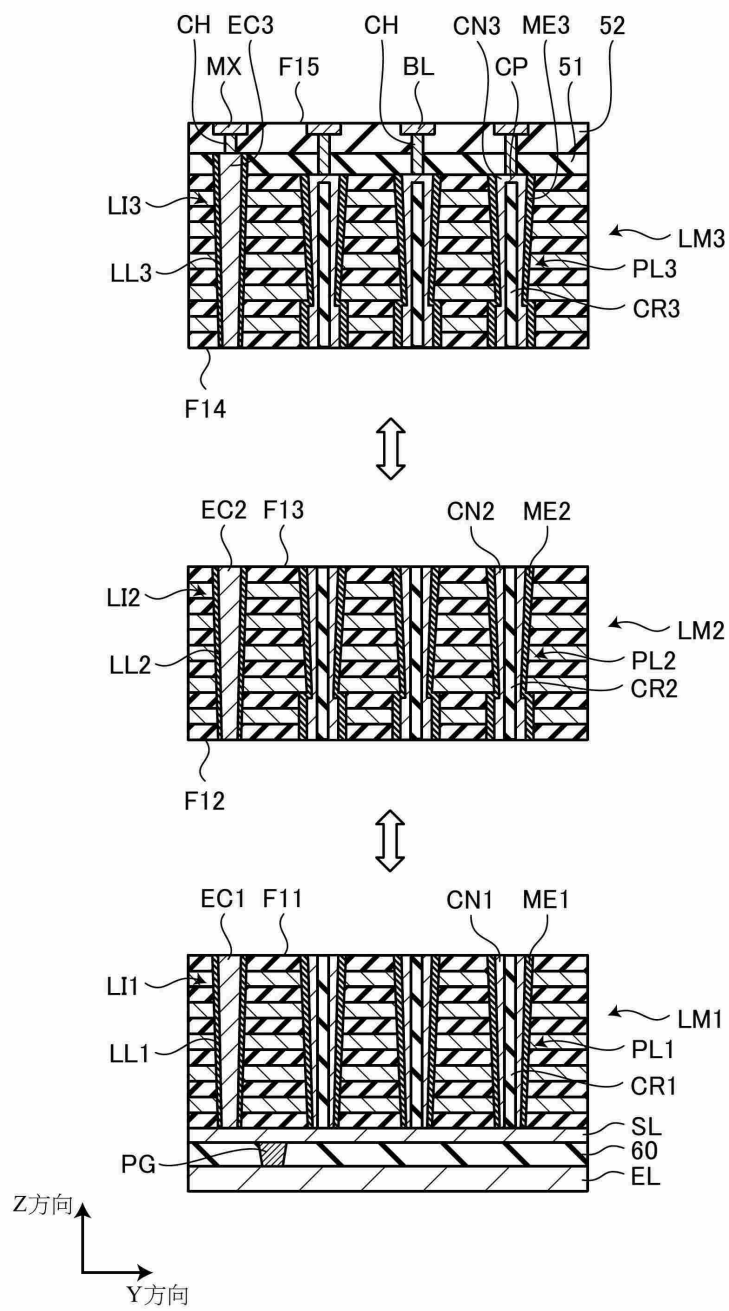


【圖14A】



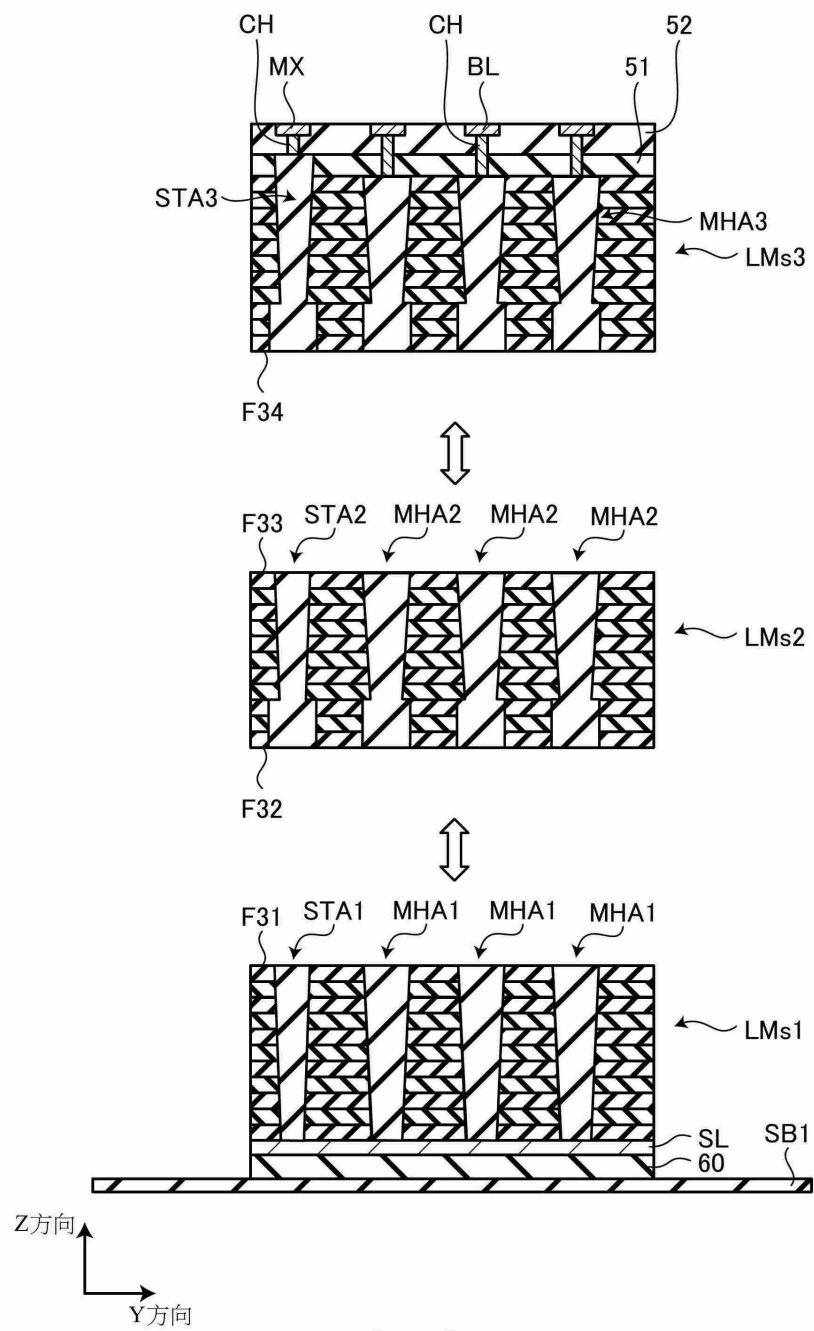
【圖14B】

(16)



【圖15】

(17)

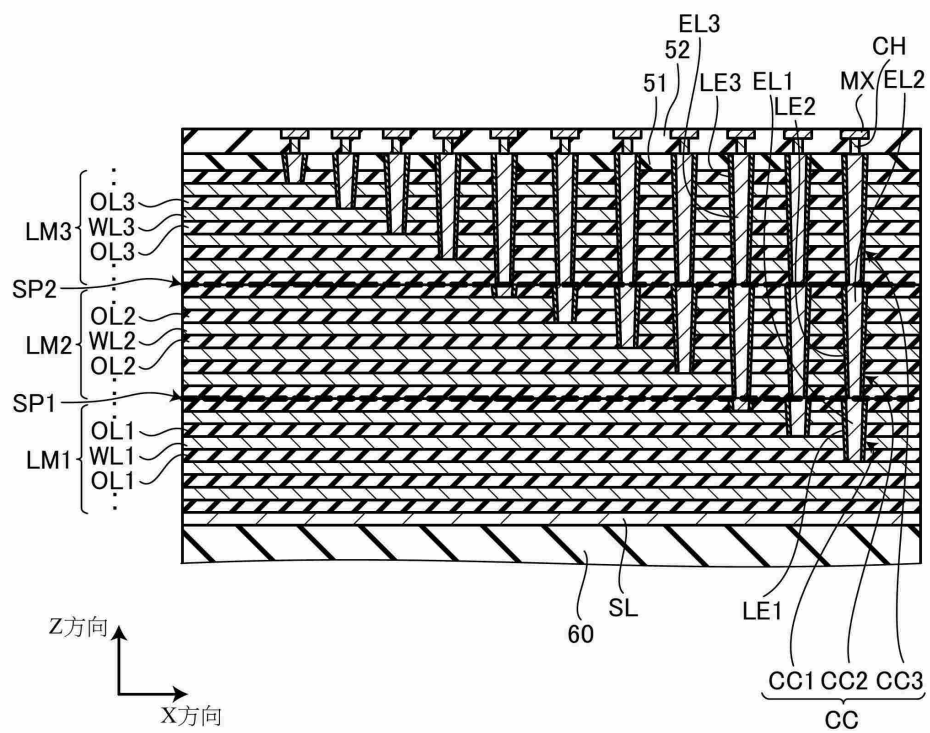


【圖16】

[illegible]

- 7332 -

(19)



【圖18】