

【11】證書號數：I938880

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D89/60 (2025.01) H10D62/10 (2025.01)
H10D62/60 (2025.01) H10D62/40 (2025.01)

發明

全 32 頁

【54】名稱：半導體裝置及形成方法

【21】申請案號：114109042

【22】申請日：中華民國 114 (2025) 年 03 月 12 日

【11】公開編號：202633188

【43】公開日期：中華民國 115 (2026) 年 08 月 01 日

【30】優先權：2025/01/22

美國

19/033,714

【72】發明人：黃麟洧 (TW) HUANG, LIN-YU；陳世範 (TW) CHEN, SHIH-FAN；許勝福 (TW) HSU, SHENG-FU

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

CN 113013230A

審查人員：陳冠瑜

【57】申請專利範圍

1. 一種半導體裝置，包括：

基底，包括摻雜井區，所述摻雜井區包括第一摻雜劑類型；以及靜電放電保護裝置，位於所述基底中，包括：多個不連續植入區，位於所述摻雜井區中，並包括第二摻雜劑類型，其中所述多個不連續植入區在所述半導體裝置中沿橫向方向排列；閘極結構，位於所述基底上方並鄰近所述多個不連續植入區中一個植入區的邊緣；第一源極/汲極區，鄰近所述閘極結構的第一側；以及第二源極/汲極區，鄰近所述閘極結構的第二側，所述第二側與所述第一側相對，其中所述第二源極/汲極區包括所述第二摻雜劑類型，其中所述第二源極/汲極區包括多個不連續植入段，所述多個不連續植入段的各個植入段包括所述第二摻雜劑類型，以及所述各個植入段分別設置在所述多個不連續植入區的各個植入區中。

2. 如請求項 1 所述的半導體裝置，更包括：

第一源極/汲極接觸件，耦合至所述第一源極/汲極區；以及第二源極/汲極接觸件，耦合至所述多個不連續植入段中的一個植入段。

3. 如請求項 1 所述的半導體裝置，其中所述多個不連續植入段中的一個或多個植入段的部分設置在所述摻雜井區的部分中。

4. 如請求項 1 所述的半導體裝置，更包括氧化物層，位於所述多個不連續植入段上方以及所述閘極結構的部分上方。

5. 如請求項 1 所述的半導體裝置，其中所述多個不連續植入區中相鄰的植入區在所述橫向方向上彼此間隔開，以及其中所述摻雜井區的部分位於所述多個不連續植入區中相鄰植入區之間的空間中。

6. 一種半導體裝置的形成方法，包括：

(2)

在半導體裝置的基底的摻雜井區中形成多個不連續植入區，其中所述摻雜井區的部分橫向位於所述多個不連續植入區的相鄰植入區之間；在所述摻雜井區的部分上方，形成靜電放電保護裝置的閘極結構；以及 在所述多個不連續植入區中形成源極/汲極區，其中所述源極/汲極區鄰近所述閘極結構的一側，其中在所述多個不連續植入區中形成所述源極/汲極區包括：在所述摻雜井區的部分上形成遮罩；以及在所述遮罩所暴露的所述多個不連續植入區的暴露部分上執行離子植入製程，以在所述多個不連續植入區的各個植入區中分別形成多個不連續源極/汲極段的各個源極/汲極段。

7. 一種半導體裝置，包括：

基底，包括摻雜井區；第一閘極結構和第二閘極結構，位於所述基底上，其中所述第一閘極結構和所述第二閘極結構沿著所述基底的頂表面的方向彼此間隔開；多個摻雜區，位於所述摻雜井區中，其中所述多個摻雜區彼此間隔開，並沿著所述基底的頂表面的方向排列；以及 源極/汲極區，位於所述多個摻雜區的各自摻雜區的部分中，其中所述源極/汲極區位於所述第一閘極結構和所述第二閘極結構之間，其中所述源極/汲極區包括在所述第一閘極結構的邊緣和所述第二閘極結構的邊緣之間的多個不連續段，且所述多個不連續段配置在所述多個摻雜區的各自摻雜區的頂部部分中。

圖式簡單說明

當與附圖一起閱讀時，從下面的詳細說明中可以得到本揭露的各個方面最好的理解。需要指出的是，根據產業標準實務，各種特徵並未按比例繪製。事實上，為了清楚說明，各種特徵的尺寸可以任意增加或減少。

圖 1A 和圖 1B 是本文所述示例性半導體裝置的圖。

圖 2A-2C 是本文所述靜電放電（ESD）保護裝置中包含的閘極結構的示例性實施例的圖。

圖 3A-3I 是本文所述半導體裝置的 ESD 保護結構的示例性實施例的圖。

圖 4A-4K 是本文所述形成半導體裝置的互連層的示例性實施例的圖。

圖 5A 和圖 5B 是本文所述示例性半導體裝置的圖。

圖 6A-6J 是本文所述半導體裝置的 ESD 保護結構的示例性實施例的圖。

圖 7A-7L 是本文所述形成半導體裝置的互連層的示例性實施例的圖。

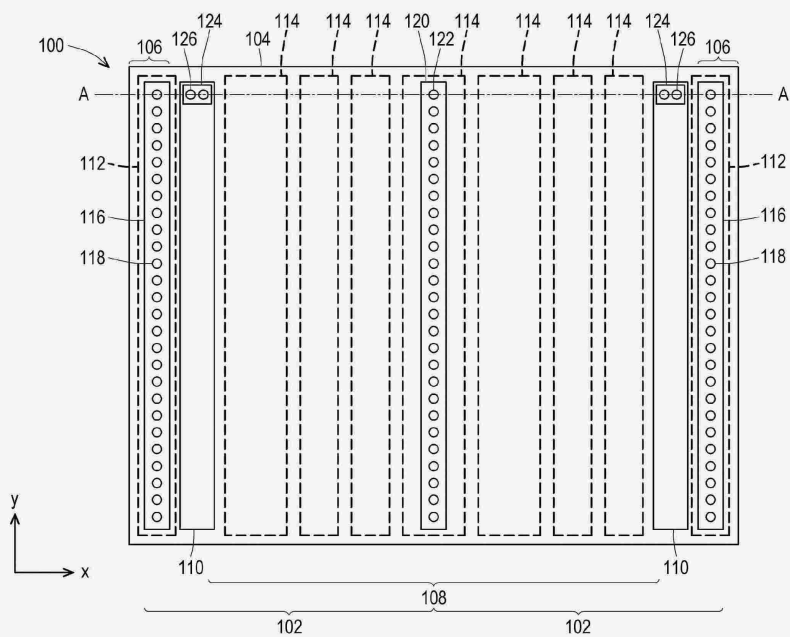
圖 8A-8D 是本文所述示例性半導體裝置的圖。

圖 9A-9D 是本文所述示例性半導體裝置的圖。

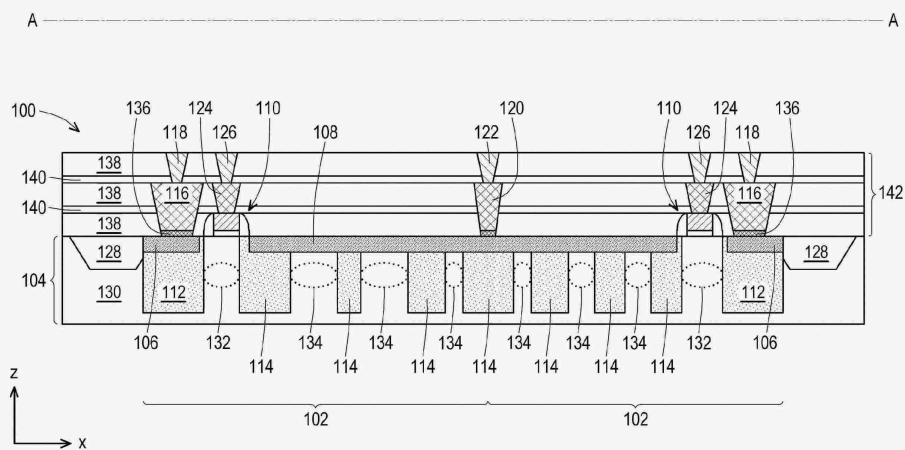
圖 10 是本文所述示例性半導體裝置的圖。

圖 11 是與本文所述形成 ESD 保護裝置相關的示例性製程的流程圖。

(3)

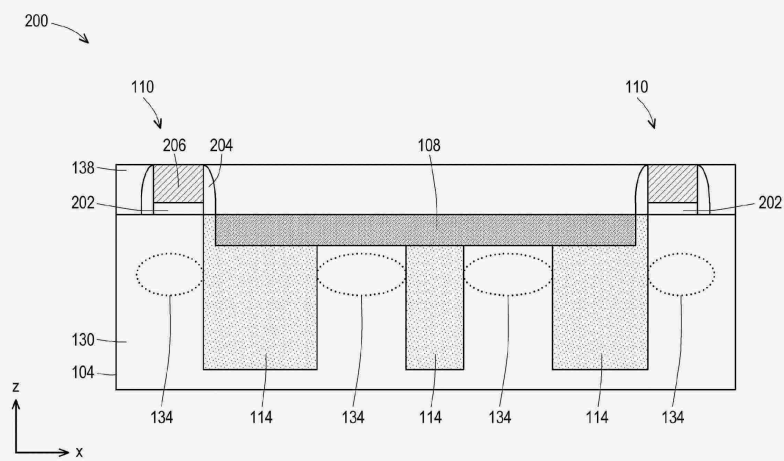


【圖1A】

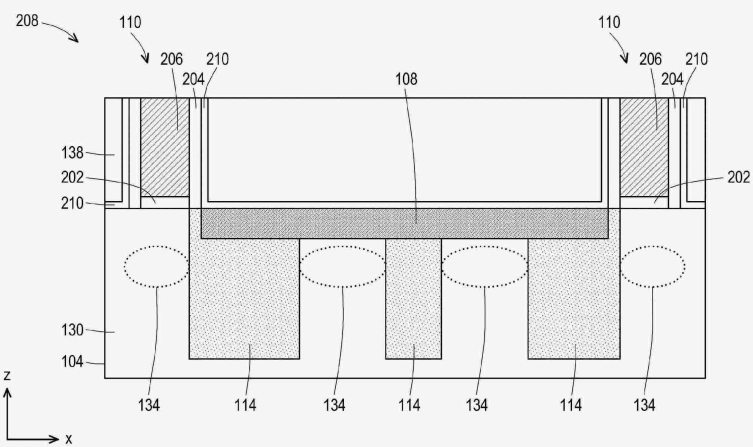


【圖1B】

(4)

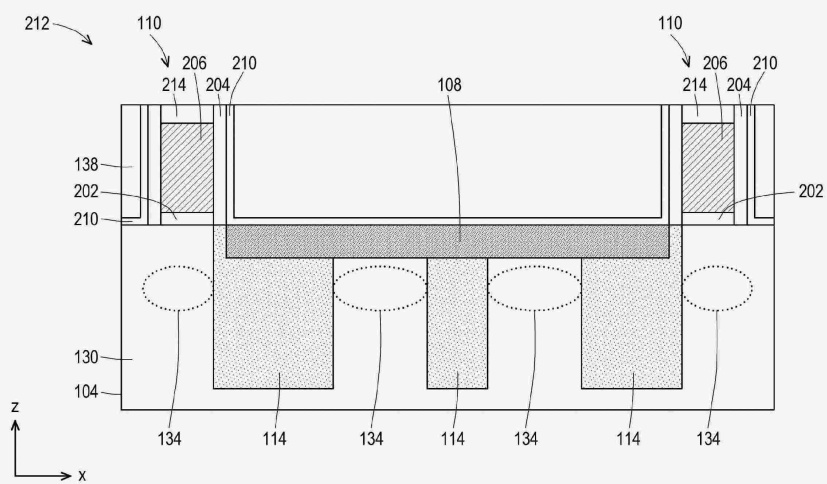


【圖2A】

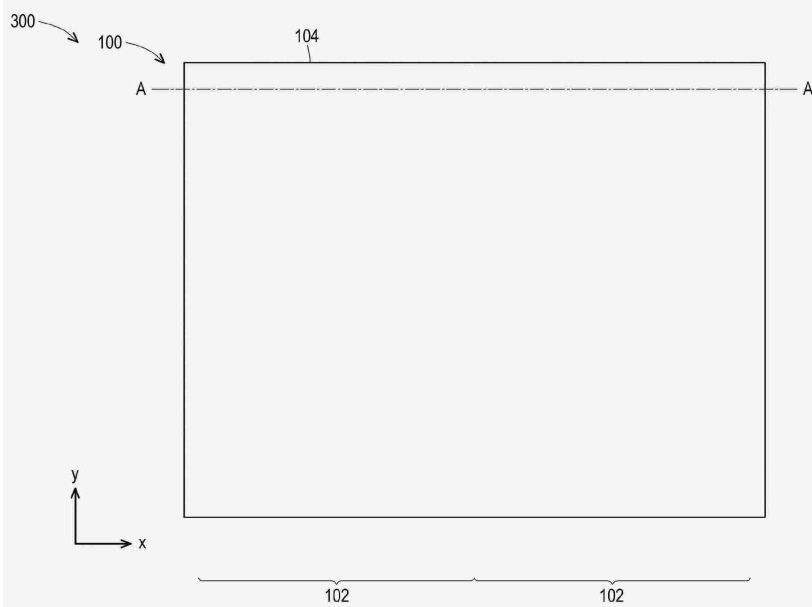


【圖2B】

(5)

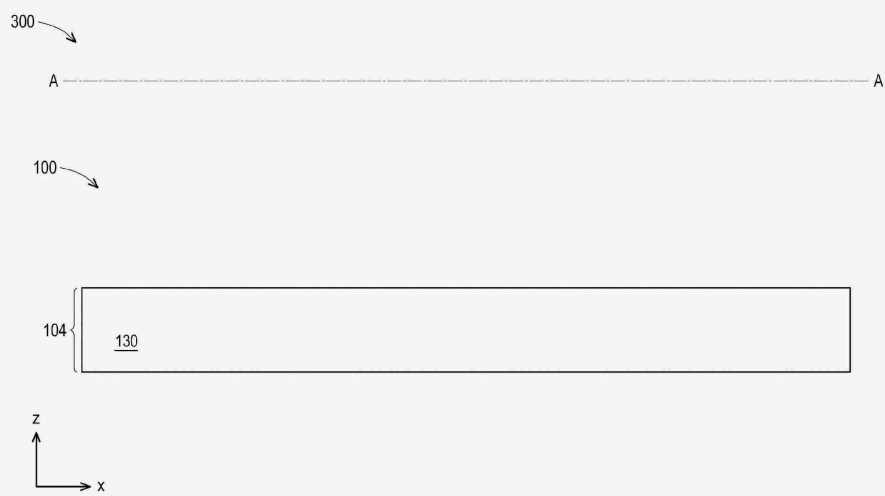


【圖2C】

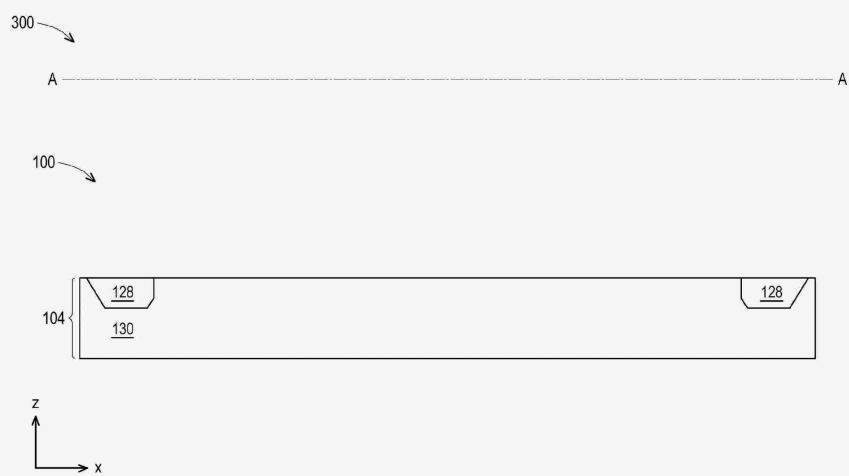


【圖3A】

(6)

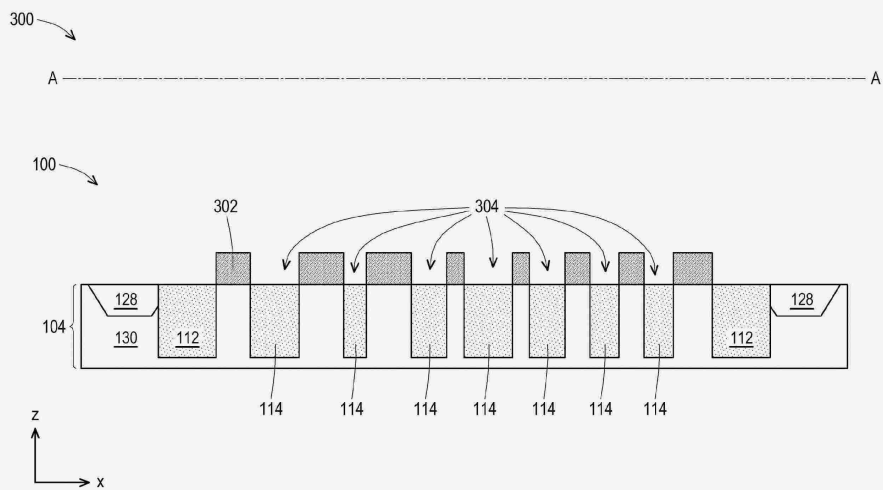


【圖3B】

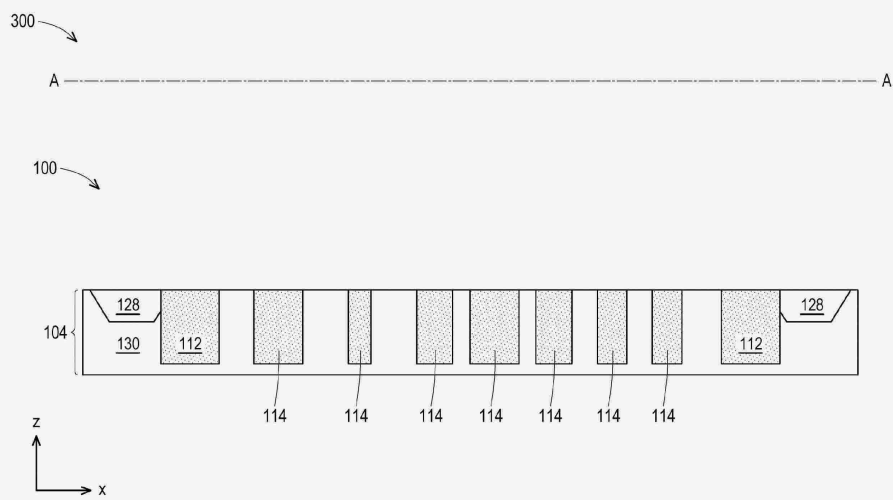


【圖3C】

(7)

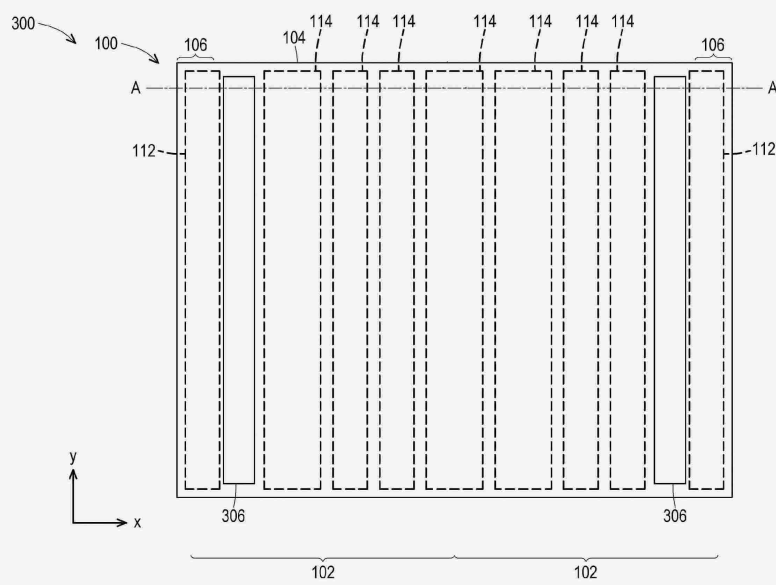


【圖3D】

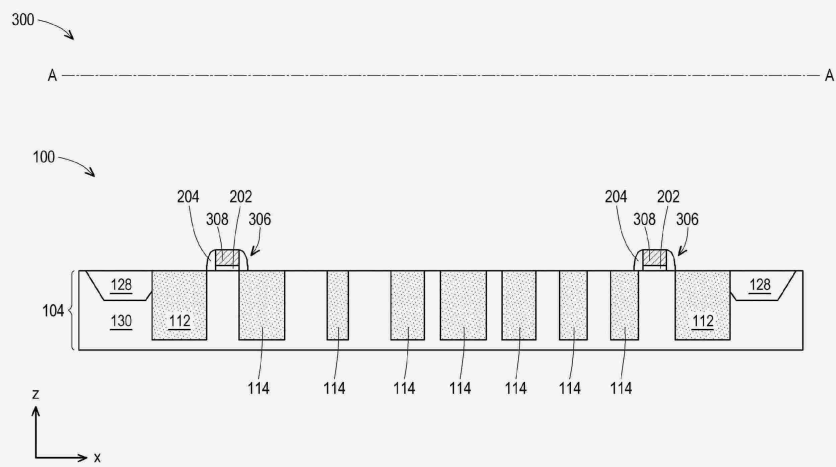


【圖3E】

(8)

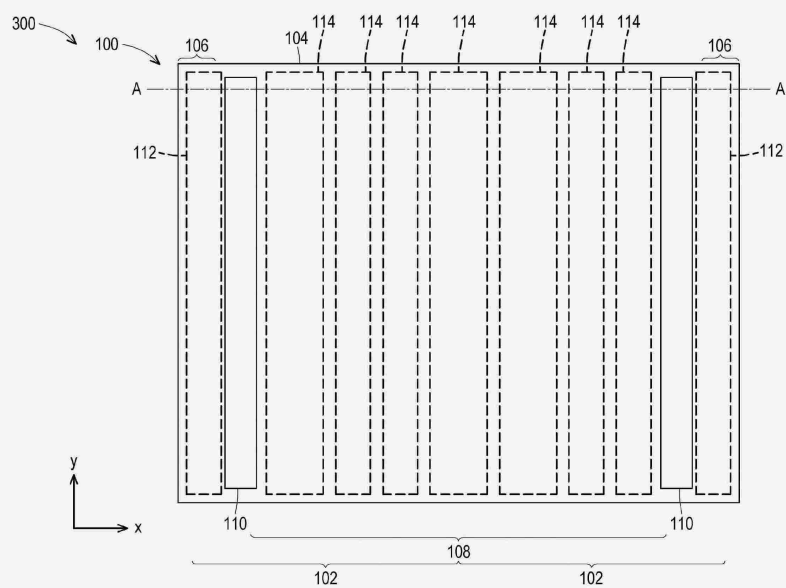


【圖3F】

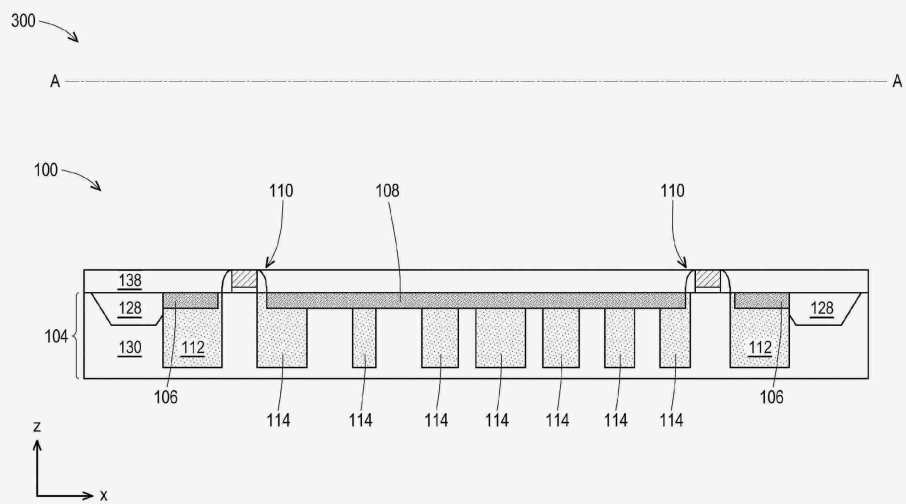


【圖3G】

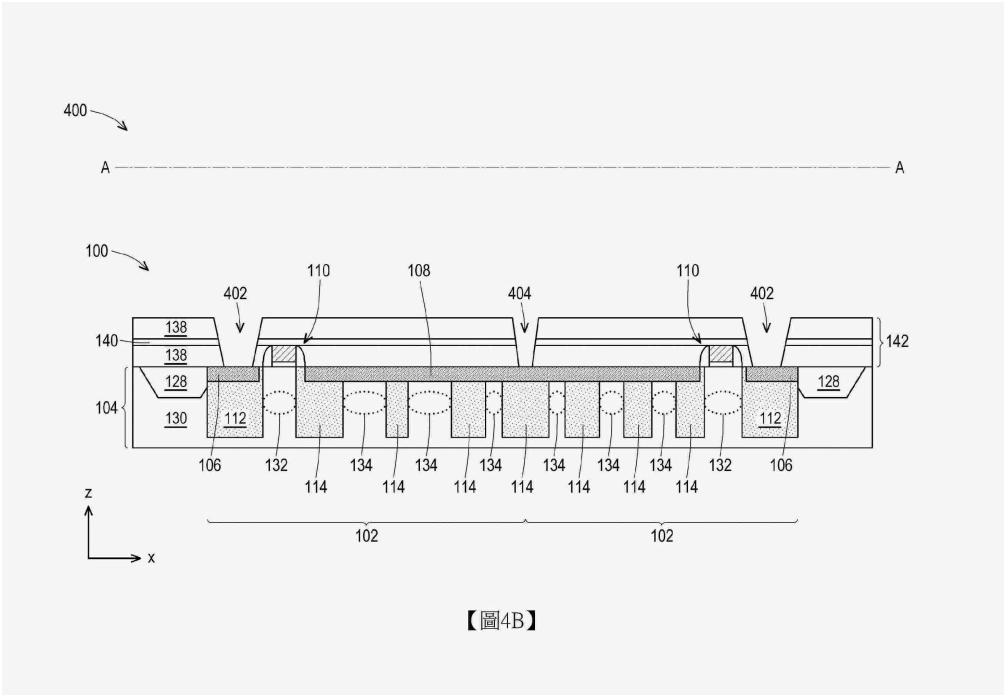
(9)



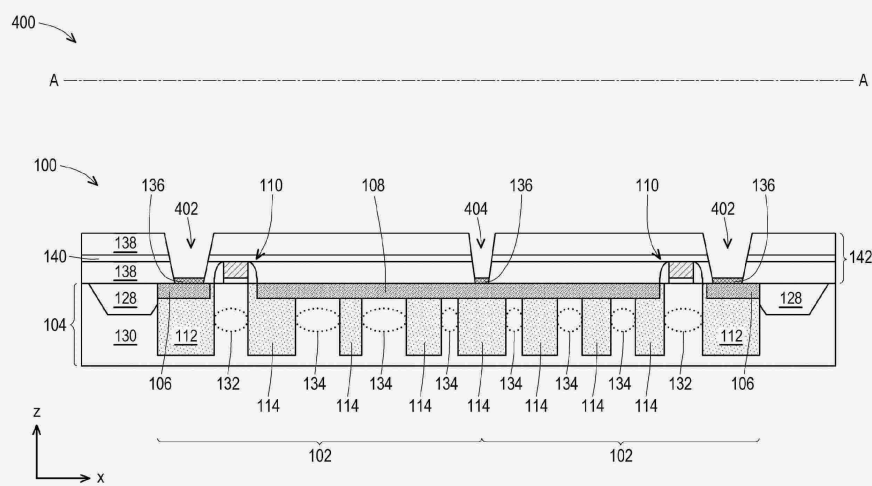
【圖3H】



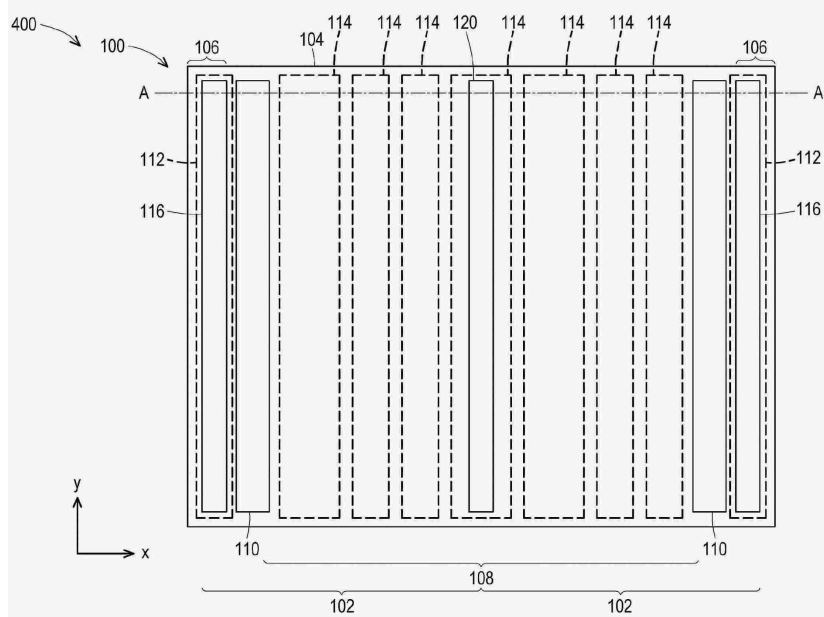
【圖3I】

[illegible]

(11)

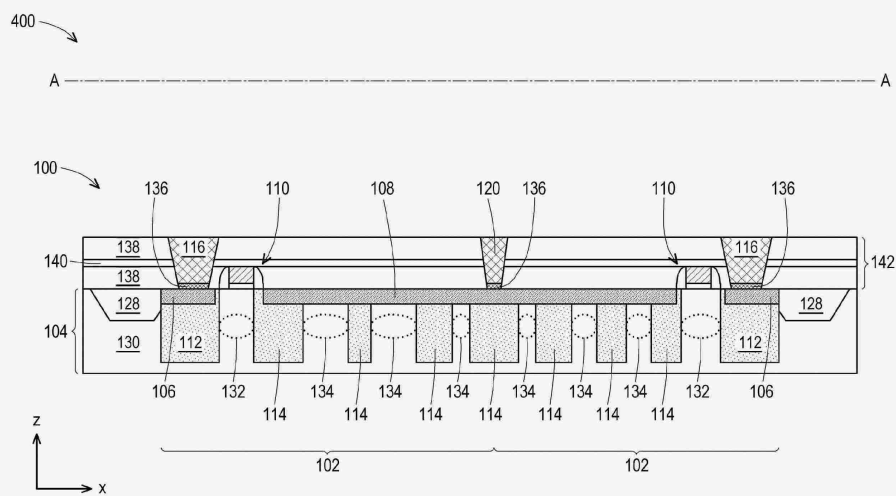


【圖4C】

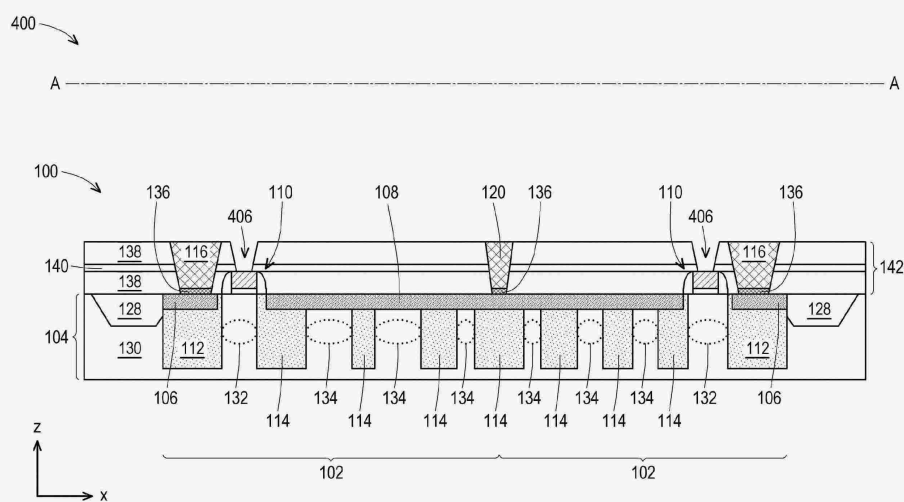


【圖4D】

(12)

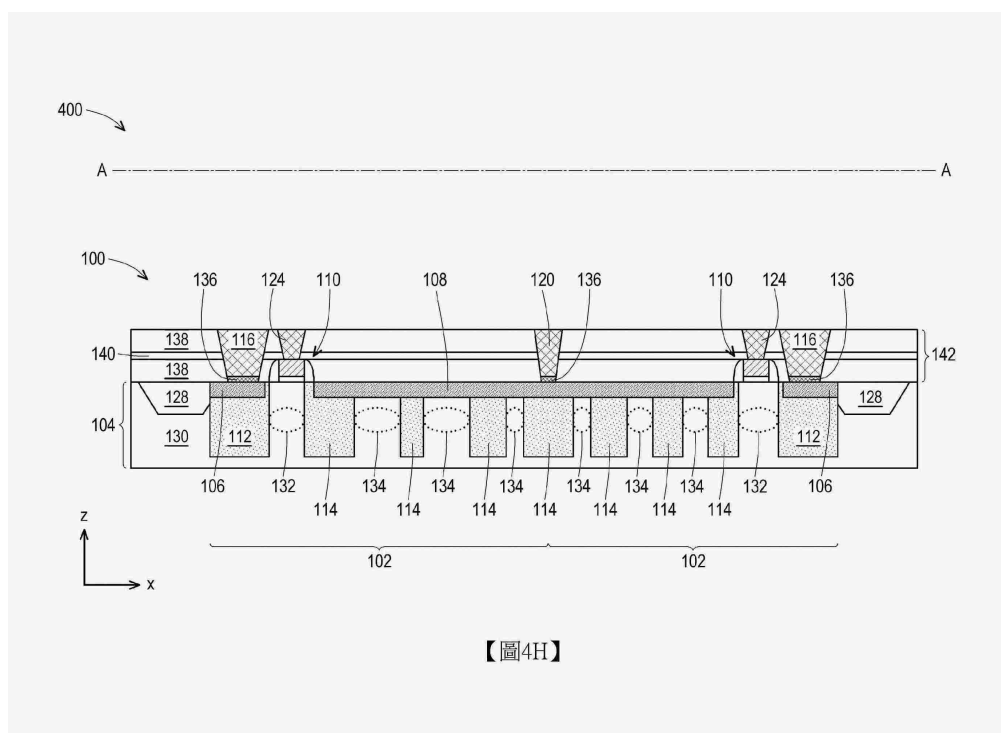
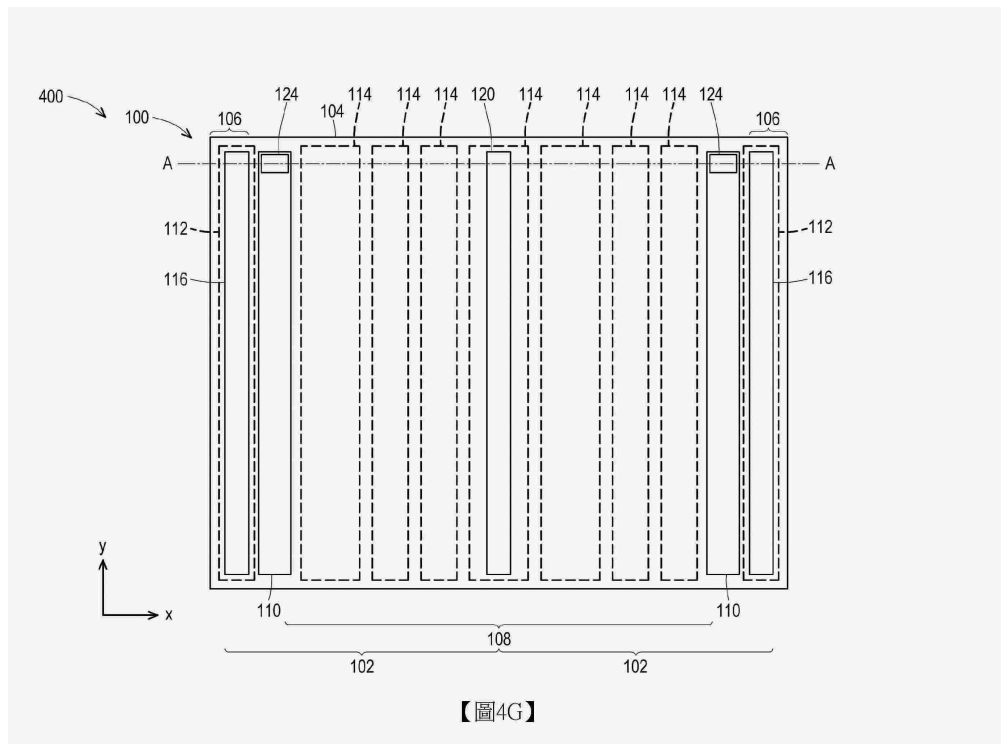


【圖4E】

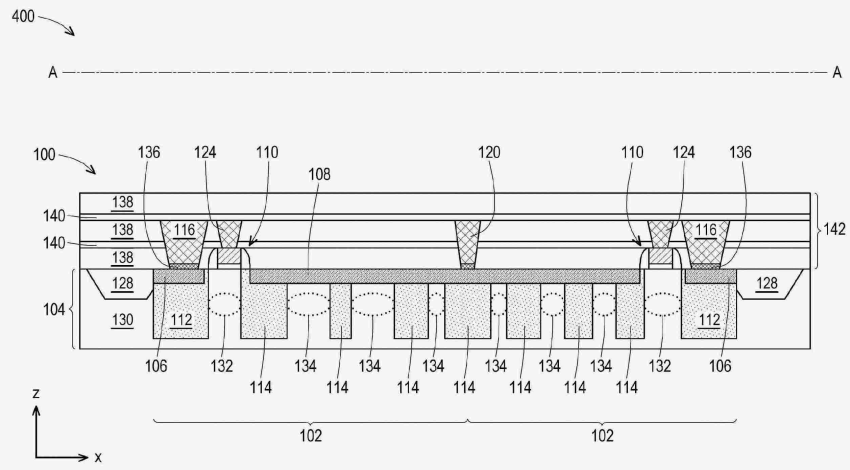


【圖4F】

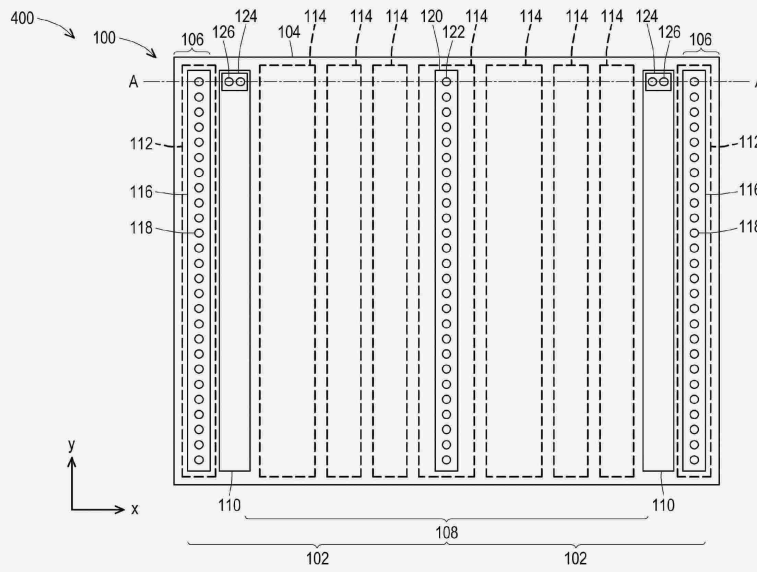
(13)



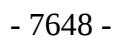
(14)



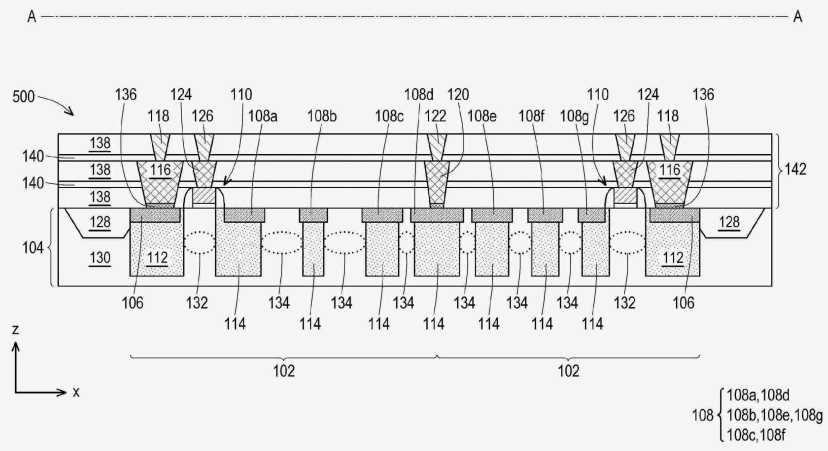
【圖4I】



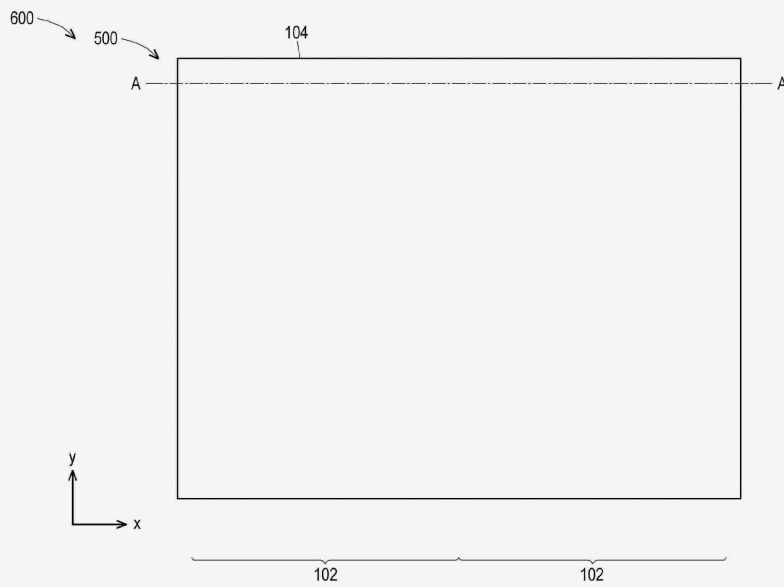
【圖4J】



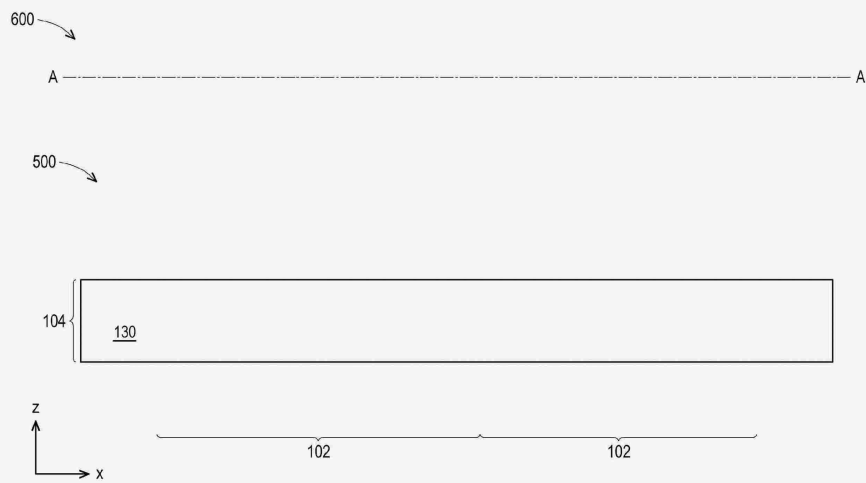
(16)



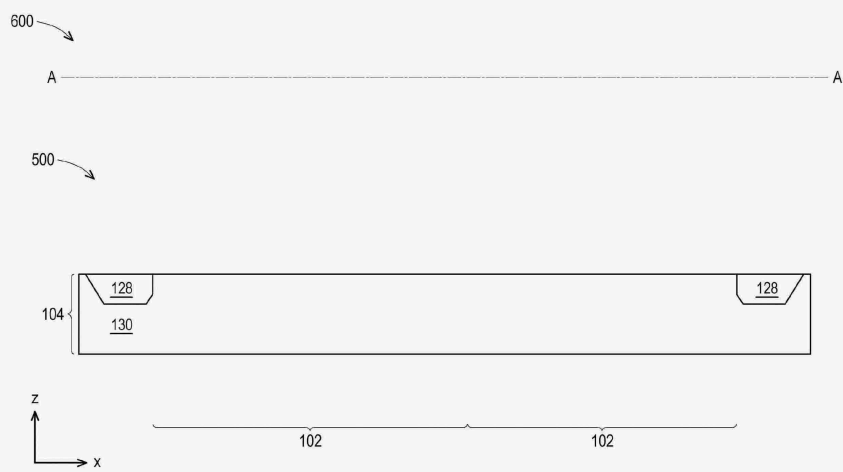
【圖5B】



【圖6A】

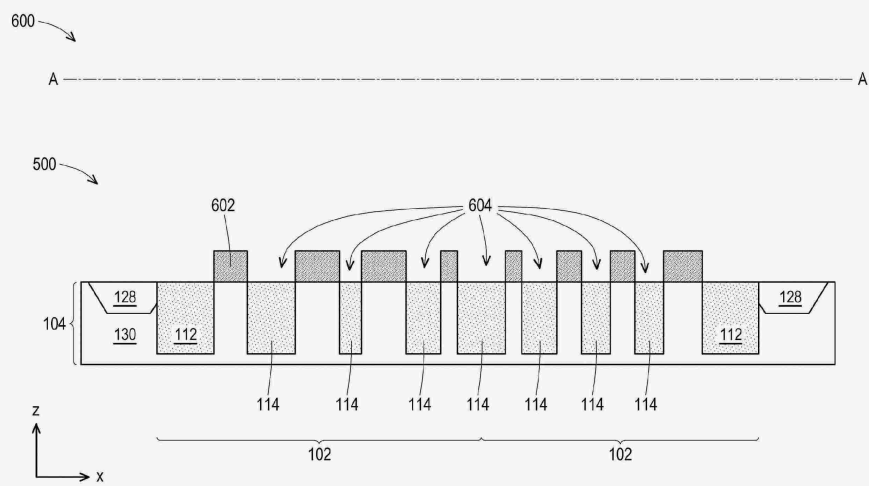


【圖6B】

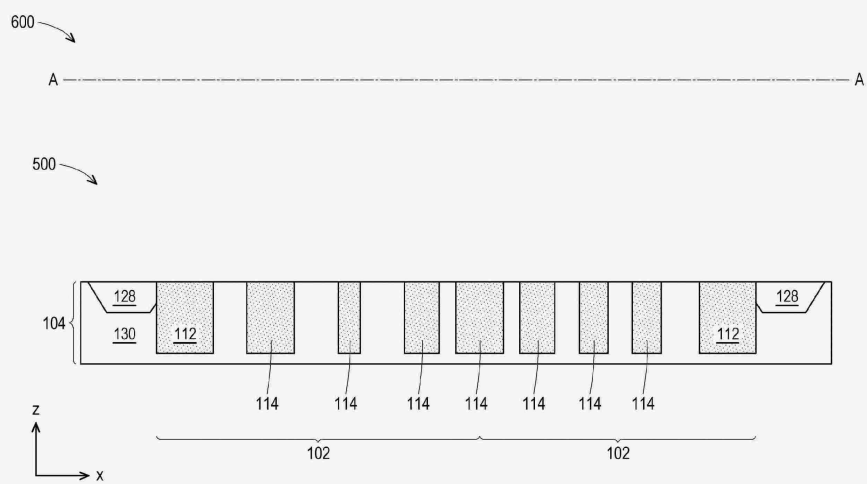


【圖6C】

(18)

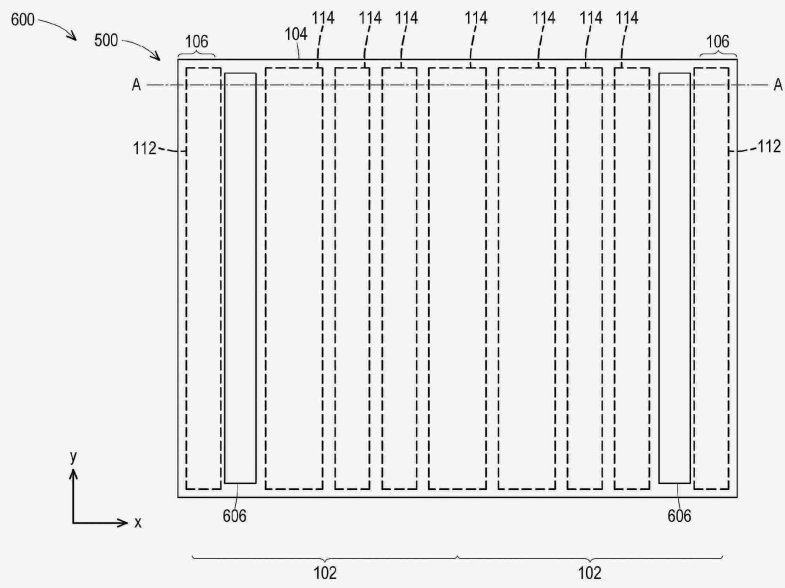


【圖6D】

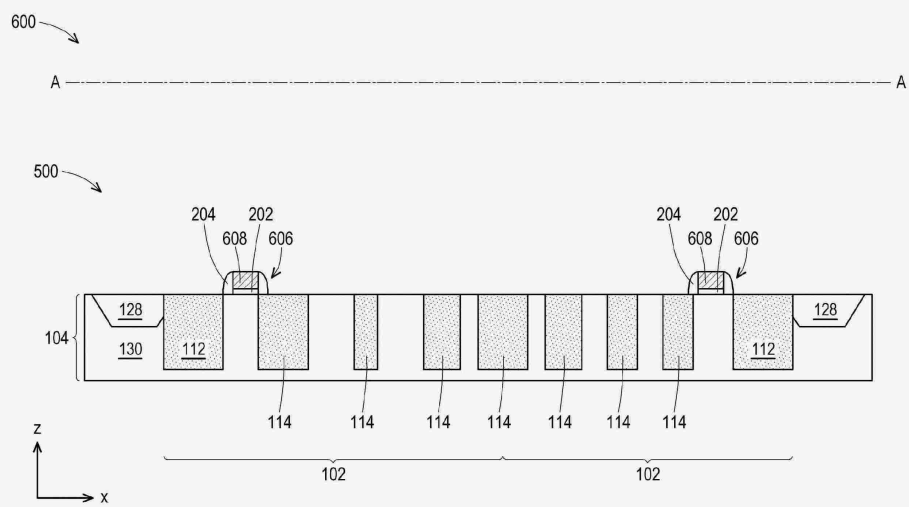


【圖6E】

(19)

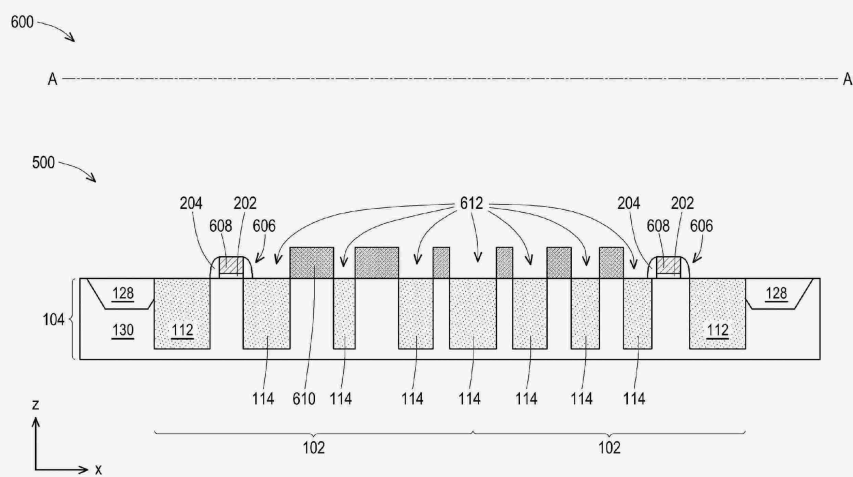


【圖6F】

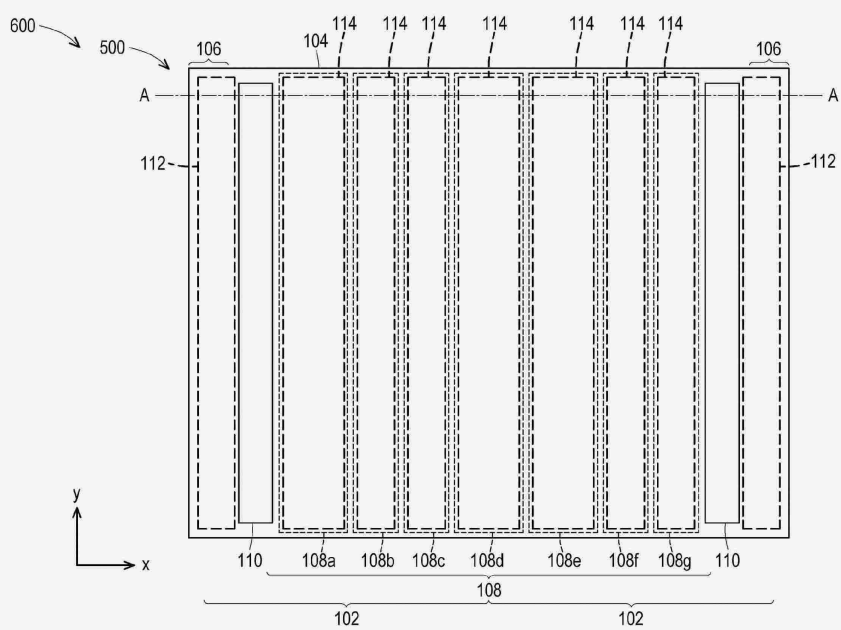


【圖6G】

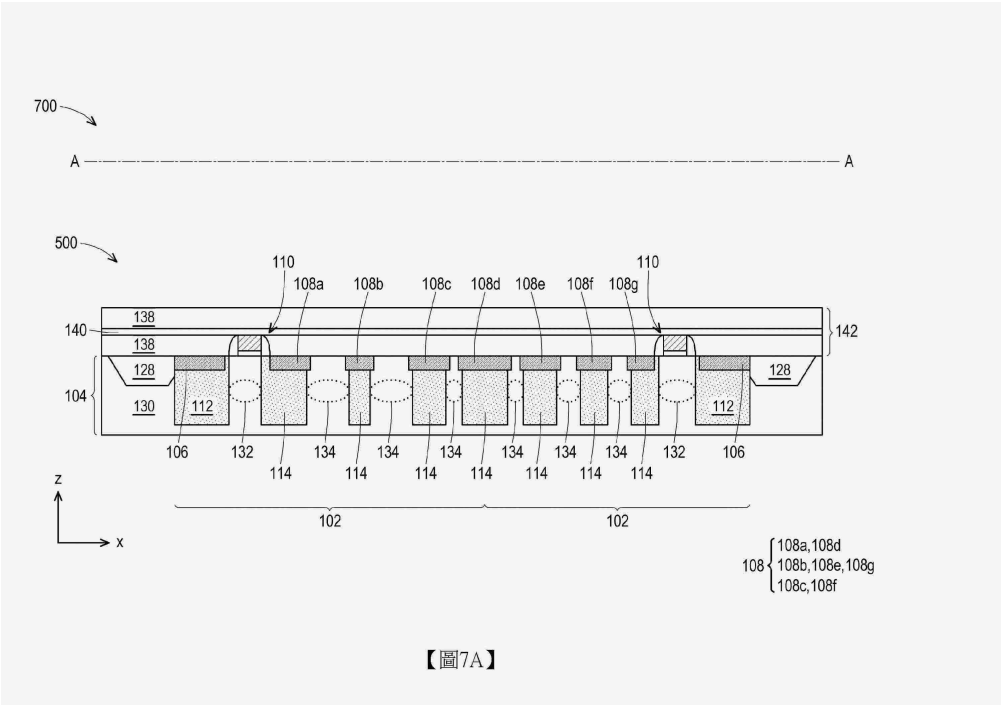
(20)



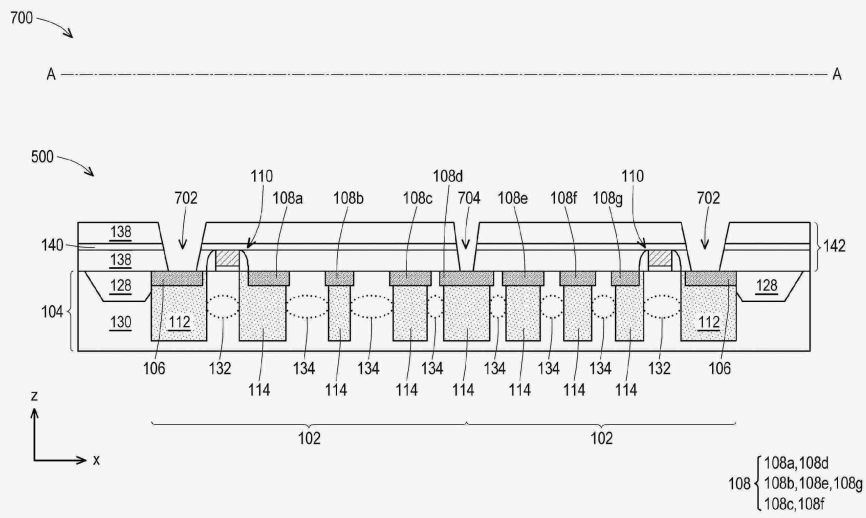
【圖6H】



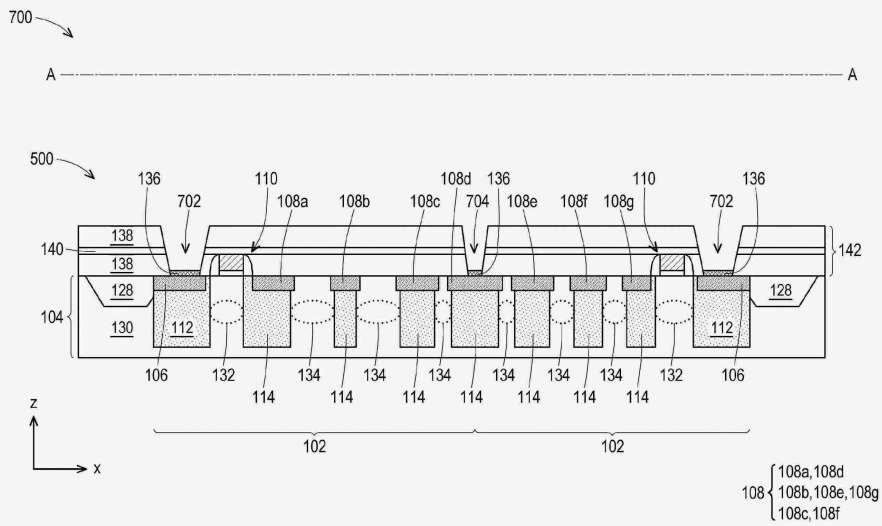
【圖6I】

[illegible]

(22)

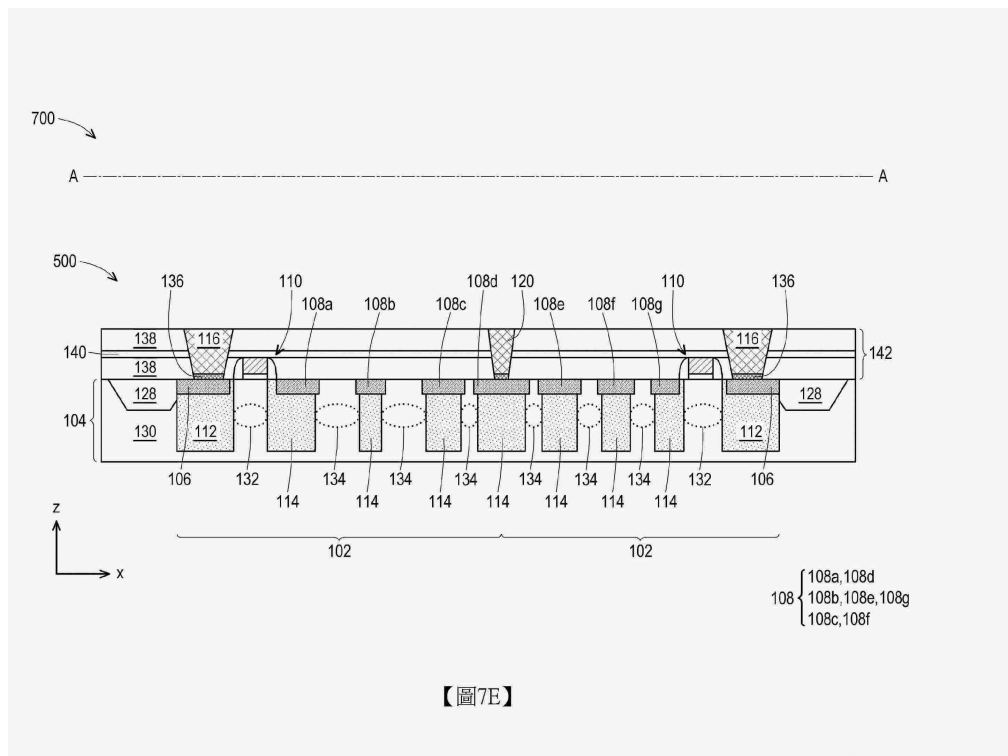
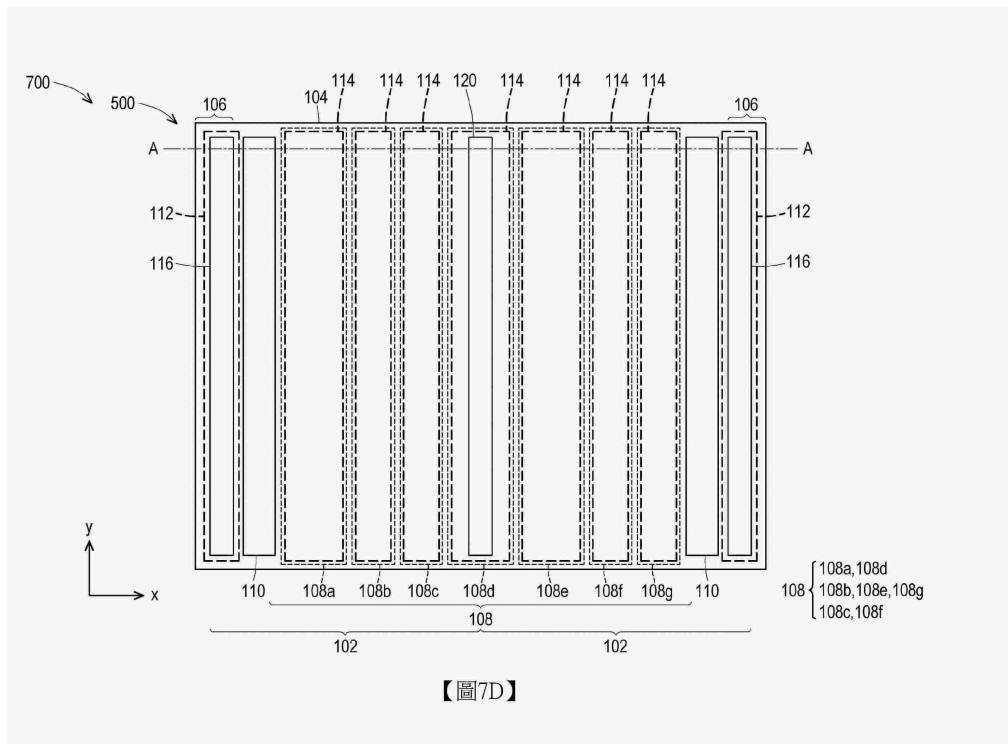


【圖7B】

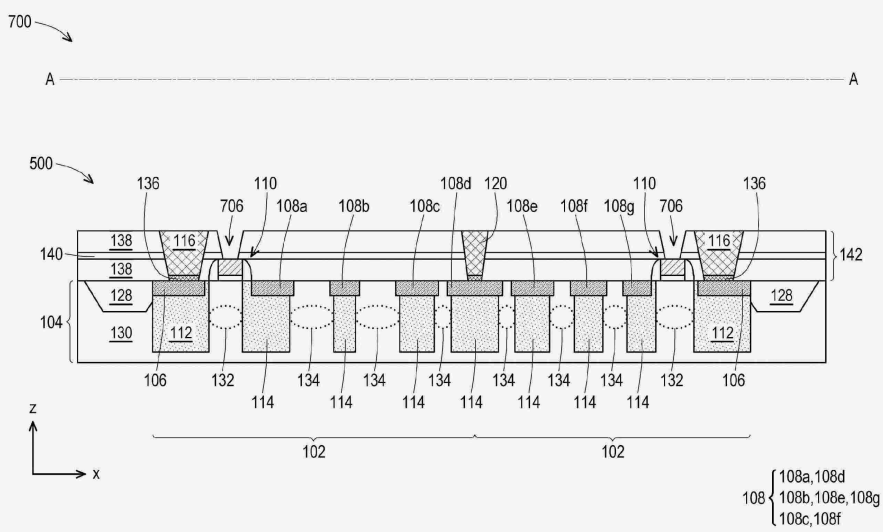


【圖7C】

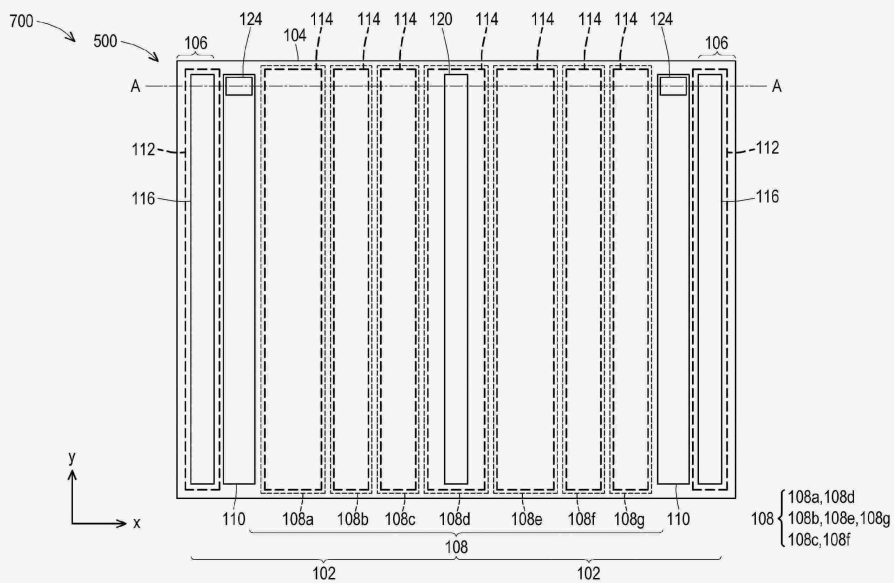
(23)



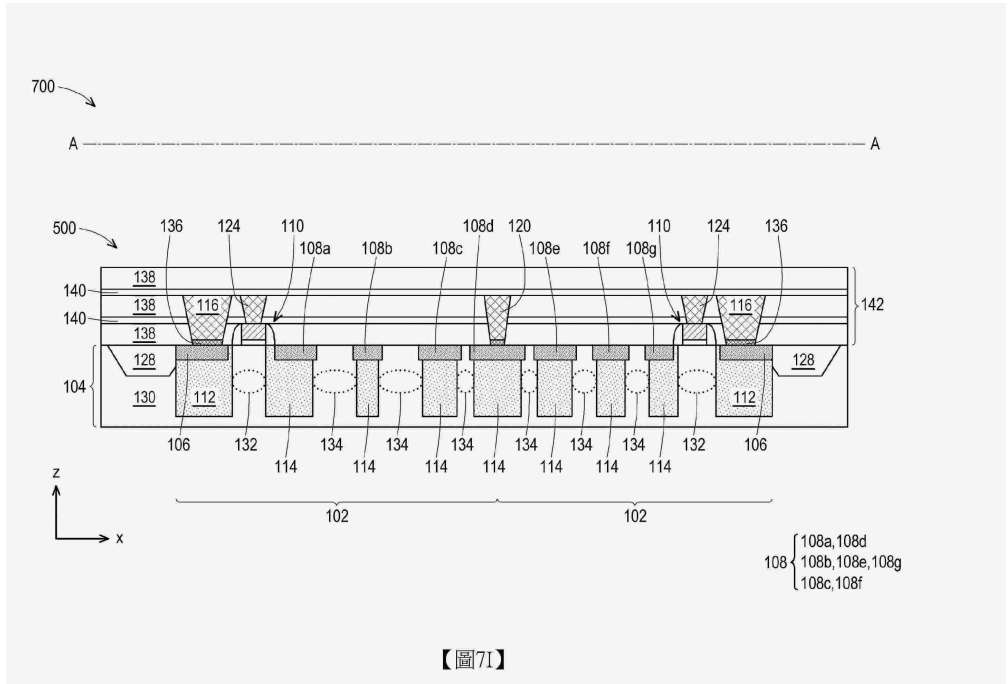
(24)



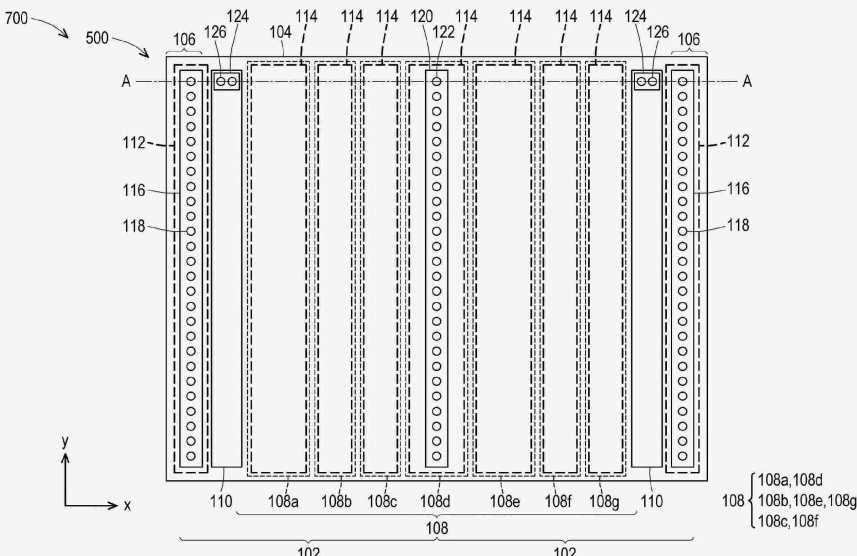
【圖7F】



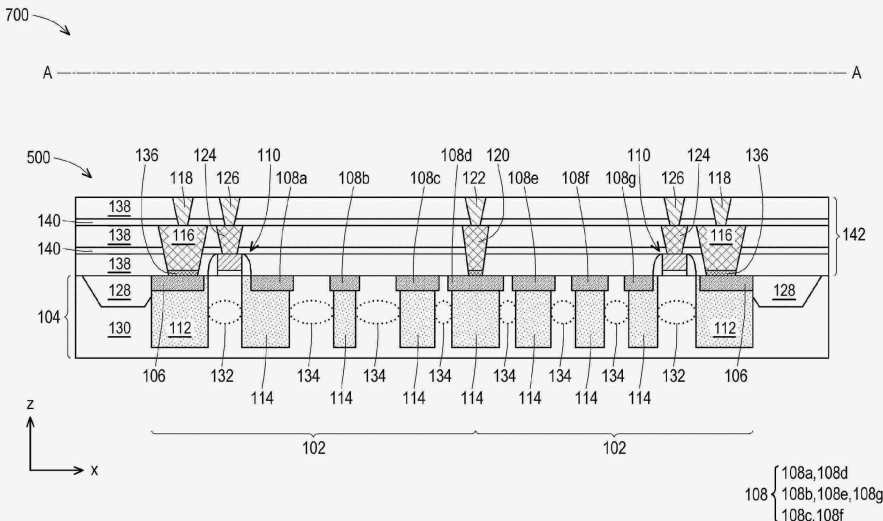
【圖7G】

[illegible]

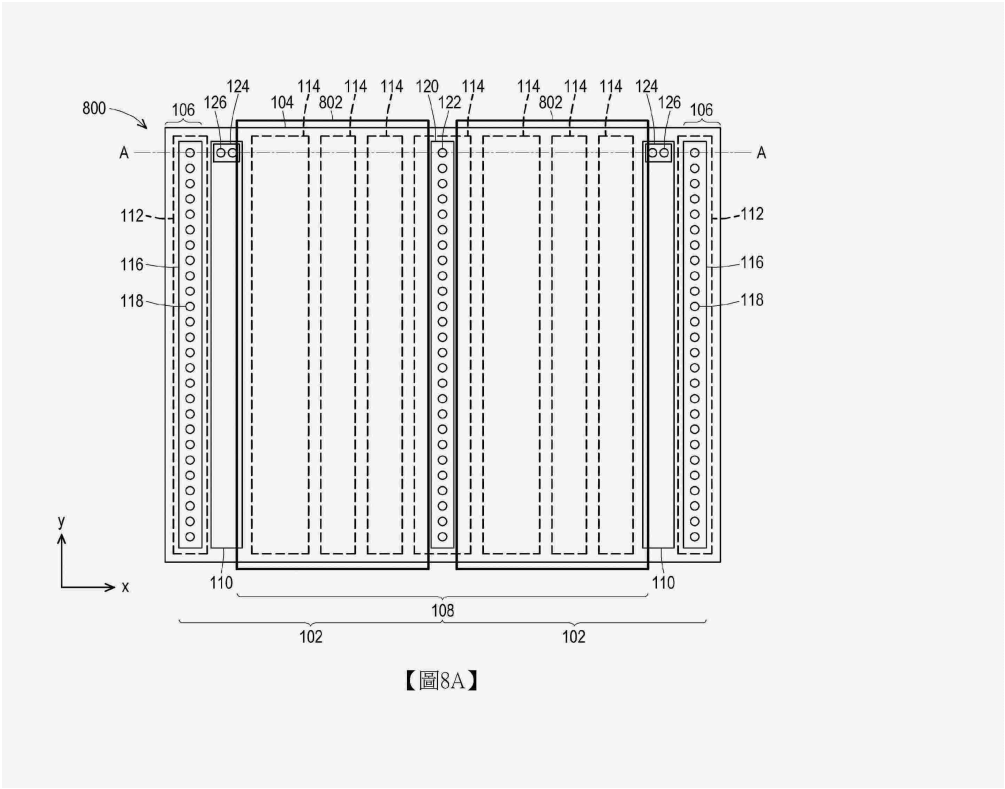
(26)

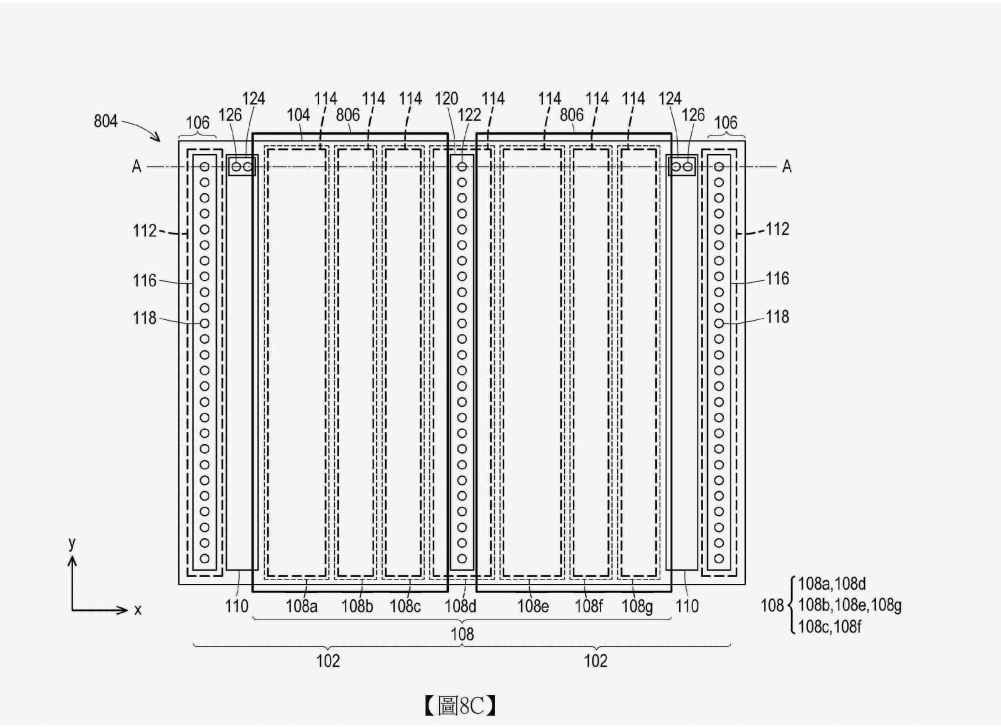


【圖7J】

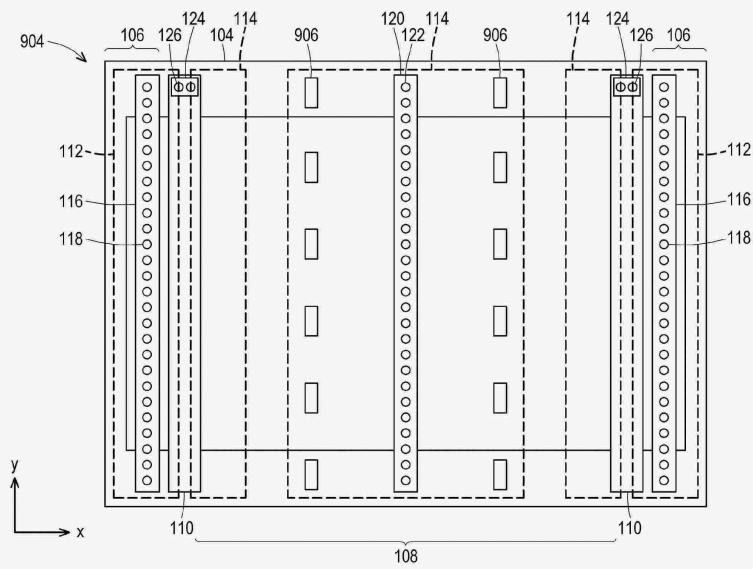


【圖7K】

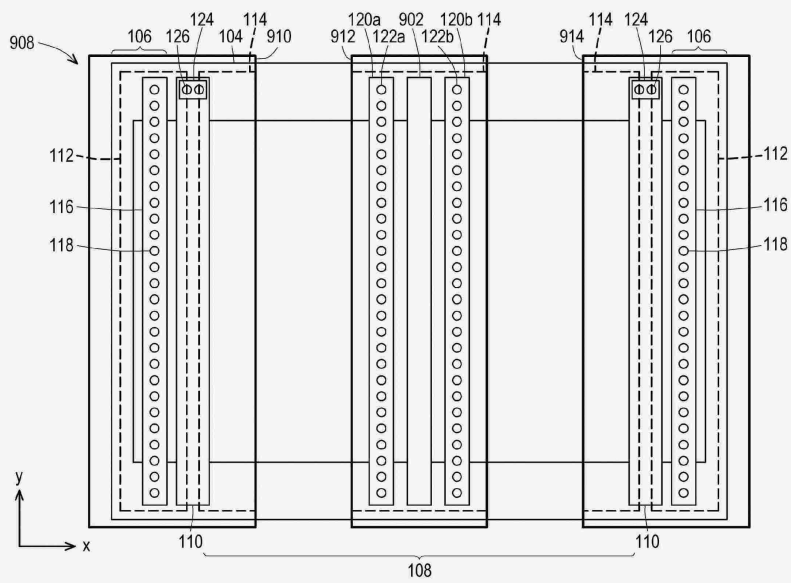
[illegible]

[illegible]

(30)

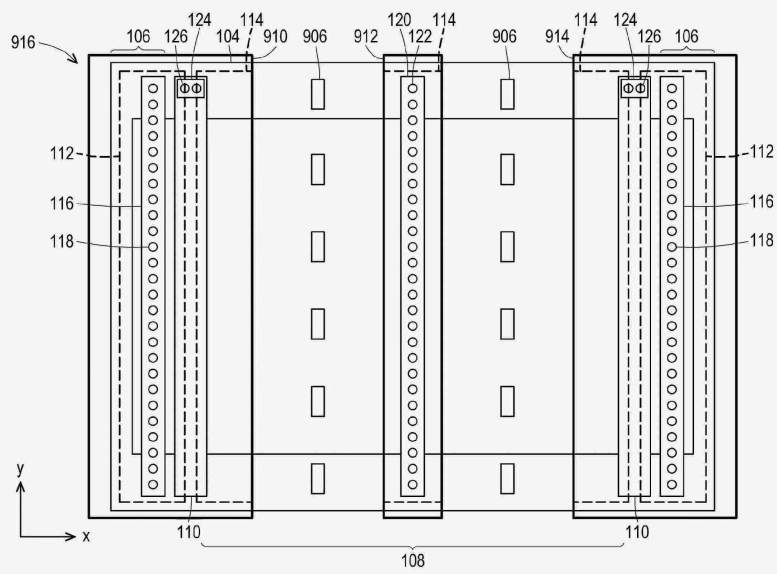


【圖9B】

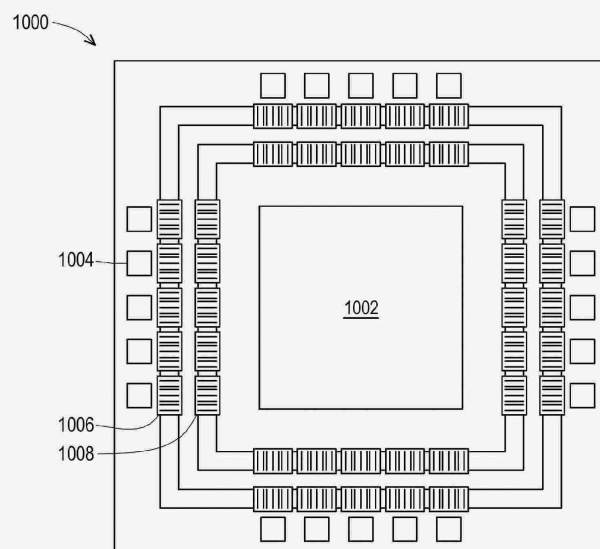


【圖9C】

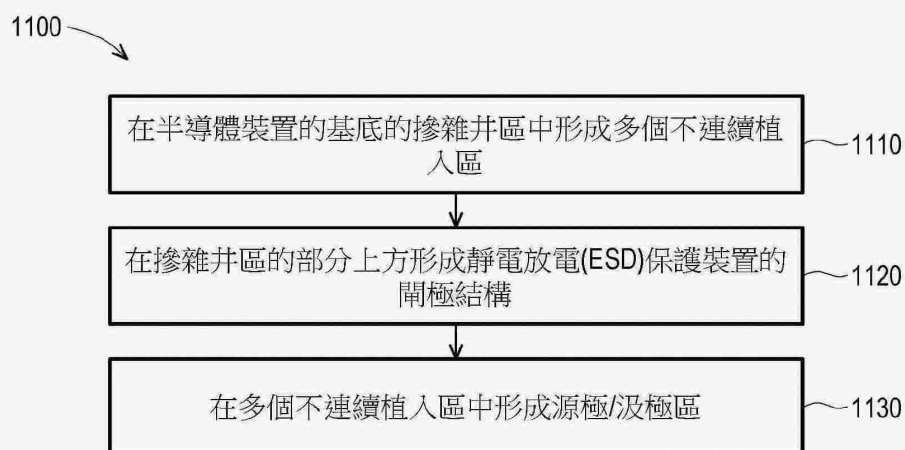
(31)



【圖9D】



【圖10】



【圖11】