

【11】證書號數：I938889

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W72/20 (2026.01) H10W20/40 (2026.01)
G01K7/24 (2006.01)

發明

全 17 頁

【54】名稱：半導體模組

【21】申請案號：114109882

【22】申請日：中華民國 114 (2025) 年 03 月 17 日

【11】公開編號：202539014

【43】公開日期：中華民國 114 (2025) 年 10 月 01 日

【30】優先權：2024/03/28

日本

2024-052721

【72】發明人：森永雄司 (JP) MORINAGA, YUJI ; 湧口純彌 (JP) YUGUCHI, JUNYA

【71】申請人：日商新電元工業股份有限公司 SHINDENGEN ELECTRIC
MANUFACTURING CO., LTD.

日本

【74】代理人：楊長峯

【56】參考文獻：

TW 201503328A

TW 201517276A

TW 202213898A

TW 202234364A

TW 202301695A

TW 202306213A

TW 202327106A

TW 202403417A

CN 103855914A

US 2023/0142930A1

US 2023/0363097A1

審查人員：李景松

【57】申請專利範圍

1. 一種半導體模組，包括：第 1～第 4 半導體元件；多個佈線圖案；第 1 電源端子；第 2 電源端子；第 1 中點端子；以及第 2 中點端子，所述半導體模組構成以所述第 1 半導體元件以及所述第 3 半導體元件為高側、以所述第 2 半導體元件以及所述第 4 半導體元件為低側的全橋電路，進一步包括：
溫度檢測元件，具有第 1 溫度檢測電極和第 2 溫度檢測電極；
第 1 溫度檢測佈線圖案，其與所述第 1 溫度檢測電極連接；
第 1 溫度檢測端子，其是用於與溫度檢測電路連接的端子，且與所述第 1 溫度檢測佈線圖案連接；
第 2 溫度檢測佈線圖案，其與所述第 2 溫度檢測電極連接；以及
第 2 溫度檢測端子，其是用於接地或與控制系統電源連接的端子，且與所述第 2 溫度檢測佈線圖案連接，
其中，在將所述第 1 半導體元件和所述第 4 半導體元件同時導通時的電流路徑，即包含從所述第 1 電源端子到所述第 1 中點端子的第 1 電流路徑以及從所述第 2 中點端子到所述第 2 電源端子的第 2 電流路徑的電流路徑作為第 1 開關路徑；並將所述第 3 半導體元件和所述第 2 半導體元件同時導通時的電流路徑，即包含從所述第 1 電源端子到所述第 2 中點端子的第 3 電流路徑以及從所述第 1 中點端子到所述第 2 電源端子的第 4 電流路徑的電流路徑作為第 2 開關路徑時，
所述溫度檢測元件配置在被所述第 1 開關路徑及所述第 2 開關路徑所包圍的區域中，

所述半導體模組被構成為可降低基於構成所述第 1 電流路徑與第 4 電流路徑的共通部分的佈線圖案以及所述第 1 溫度檢測佈線圖案之間的寄生電容、以及基於構成所述第 2 電流路徑與第 3 電流路徑的共通部分的佈線圖案以及所述第 1 溫度檢測佈線圖案之間的寄生電容所產生的雜訊。

2. 根據請求項 1 所述的半導體模組，其中：
 所述多個佈線圖案包含：搭載所述第 1 半導體元件且連接所述第 1 電源端子的第 1 佈線圖案；搭載所述第 2 半導體元件且連接所述第 1 中點端子的第 2 佈線圖案；搭載所述第 3 半導體元件且連接所述第 1 電源端子的第 3 佈線圖案；以及搭載所述第 4 半導體元件且連接所述第 2 中點端子的第 4 佈線圖案，
 其中，在俯視所述半導體模組時，所述第 1 溫度檢測佈線圖案配置在所述第 2 佈線圖案與所述第 4 佈線圖案之間。
3. 根據請求項 2 所述的半導體模組，其中：
 所述第 1 溫度檢測佈線圖案與所述第 2 佈線圖案之間的距離與所述第 1 溫度檢測佈線圖案與所述第 4 佈線圖案之間的距離相等。
4. 根據請求項 2 所述的半導體模組，其中：
 所述第 2 電源端子是用於所述接地的端子，
 所述多個佈線圖案進一步包含連接有所述第 2 電源端子的第 5 佈線圖案，
 所述第 5 佈線圖案具有向配置有所述第 1 溫度檢測佈線圖案的方向延伸的延伸部。
5. 根據請求項 2 所述的半導體模組，其中：
 所述第 2 溫度檢測佈線圖案配置在所述第 1 溫度檢測佈線圖案與所述第 2 佈線圖案之間、或者配置在所述第 1 溫度檢測佈線圖案與所述第 4 佈線圖案之間，
 所述半導體模組進一步包括電容性耦合降低佈線圖案，該電容性耦合降低佈線圖案配置在所述第 1 溫度檢測佈線圖案和所述第 2 佈線圖案之間以及所述第 1 溫度檢測佈線圖案和所述第 4 佈線圖案之間的未配置所述第 2 溫度檢測佈線圖案的一側。
6. 根據請求項 5 所述的半導體模組，其中：
 所述電容性耦合降低佈線圖案用於所述接地。
7. 根據請求項 6 所述的半導體模組，其中：
 所述第 2 電源端子是用於所述接地的端子，
 所述多個佈線圖案進一步包含連接有所述第 2 電源端子的第 5 佈線圖案，
 所述電容性耦合降低佈線圖案與所述第 5 佈線圖案連接。
8. 根據請求項 2 所述的半導體模組，其中：
 在俯視所述半導體模組時，所述第 1 溫度檢測佈線圖案和所述第 1 溫度檢測端子被配置在與規定的對稱軸重疊的位置上，
 所述第 1 溫度檢測端子的至少一部分和所述第 1 溫度檢測佈線圖案具有以預定的所述對稱軸為基準呈線對稱的形狀，
 由作為所述半導體模組的構成要素的所述第 1～第 4 半導體元件、所述第 1～第 4 佈線圖案、所述第 1 電源端子、所述第 2 電源端子、所述第 1 中點端子、以及所述第 2 中點端子構成的結構以所述規定的對稱軸為基準線對稱。

圖式簡單說明

圖 1 是實施方式 1 的半導體模組 1 的內部結構的平面圖。在圖 1 中，為了表示半導體模組 1 的內部結構，對於密封材料 M 只圖示外緣，在與其他構成要素重疊的部分沒有圖示。在後述的其他內部結構的俯視圖、電流路徑的說明圖以及主要部分放大圖中也一樣的。

圖 2 是放大圖 1 的主要部分的主要部分放大圖。

(3)

圖 3 是實施方式 1 的半導體模組 1 的等效電路圖。

圖 4 是根據實施方式 1 的半導體模組 1 的電流路徑的說明圖。另外，圖 4 是向圖 1 所示的半導體模組 1 增加電流路徑的圖，圖 4 中的半導體模組的結構與圖 1 相同。但是，在圖 4 中，省略了表示圖 2 所示的各構成要素的符號，主要記載了說明電流路徑所需的構成要素的符號。

圖 5 是實施方式 2 的半導體模組 2 的內部構成的平面圖。

圖 6 是圖 5 的主要部分的放大主要部分放大圖。

圖 7 是實施方式 3 的半導體模組 3 的內部結構的平面圖。

圖 8 是圖 7 中的主要部分的放大主要部分放大圖；

圖 9 是實施方式 4 的半導體模組 4 的內部構成的平面圖。

圖 10 是圖 9 的主要部分的放大主要部分放大圖。

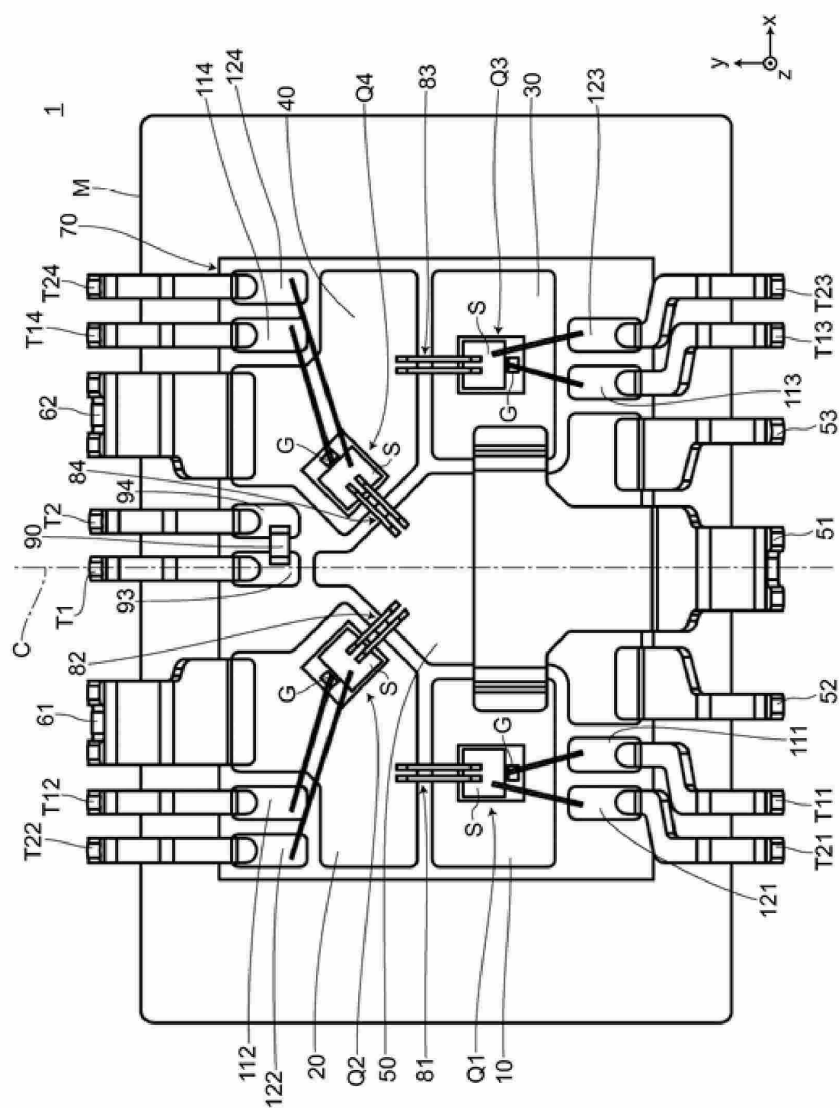
圖 11 是比較例的半導體模組 1A 的內部構成的平面圖。

圖 12 是對比較例的半導體模組 1A 的電流路徑的說明圖。

圖 13 是表示實施方式 3 涉及的半導體模組 3 以及比較例涉及的半導體模組 1A 的雜訊特性的曲線圖。在圖 13 中，縱向排列顯示了上段圖表、中段圖表及下段圖表，以使各個圖表的橫軸(時間)一致。上段的曲線圖(有“Q2”標記的曲線圖)是表示使全橋電路動作時的第 2 半導體元件 Q2 的電壓 V 及電流 I 的變動的曲線圖。中段的曲線圖(有“Q4”標記的曲線圖)是表示使全橋電路 100 動作時的第 4 半導體元件 Q4 的電壓 V 及電流 I 的變動的曲線圖。下段的曲線(有“1A”和“1”標記的曲線)是表示使全橋電路動作時的第 1 溫度檢測路徑 TP1 的電壓變化的曲線。另外，下段的圖表分為兩個圖表。有“1A”表示一側的圖是表示比較例的半導體模組 1A 中的電壓的變動的圖。有“3”表示一側的曲線圖是表示實施方式 3 的半導體模組 3 的電壓變動的曲線圖。在各圖表的左端記載了電壓的數值，在上段的圖表和下段的圖表的右端顯示了電流的數值。

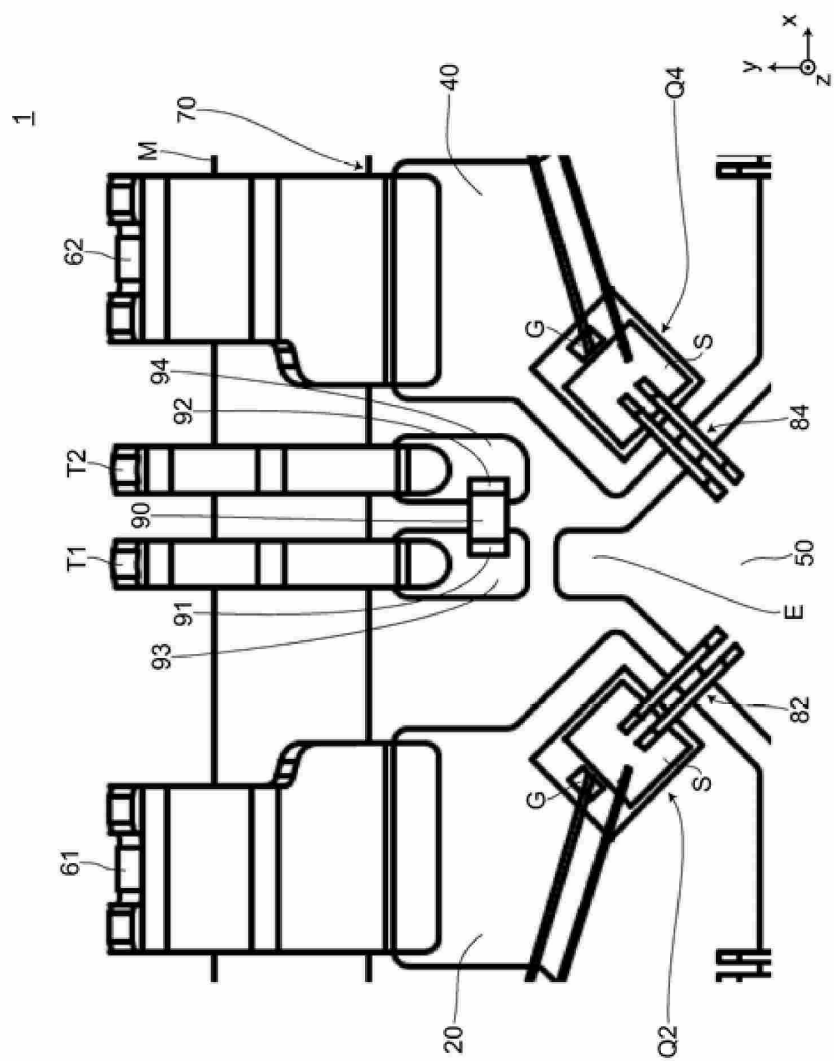
圖 14 是以往的半導體模組 900 的等效電路圖。

(4)



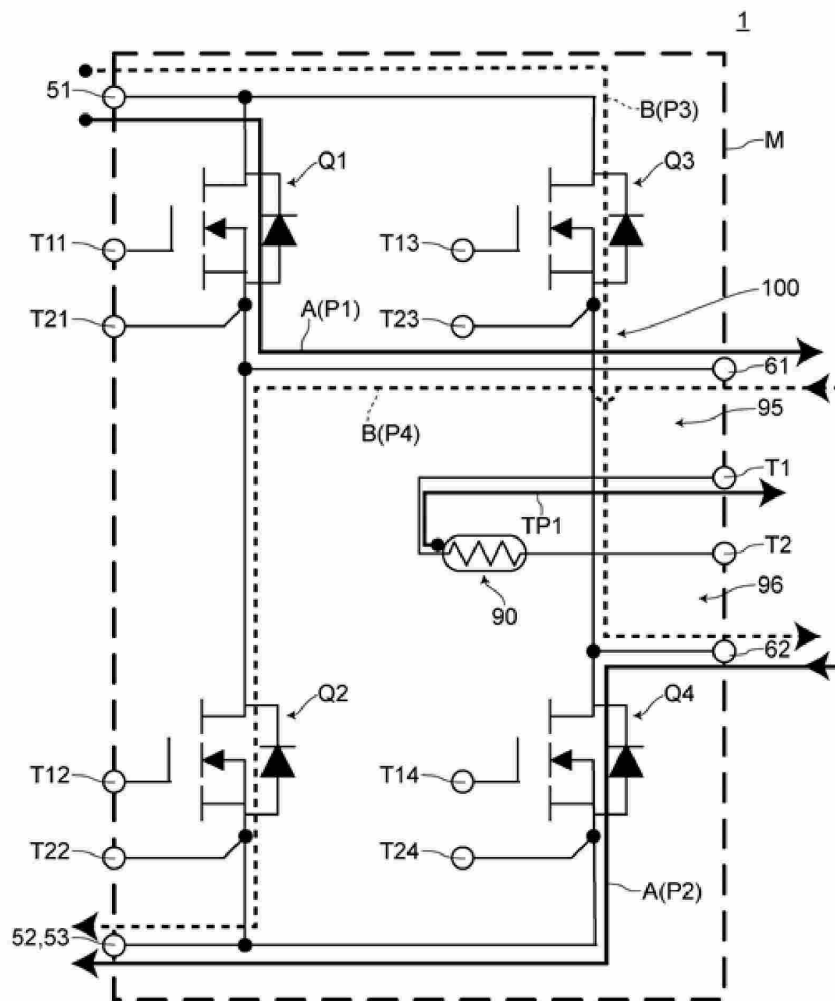
【圖1】

(5)



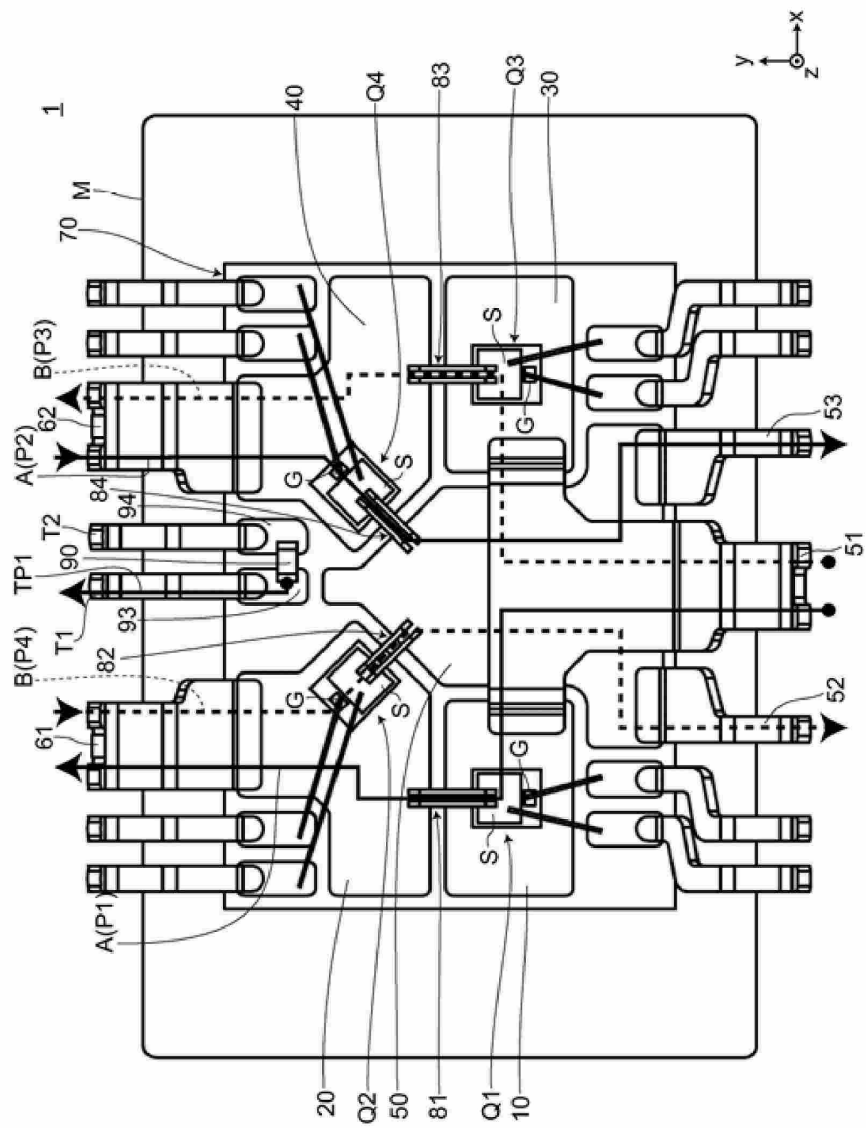
【圖2】

(6)



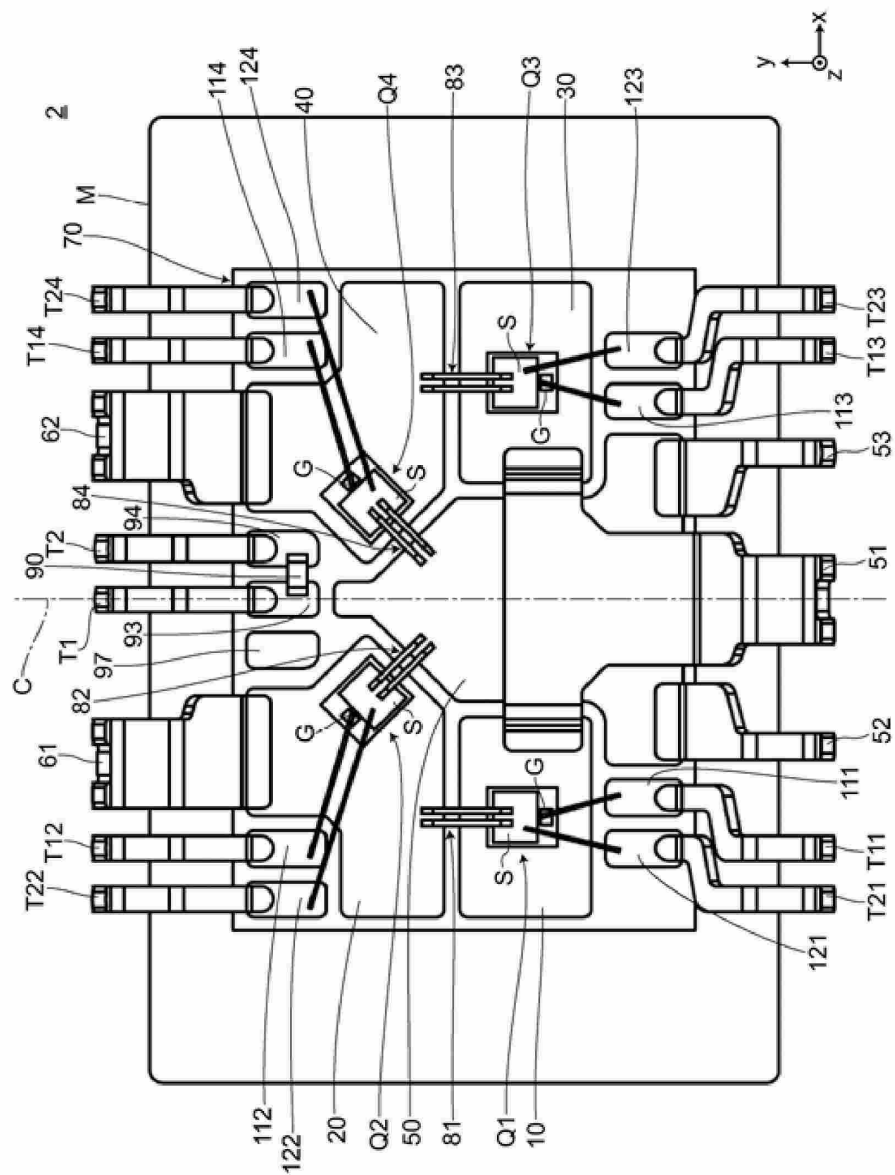
【圖 3】

(7)



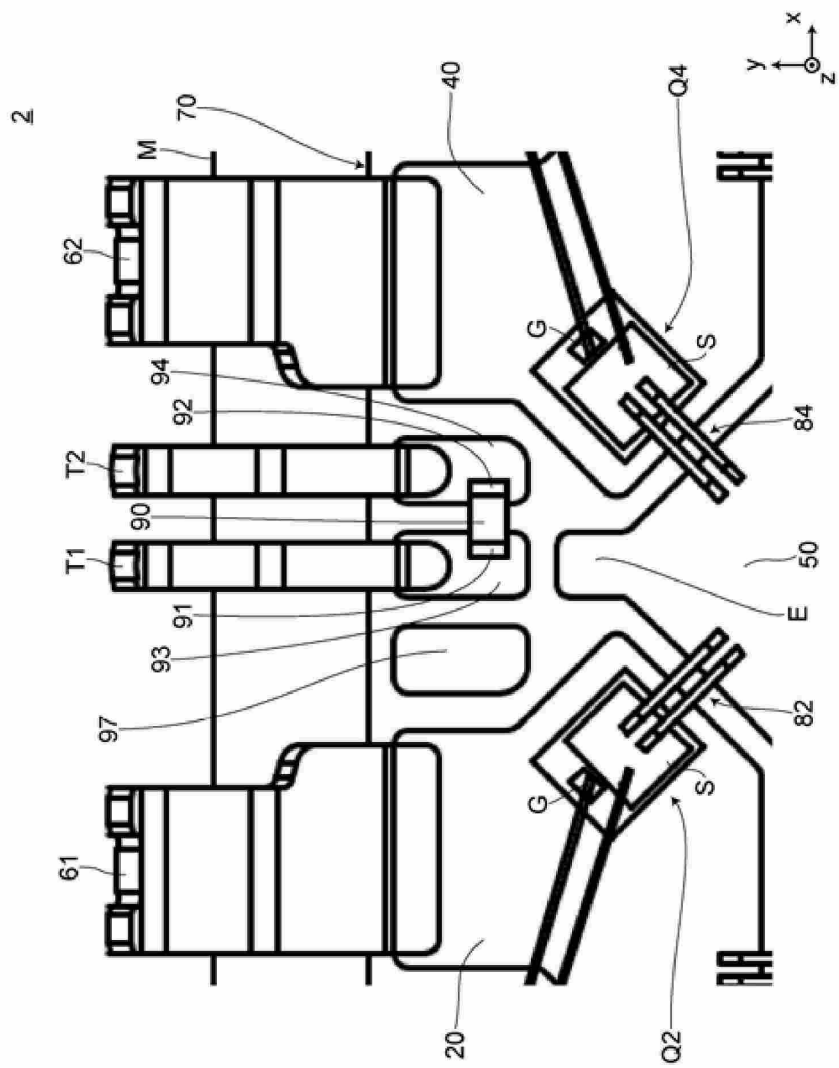
【圖 4】

(8)



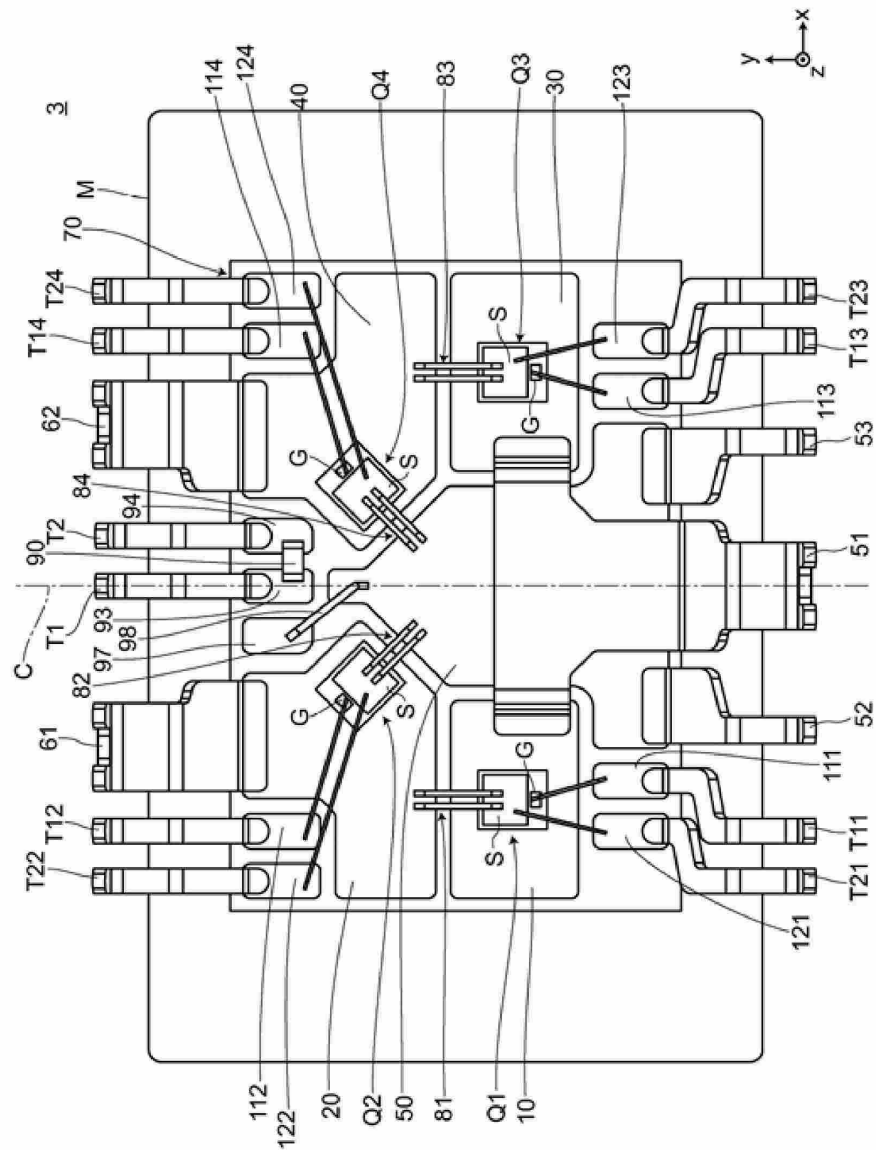
【圖 5】

(9)

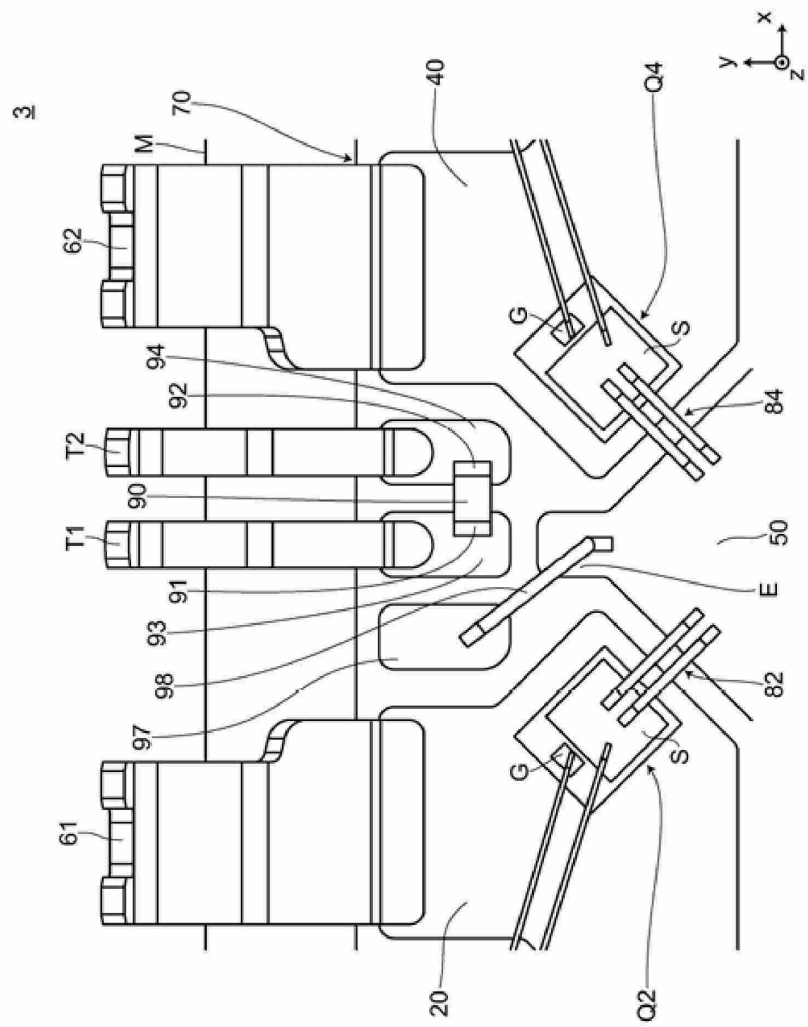


【圖 6】

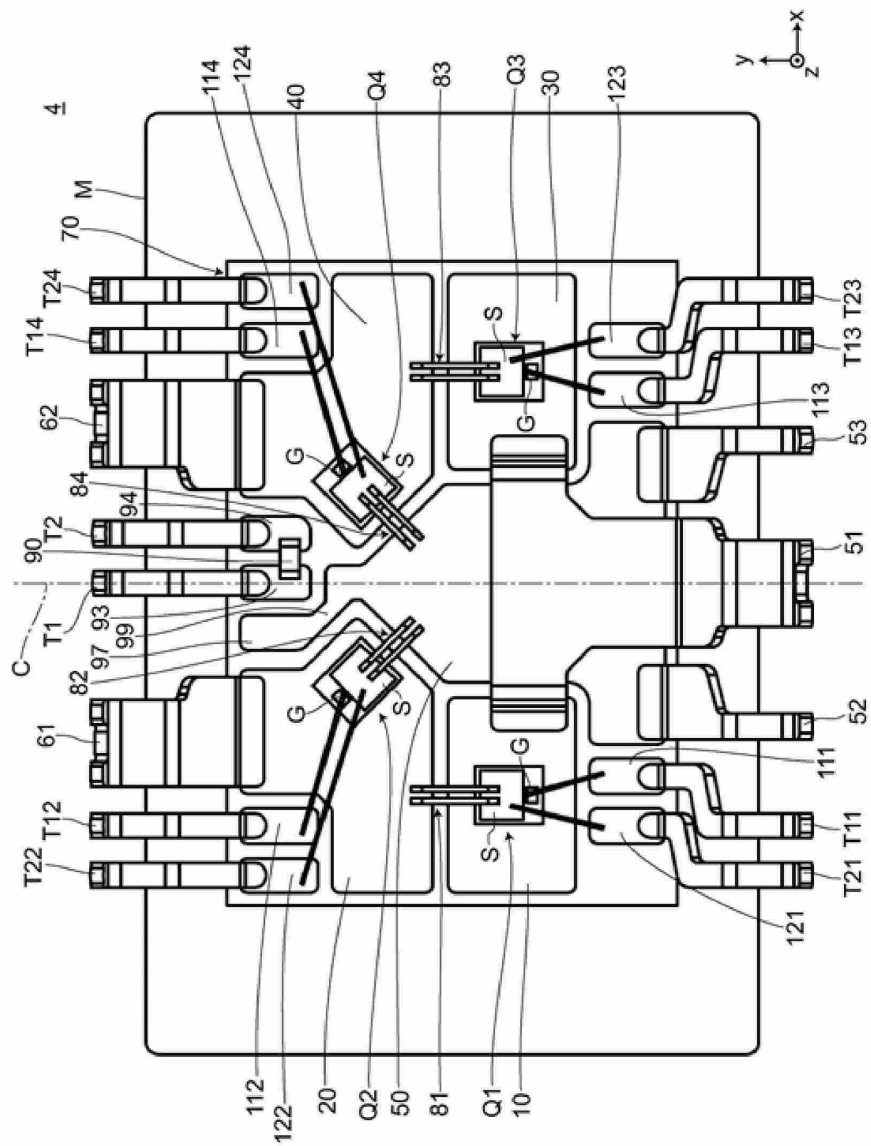
(10)



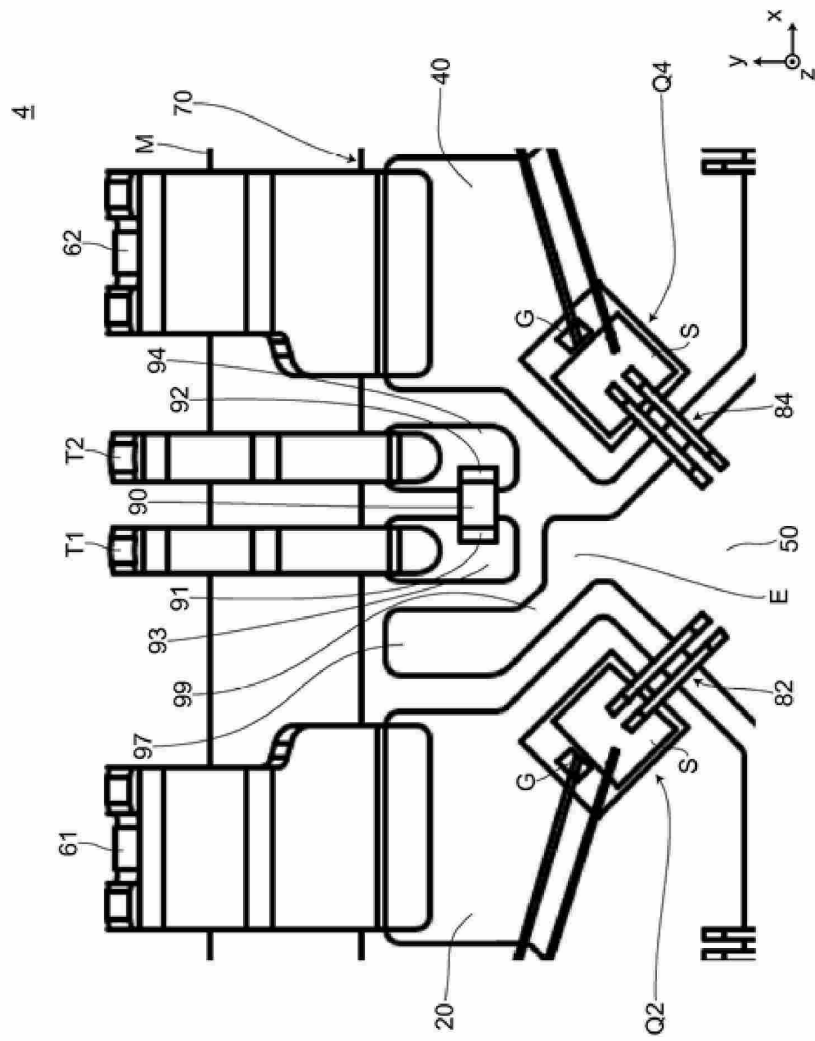
【圖 7】



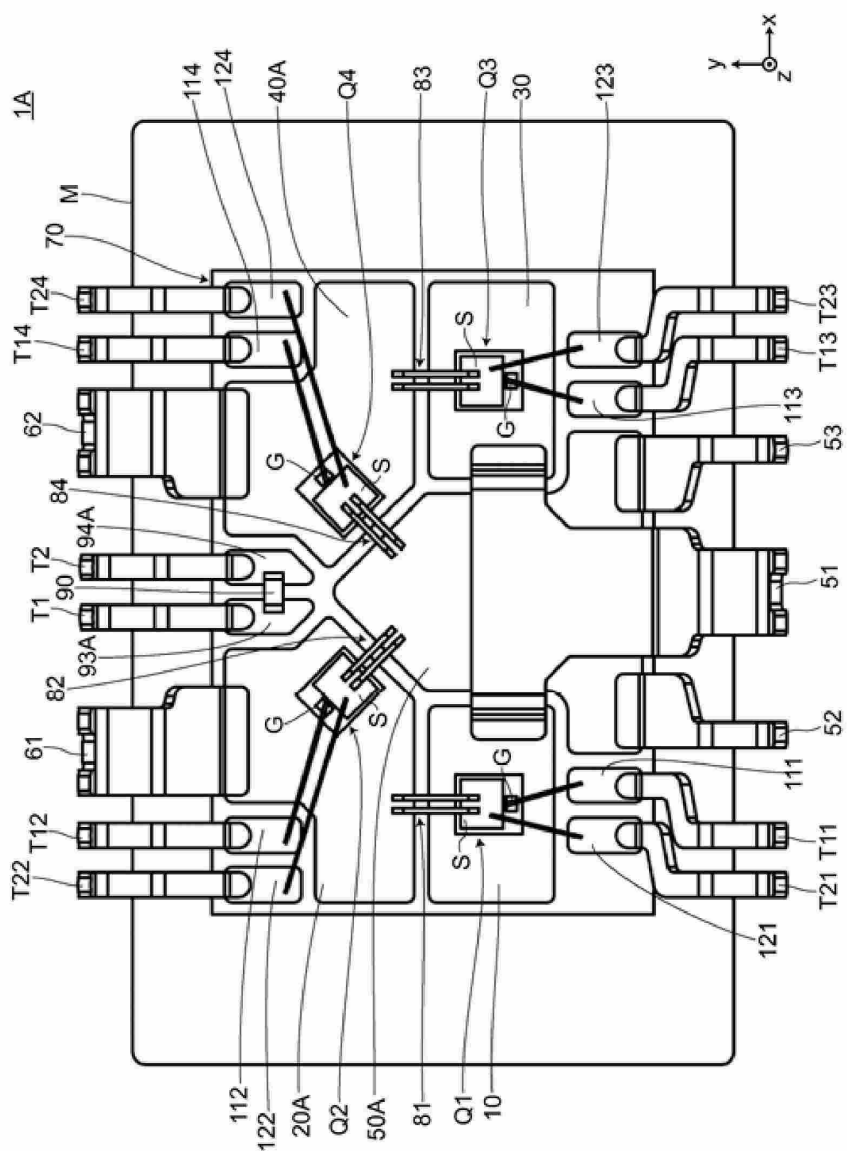
【圖 8】



【圖 9】

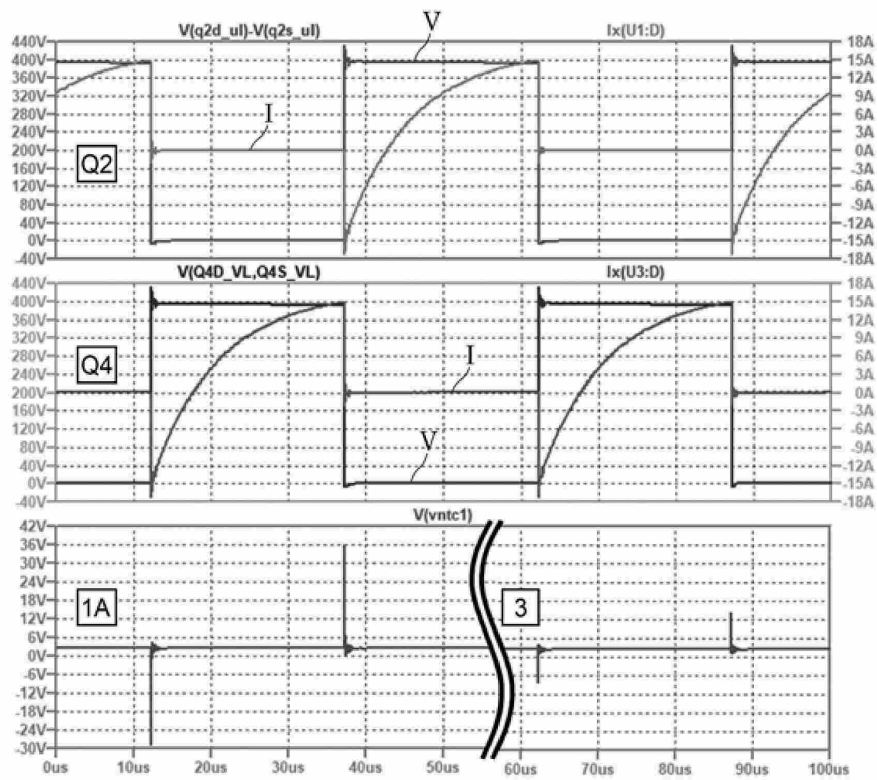


【圖 10】

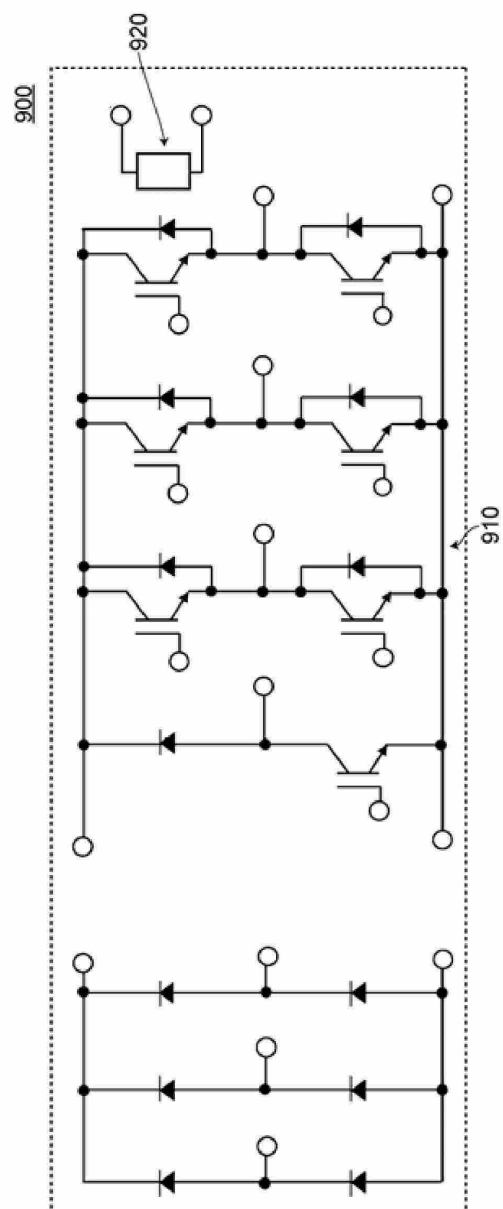


【圖 11】

(16)



【圖 13】



【圖 14】