

【11】證書號數：I938903

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B12/00 (2023.01) H10W70/60 (2026.01)

發明

全 24 頁

【54】名稱：半導體元件及其製備方法

【21】申請案號：114111449

【22】申請日：中華民國 114 (2025) 年 03 月 26 日

【11】公開編號：202628566

【43】公開日期：中華民國 115 (2026) 年 07 月 01 日

【30】優先權：2024/12/30

美國

19/004,572

【72】發明人：黃則堯 (TW) HUANG, TSE-YAO

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 201820539A

TW 202119477A

TW 202230737A

TW 202341419A

US 2010/0155799A1

US 2017/0200723A1

US 2024/0113101A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種半導體元件，包括：
一源/汲極結構，設置在一半導體基底上；
一介電層，設置在該源/汲極結構上；
複數個第一接點結構，貫穿該介電層和該源/汲極結構；
一多晶矽堆疊；以及
一第二接點結構，設置在該多晶矽堆疊上，
其中該多晶矽堆疊和該第二接點結構係設置在該複數個第一接點結構中的兩者之間，
其中該複數個第一接點結構中的每一者包括：
一第一襯墊；以及
一第一導電層，由該第一襯墊環繞，
其中該第二接點結構包括：
一阻障層，包含鈦、氮化鈦或前述之組合；以及
一第二導電層，包含鎢，其中該第二導電層由該阻障層環繞。
2. 如請求項 1 所述之半導體元件，其中該複數個第一接點結構中的每一者更包括：
一第二襯墊，設置在該第一襯墊與該第一導電層之間。
3. 如請求項 2 所述之半導體元件，其中該第二襯墊包含 CuMn。
4. 如請求項 1 所述之半導體元件，其中該第一襯墊包含鈹、氮化鈹或前述之組合，且該第一導電層包含 Cu。
5. 如請求項 1 所述之半導體元件，其中該複數個第一接點結構延伸進入該半導體基底內。
6. 如請求項 1 所述之半導體元件，其中該阻障層具有一下部分，該下部分由該多晶矽堆疊環繞。

7. 如請求項 1 所述之半導體元件，其中該源/汲極結構包括：
 - 一磊晶層，接觸該半導體基底；以及
 - 一矽化物層，設置在該磊晶層與該介電層之間。
8. 如請求項 7 所述之半導體元件，其中該矽化物層包含矽化鈷。
9. 如請求項 1 所述之半導體元件，其中該多晶矽堆疊包括：
 - 一第一多晶矽層；以及
 - 一第二多晶矽層，設置在該第一多晶矽層上，其中該第二多晶矽層的摻質濃度不同於該第一多晶矽層的摻質濃度。
10. 如請求項 9 所述之半導體元件，其中該第一多晶矽層為未經摻雜的，且該第二多晶矽層為摻雜的。
11. 如請求項 9 所述之半導體元件，其中該多晶矽堆疊更包括：
 - 一第三多晶矽層，設置在該第二多晶矽層上，其中該第三多晶矽層為未經摻雜的；以及
 - 一第四多晶矽層，設置在該第三多晶矽層上，其中該第四多晶矽層為摻雜的。
12. 如請求項 9 所述之半導體元件，其中該第二多晶矽層藉由該第一多晶矽層與該介電層隔開。
13. 如請求項 1 所述之半導體元件，其中該半導體元件為動態隨機存取記憶體的一部分，且該複數個第一接點結構和該第二接點結構係設置在該半導體元件的一陣列區內。

圖式簡單說明

可配合以下的詳細說明及圖式一起閱讀以最佳地瞭解本揭露的各方面。應注意的是，依照產業上的標準慣例，各個特徵並未按照比例繪製。事實上，為了清楚地討論，可能任意的放大或縮小各個特徵的尺寸。

圖 1 為根據一些實施例之半導體元件的剖面示意圖。

圖 2 為根據一些實施例之半導體元件的剖面示意圖。

圖 3 為根據一些實施例之半導體元件的剖面示意圖。

圖 4 顯示根據一些實施例之形成半導體元件的中間階段。

圖 5 顯示根據一些實施例之形成半導體元件的中間階段。

圖 6 顯示根據一些實施例之形成半導體元件的中間階段。

圖 7 顯示根據一些實施例之形成半導體元件的中間階段。

圖 8 顯示根據一些實施例之形成半導體元件的中間階段。

圖 9 顯示根據一些實施例之形成半導體元件的中間階段。

圖 10 顯示根據一些實施例之形成半導體元件的中間階段。

圖 11 顯示根據一些實施例之形成半導體元件的中間階段。

圖 12 顯示根據一些實施例之形成半導體元件的中間階段。

圖 13 顯示根據一些實施例之形成半導體元件的中間階段。

圖 14 顯示根據一些實施例之形成半導體元件的中間階段。

圖 15 顯示根據一些實施例之形成半導體元件的中間階段。

圖 16 顯示根據一些實施例之形成半導體元件的中間階段。

圖 17 顯示根據一些其他實施例之形成半導體元件的中間階段。

圖 18 顯示根據一些其他實施例之形成半導體元件的中間階段。

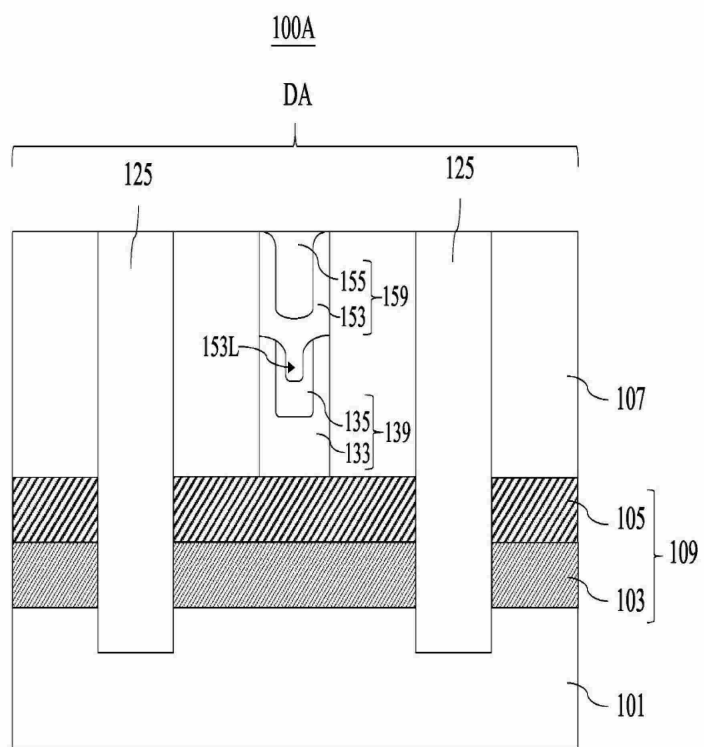
圖 19 顯示根據一些其他實施例之形成半導體元件的中間階段。

圖 20 顯示根據一些其他實施例之形成半導體元件的中間階段。

圖 21 為根據一些實施例之半導體元件的製備方法的流程圖。

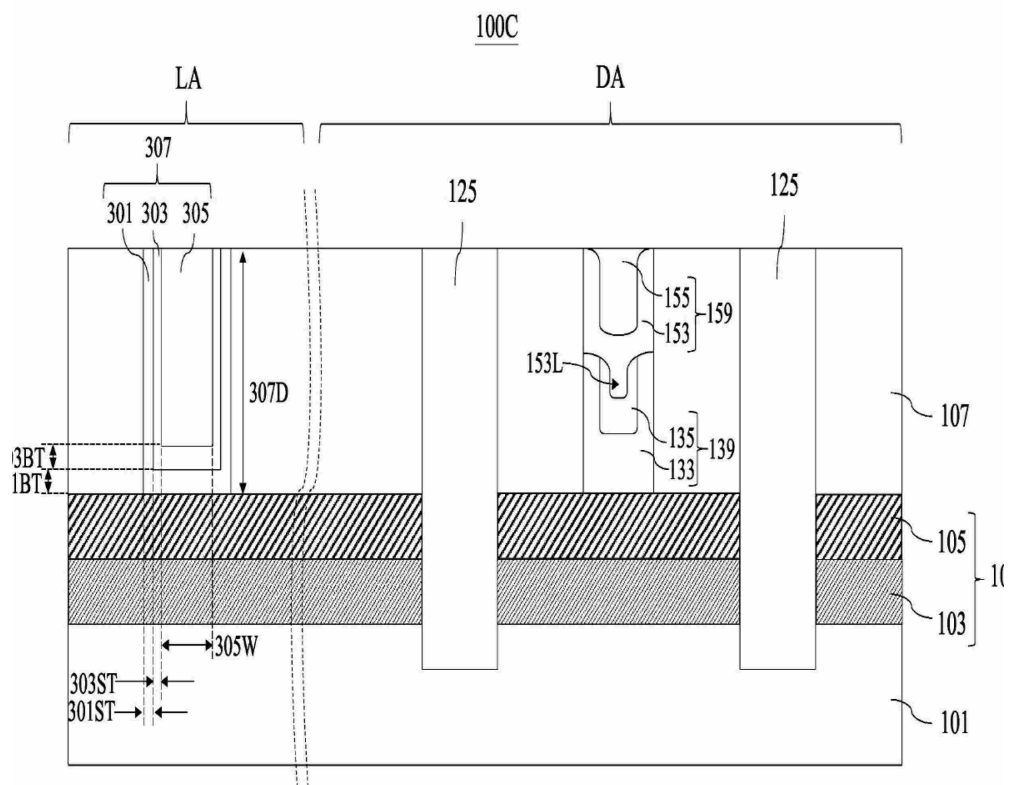
圖 22 為根據一些實施例之半導體元件的製備方法的流程圖。

(3)



【圖1】

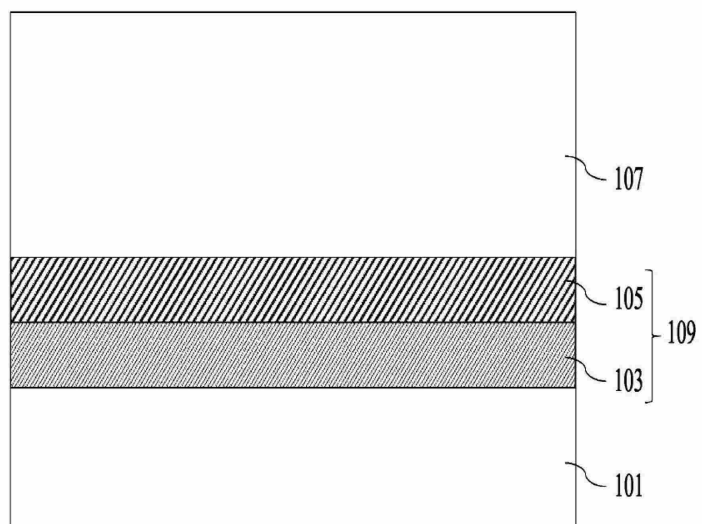
(5)



【圖3】

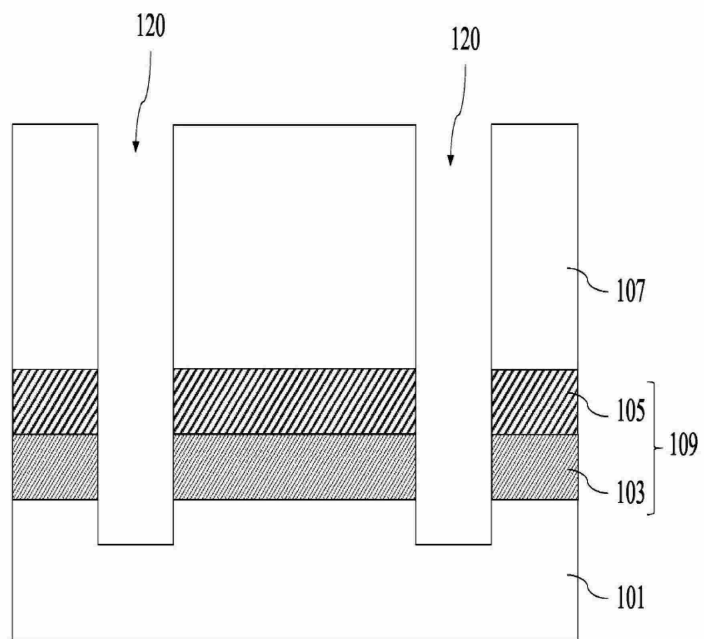
C270263DA.pdf

(6)



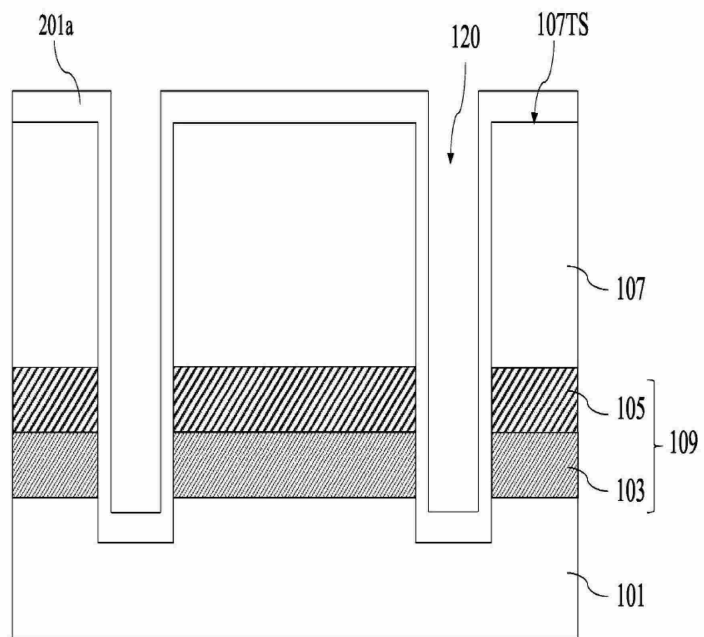
【圖4】

(7)



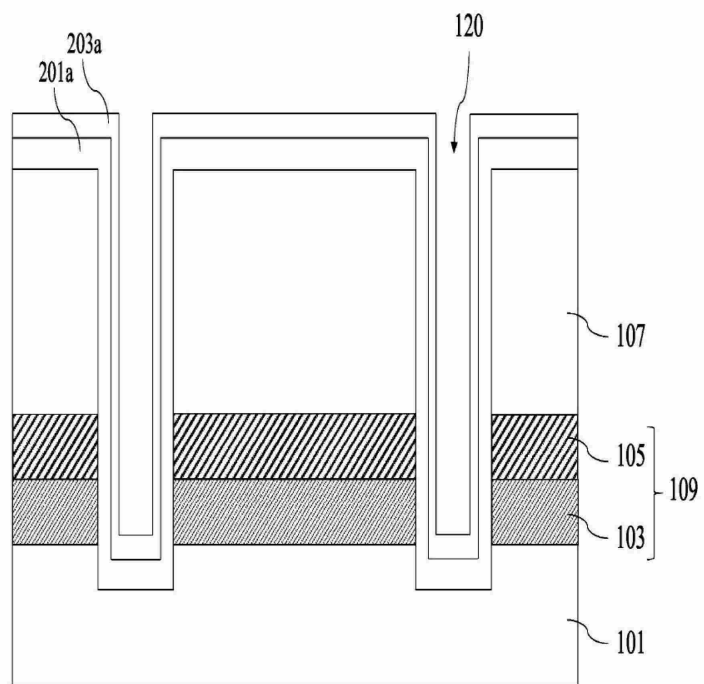
【圖5】

(8)



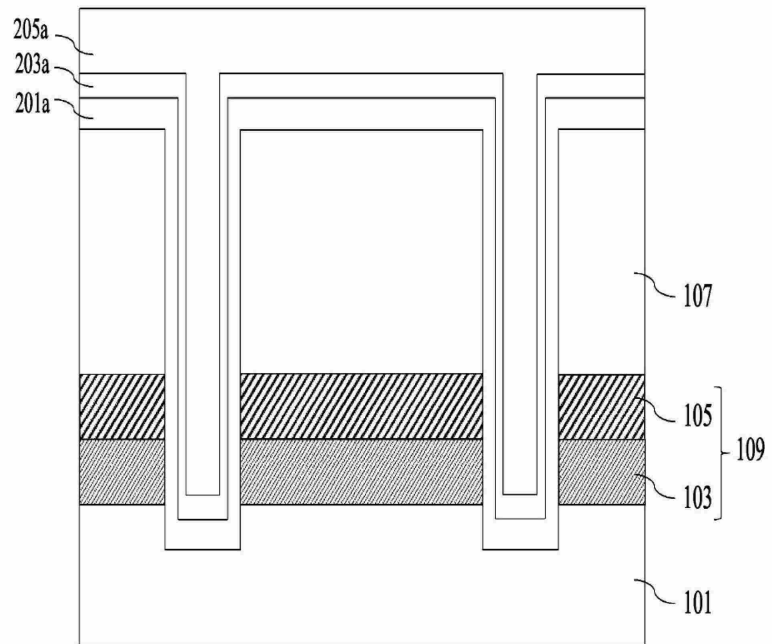
【圖6】

(9)



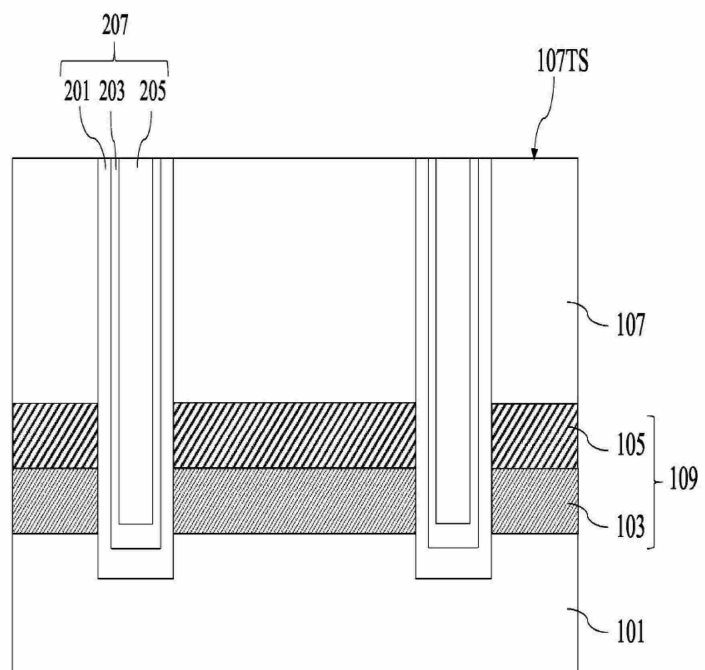
【圖7】

(10)



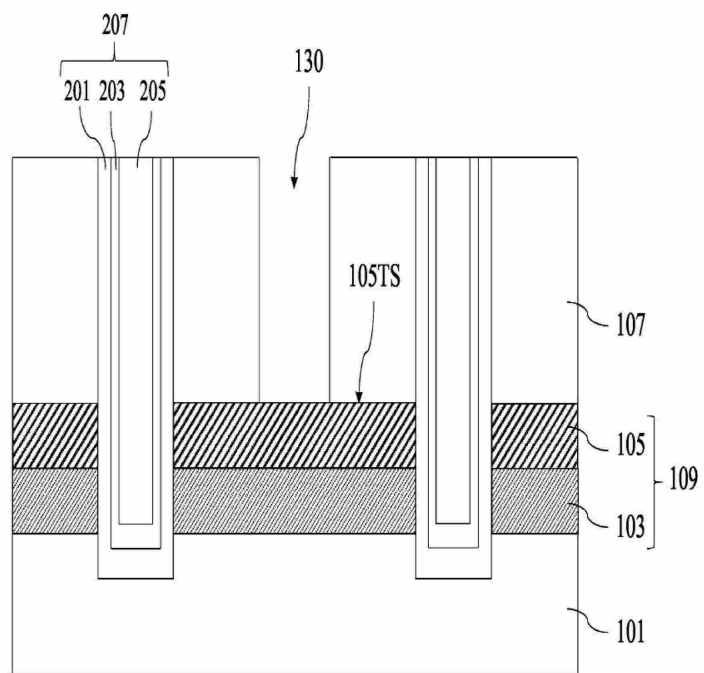
【圖8】

(11)



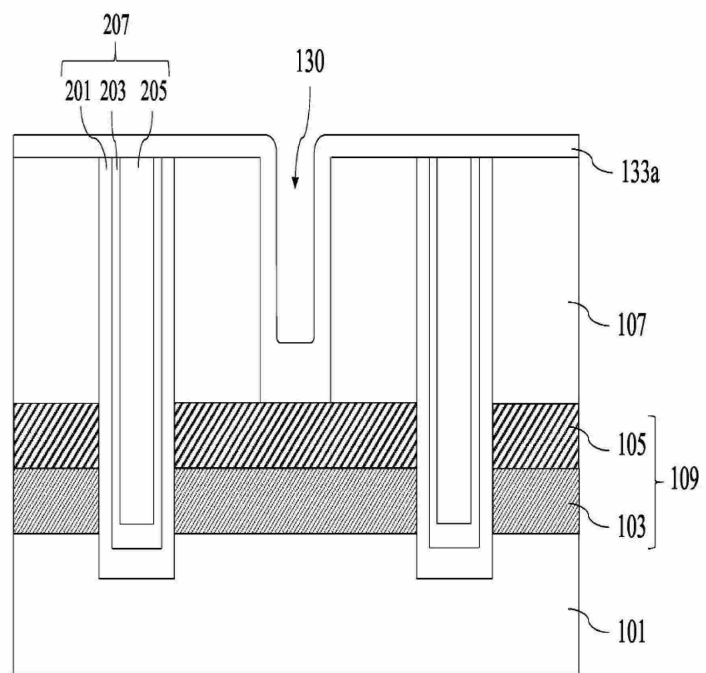
【圖9】

(12)



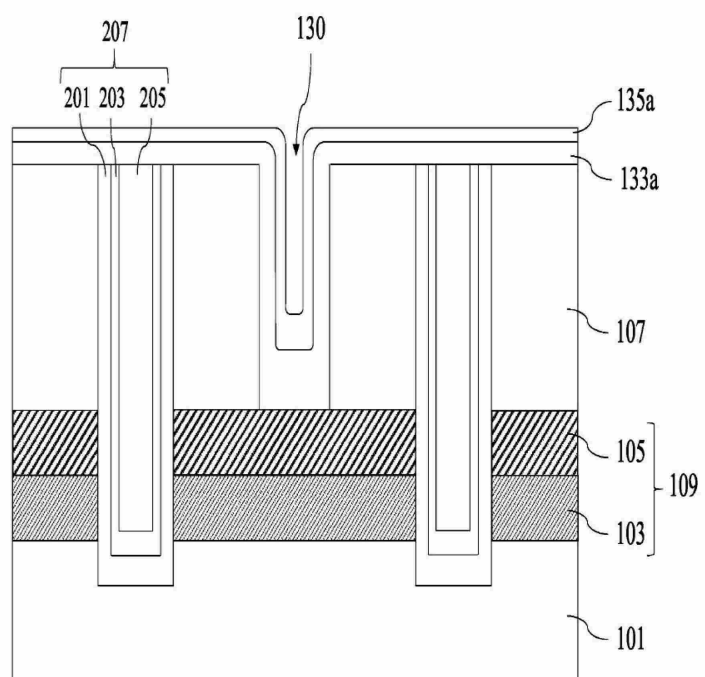
【圖10】

(13)



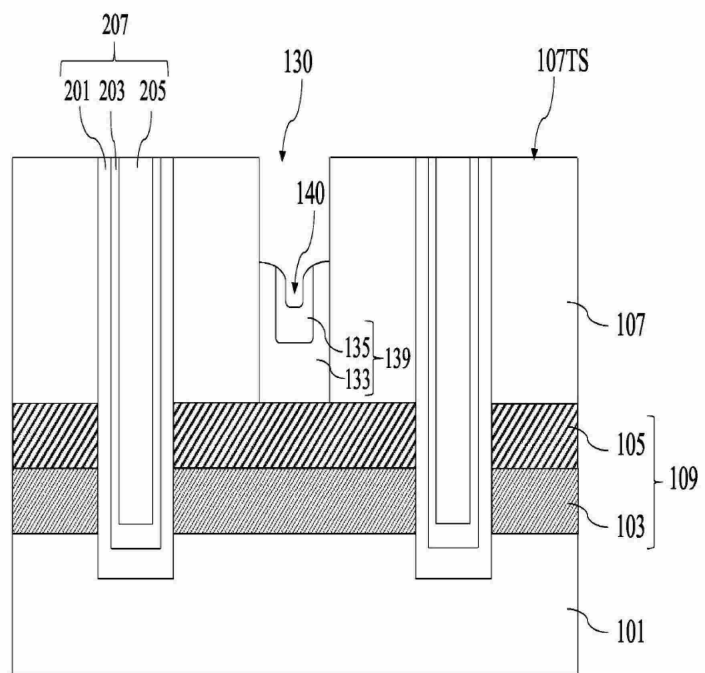
【圖11】

(14)



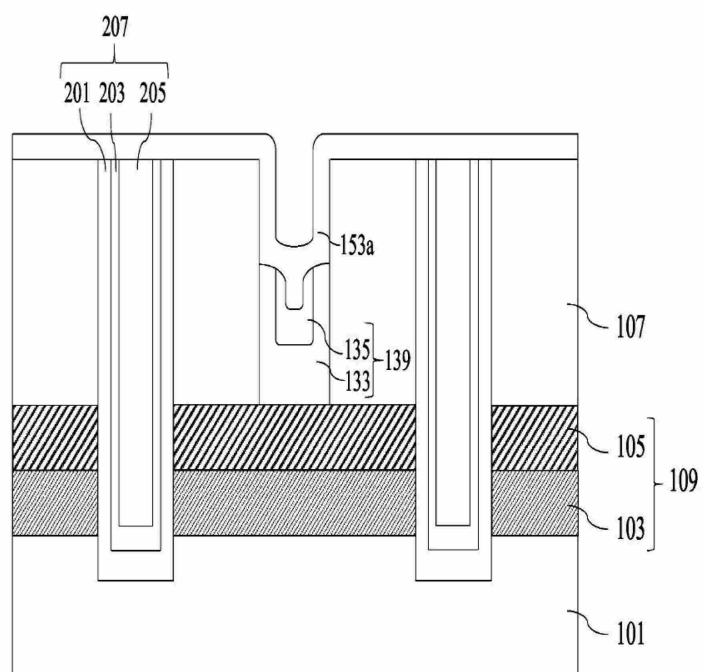
【圖12】

(15)



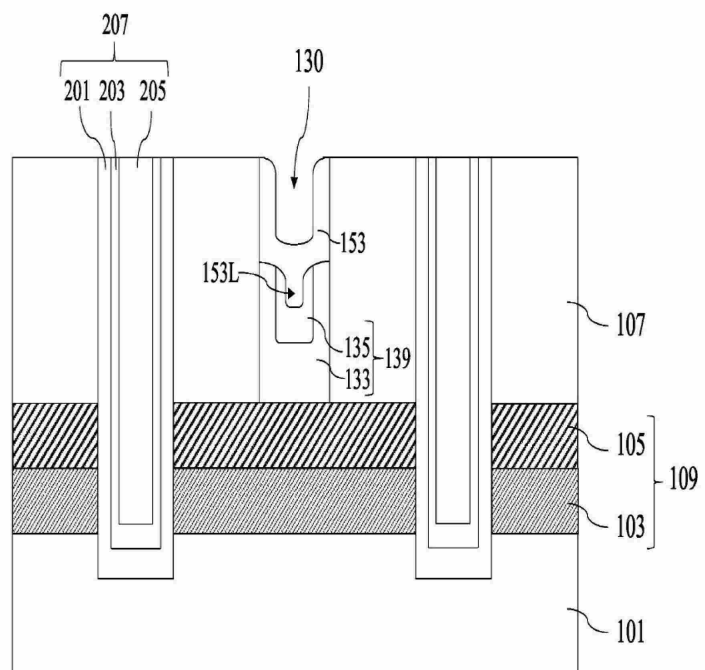
【圖13】

(16)



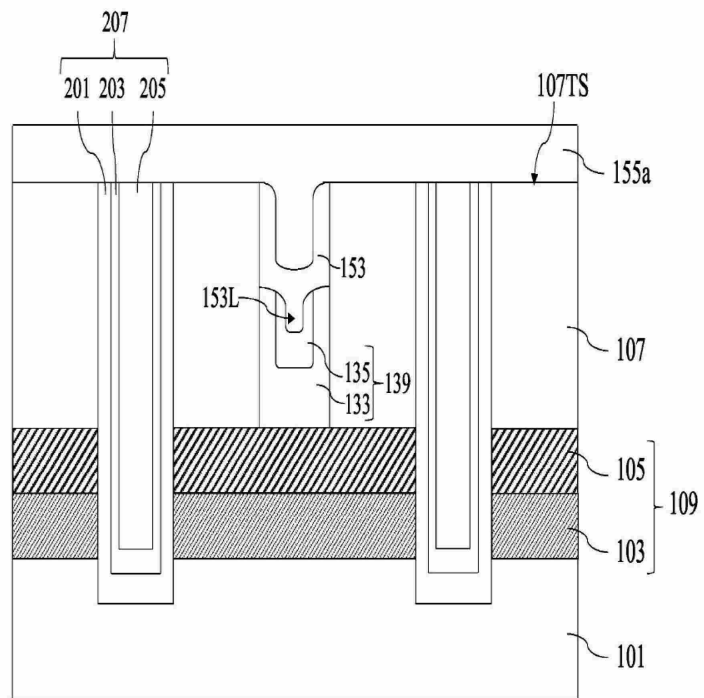
【圖14】

(17)

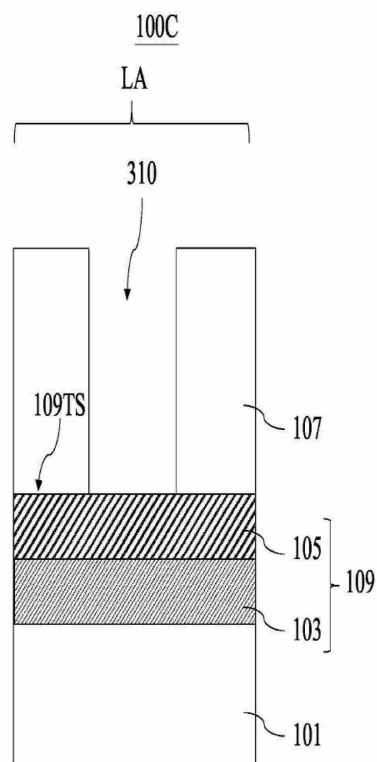


【圖15】

(18)

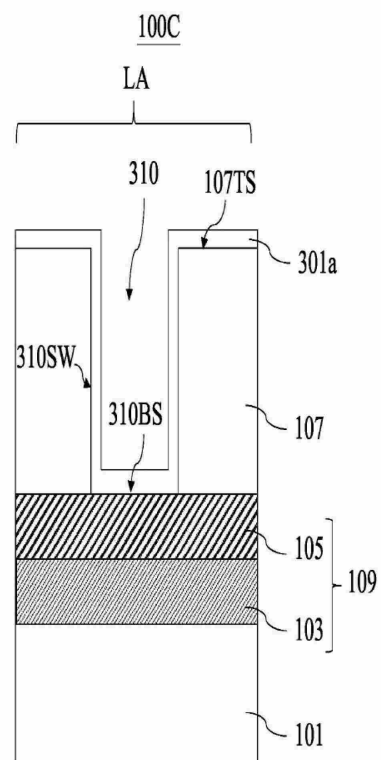


【圖16】



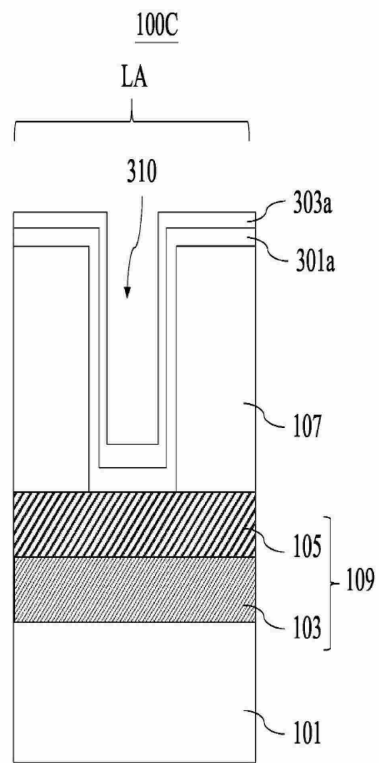
【圖17】

(20)



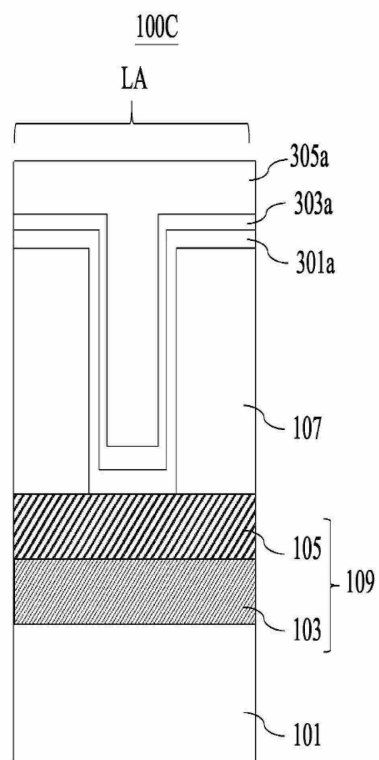
【圖18】

(21)



【圖19】

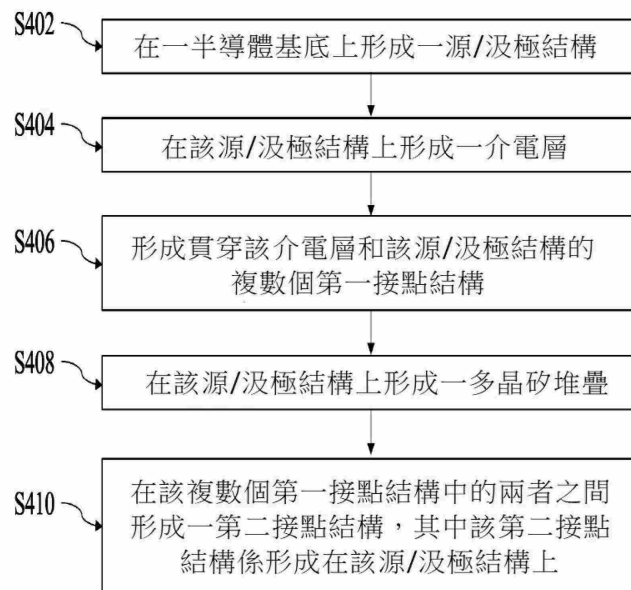
(22)



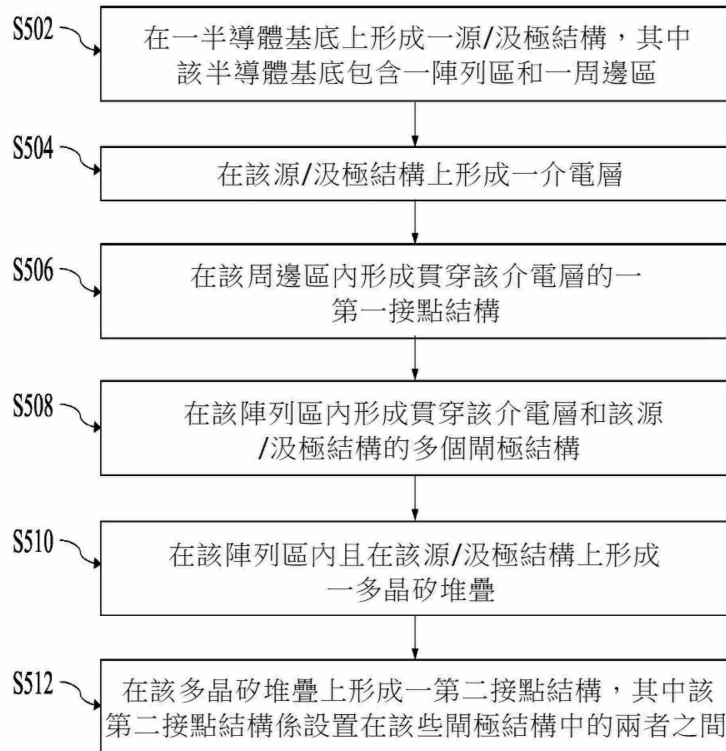
【圖20】

(23)

400



【圖21】



【圖22】