

【11】證書號數：I938905

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D30/60 (2025.01) H10D62/10 (2025.01)
H10D62/60 (2025.01)

發明

全 7 頁

【54】名稱：半導體元件

【21】申請案號：114111484

【22】申請日：中華民國 112 (2023) 年 12 月 12 日

【11】公開編號：202529566

【43】公開日期：中華民國 114 (2025) 年 07 月 16 日

【30】優先權：2022/12/14

美國

18/080,938

【72】發明人：馬約爾 伊格納西奧 (ES) MAYOL, IGNACIO CORTES

【71】申請人：美商茂力科技股份有限公司 MONOLITHIC POWER SYSTEMS, INC.
美國

【74】代理人：林志剛

【56】參考文獻：

TW 202226602A

TW 202236589A

審查人員：詹惟雯

【57】申請專利範圍

1. 一種半導體元件，包括：

一半導體層，該半導體層具有一第一導電類型；

一垂直路徑單元，該垂直路徑單元具有一第二導電類型，且從該半導體層的一上表面垂直地延伸至該半導體層中達到設定的一垂直路徑單元深度，該第二導電類型與該第一導電類型相反；

一第一類型深溝槽終端單元，橫向地緊鄰該垂直路徑單元設置，該第一類型深溝槽終端單元包括一第一深溝槽隔離結構以及具有該第二導電類型的一第一井區，其中該第一井區橫向地緊鄰該第一深溝槽隔離結構設置；以及

一第二類型深溝槽終端單元，包括一第二深溝槽隔離結構以及具有該第一導電類型的一第二井區，其中該第二深溝槽隔離結構橫向地緊鄰該第一類型深溝槽終端單元設置，且該第二井區橫向地緊鄰該第二深溝槽隔離結構設置。

2. 如請求項 1 所述之半導體元件，其中，當從與該半導體層的該上表面平行的一平面上觀察時，該垂直路徑單元具有封閉的平面幾何形狀。
3. 如請求項 1 所述之半導體元件，其中該第一深溝槽隔離結構設置於一第一深溝槽中，該第一深溝槽的一開口在該半導體層的該上表面，該第一深溝槽垂直地深入該半導體層中達到設定的一第一深溝槽深度，該第一深溝槽深度大於該垂直路徑單元深度。
4. 如請求項 3 所述之半導體元件，其中該第一深溝槽深度為該垂直路徑單元深度的 2~4 倍。
5. 如請求項 1 所述之半導體元件，其中，當從與該半導體層的該上表面平行的一平面上觀察時，該第一深溝槽隔離結構包圍該垂直路徑單元。
6. 如請求項 1 所述之半導體元件，其中該第一井區從該半導體層的該上表面垂直地延伸至該半導體層中達到設定的一第一井預定深度，該第一井預定深度小於該垂直路徑單元深度。

7. 如請求項 1 所述之半導體元件，其中該第二深溝槽隔離結構設置於一第二深溝槽中，該第二深溝槽的一開口在該半導體層的該上表面，該第二深溝槽垂直地深入該半導體層中達到設定的一第二深溝槽深度，該第二深溝槽深度大於該垂直路徑單元深度。
8. 如請求項 7 所述之半導體元件，其中該第二深溝槽深度為該垂直路徑單元深度的 2~4 倍。
9. 如請求項 7 所述之半導體元件，其中該第二井區從該半導體層的該上表面垂直地延伸至該半導體層中達到設定的一第二井預定深度，該第二井預定深度小於該第二深溝槽深度。
10. 如請求項 1 所述之半導體元件，其中，當從與該半導體層的該上表面平行的一平面上觀察時，該第二深溝槽隔離結構包圍該第一類型深溝槽終端單元。
11. 如請求項 1 所述之半導體元件，其中該垂直路徑單元包括：
 - 一第一內埋層，具有該第二導電類型且內埋於該半導體層中，其中該第一內埋層的一下表面實質上設置在該垂直單元深度；
 - 一第一外圍井區，具有該第二導電類型且形成在該半導體層中，其中該第一外圍井區從該半導體層的該上表面垂直地向下延伸至該半導體層中，以抵達並物理上接觸該第一內埋層；以及
 - 一路徑接觸區，具有該第二導電類型，且形成於該第一外圍井區中接近該半導體層的該上表面的位置。
12. 如請求項 1 所述之半導體元件，其中當一電壓施加或耦接至該第一井區時，該第一井區具有漸變的電壓或電位分布曲線。
13. 如請求項 1 所述之半導體元件，其中該第一井區包括複數個第二導電類型摻雜區，其中在該些第二導電類型摻雜區中，從緊鄰該第一深溝槽隔離結構的第二導電類型摻雜區往最遠離該第一深溝槽隔離結構的第二導電類型摻雜區，依此方向該些第二導電類型摻雜區依序具有漸小的一區域摻雜濃度。
14. 如請求項 1 所述之半導體元件，其中該第一井區包括複數個第二導電類型摻雜區，其中該些第二導電類型摻雜區中的每一者相對於該半導體層的該上表面具有一區域深度，且在該些第二導電類型摻雜區中，從緊鄰該第一深溝槽隔離結構的第二導電類型摻雜區往最遠離該第一深溝槽隔離結構的第二導電類型摻雜區，依此方向該些第二導電類型摻雜區依序具有漸小的該區域深度。
15. 如請求項 1 所述之半導體元件，其中該第二類型深溝槽終端單元進一步包括：
 - 一第二井接觸區，具有該第一導電類型，且形成於該第二井區中接近該半導體層的該上表面的位置。
16. 如請求項 1 所述之半導體元件，其中該第二類型深溝槽終端單元進一步包括：
 - 一第二內埋層，具有該第一導電類型，且內埋於該半導體層中在該第二井區之下，其中該第二內埋層的一下表面實質上設置在一預定內埋深度。
17. 如請求項 1 所述之半導體元件，進一步包括：
 - 一路徑單元金屬接觸結構，電性耦接至該垂直路徑單元及該第一井區，其中該路徑單元金屬接觸結構橫向地延伸以覆蓋該第一井區的一實質部分而用作一場效電板。
18. 如請求項 1 所述之半導體元件，進一步包括：
 - 一路徑單元金屬接觸結構，電性耦接至該垂直路徑單元；以及
 - 一第一井金屬接觸結構，電性耦接至該第一井區，其中一鎮流電阻耦接於該路徑單元金屬接觸結構及該第一井金屬接觸結構之間。
19. 如請求項 1 所述之半導體元件，其中該終端區進一步包括：
 - 一第二第一類型深溝槽終端單元，具有與該第一類型深溝槽終端單元相同的一結構，且設置於該第一類型深溝槽終端單元與該第二類型深溝槽終端單元之間。

20. 一種用於半導體元件的終端區結構，包括：

一垂直路徑單元，製作於一半導體層中，其中該垂直路徑單元從該半導體層的一上表面垂直地延伸至該半導體層中達到設定的一垂直路徑單元深度，其中該半導體層具有一第一導電類型，該垂直路徑單元具有一第二導電類型，該第二導電類型與該第一導電類型相反；

一個或複數個第一類型深溝槽終端單元，設置於該垂直路徑單元旁且彼此並列，其中每一個第一類型深溝槽終端單元包括一第一深溝槽隔離結構以及一第一井區，其中該第一井區橫向地緊鄰該第一深溝槽隔離結構設置；以及

一第二類型深溝槽終端單元，包括一第二深溝槽隔離結構以及一第二井區，且該第二井區橫向地緊鄰該第二深溝槽隔離結構設置，其中該第二深溝槽隔離結構設置於該一個或複數個第一類型深溝槽終端單元旁。

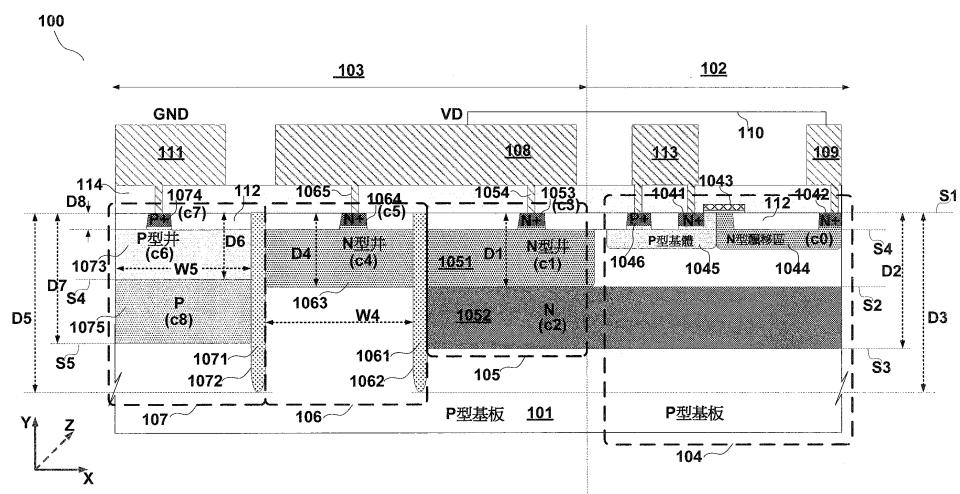
21. 如請求項 20 所述之終端區結構，其中該第二深溝槽隔離結構設置於一第二深溝槽中，該第二深溝槽自該半導體層的該上表面垂直地深入該半導體層中達到設定的一第二深溝槽深度，該第二深溝槽深度大於該垂直路徑單元深度。
22. 如請求項 20 所述之終端區結構，其中該第二井區具有一第一導電類型。
23. 如請求項 20 所述之終端區結構，其中該第二深溝槽隔離結構橫向地緊鄰該一個或複數個第一類型深溝槽終端單元中距離該垂直路徑單元最遠的第一類型深溝槽終端單元設置。
24. 如請求項 20 所述之終端區結構，其中該一個或複數個第一類型深溝槽終端單元中每一者的該第一深溝槽隔離結構設置於一第一深溝槽中，該第一深溝槽的一開口在該半導體層的該上表面，該第一深溝槽垂直地深入該半導體層中達到設定的一第一深溝槽深度，該第一深溝槽深度大於該垂直路徑單元深度。
25. 如請求項 20 所述之終端區結構，其中當一電壓施加或耦接至該第一井區時，該些一個或複數個第一類型深溝槽終端單元中每一者的該第一井區具有漸變的電壓或電位分布曲線。

圖式簡單說明

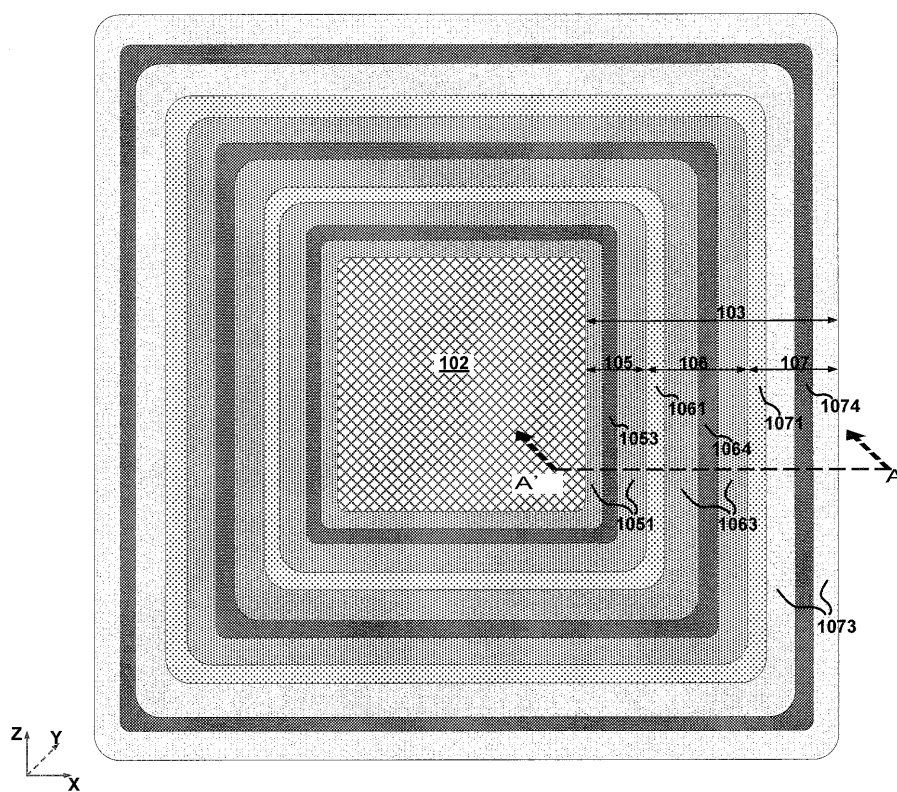
為了更好的理解本揭露之實施例，將根據以下附圖對本揭露進行詳細描述。其中相同的元件具有相同的附圖標誌。以下附圖僅用於說明，因此可能僅繪示裝置的一部分，並且不一定按實際比例繪製。

- [第 1 圖]繪示了根據本揭露一實施例的半導體元件 100 的截面圖。
- [第 2 圖]繪示了根據本揭露一實施例的半導體元件 100 的俯視圖。
- [第 3 圖]繪示了根據本揭露一實施例的半導體元件 200 的截面圖。
- [第 4 圖]繪示了根據本揭露一實施例的半導體元件 300 的截面圖。
- [第 5 圖]繪示了根據本揭露一實施例的半導體元件 400 的截面圖。
- [第 6 圖]繪示了根據本揭露一實施例的半導體元件 500 的截面圖。
- [第 7 圖]繪示了根據本揭露一實施例的半導體元件 600 的截面圖。
- [第 8 圖]繪示了根據本揭露一實施例的半導體元件 700 的截面圖。

(4)

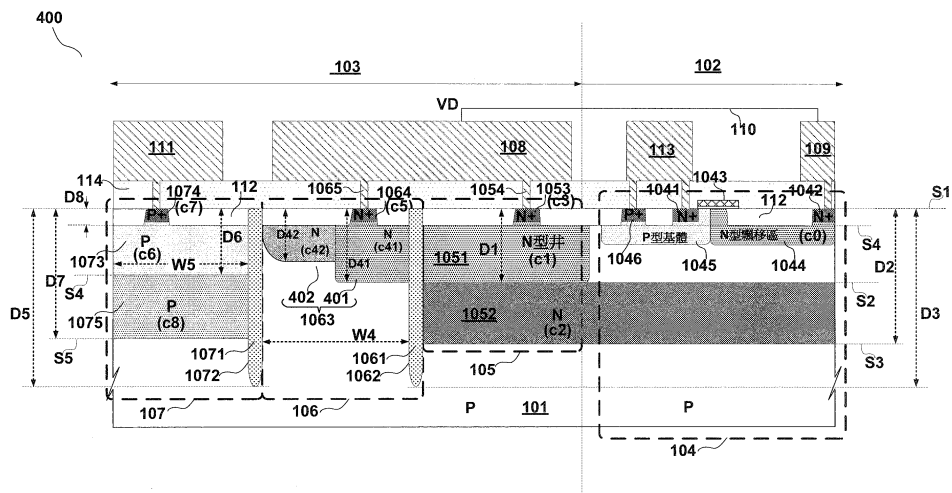


【第 1 圖】

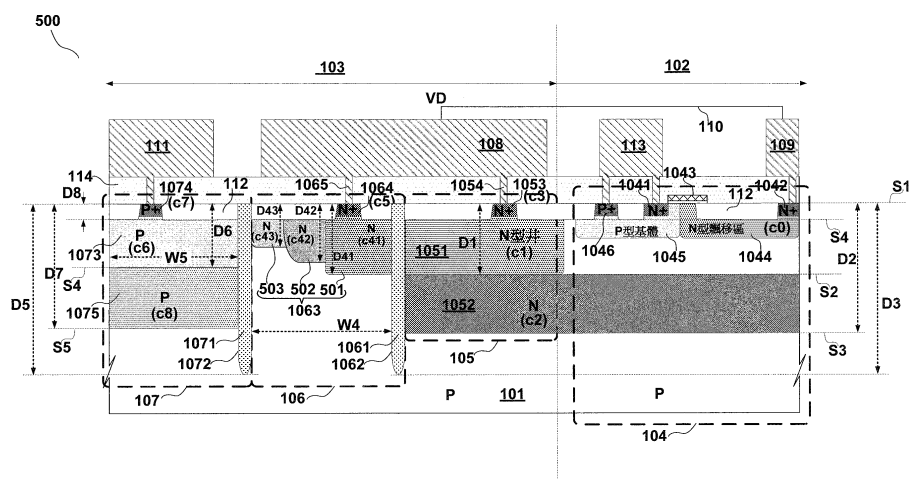


【第 2 圖】

(6)

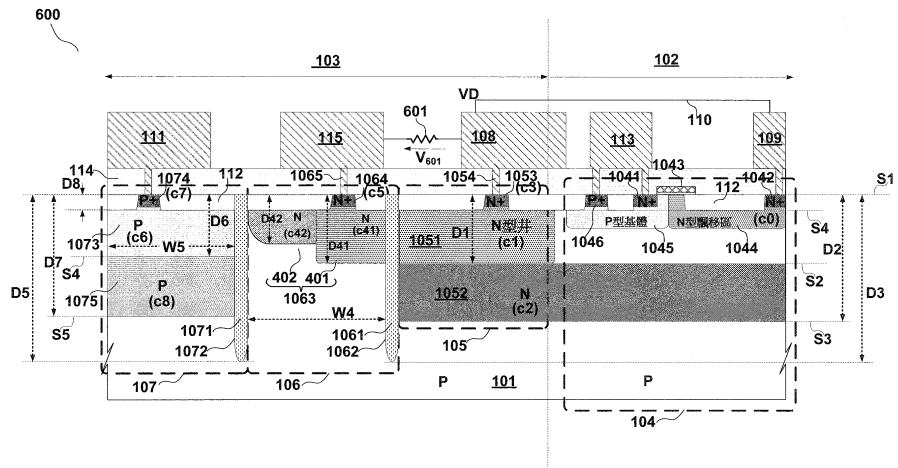


【第5圖】

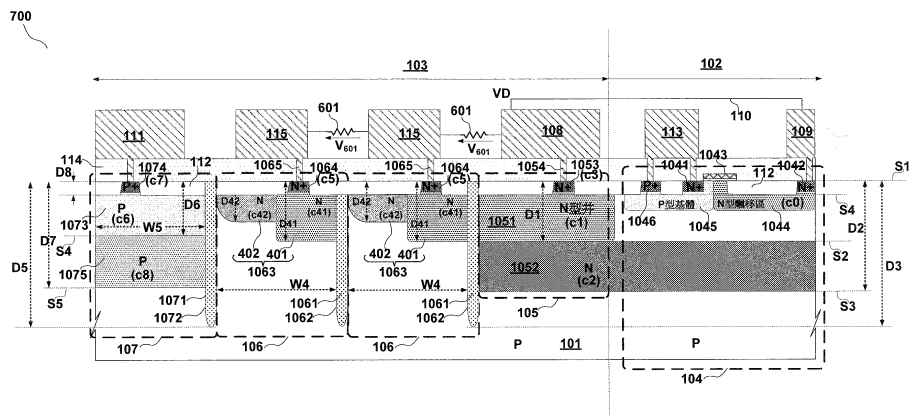


【第6圖】

(7)



【第7圖】



【第8圖】