

【11】證書號數：I938915

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B12/00 (2023.01) H10D30/67 (2025.01)

發明

全 70 頁

【54】名稱：半導體裝置及電子裝置

【21】申請案號：114112035

【22】申請日：中華民國 109 (2020) 年 08 月 31 日

【11】公開編號：202602212

【43】公開日期：中華民國 115 (2026) 年 01 月 01 日

【30】優先權：2019/10/31

日本

2019-199005

2019/11/11

日本

2019-203738

2019/11/18

日本

2019-208041

2019/11/29

日本

2019-216249

2019/12/20

日本

2019-230250

【72】發明人：山崎舜平 (JP) YAMAZAKI, SHUNPEI；木村肇 (JP) KIMURA, HAJIME；國武寬司 (JP) KUNITAKE, HITOSHI

【71】申請人：日商半導體能源研究所股份有限 SEMICONDUCTOR ENERGY
公司 LABORATORY CO., LTD.
日本

【74】代理人：林志剛

【56】參考文獻：

TW 201812760A

TW 201843815A

TW 201913896A

JP 2018-207038A

US 2017/0271341A1

US 2019/0066751A1

US 2019/0296023A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種半導體裝置，包含：

多個第一開口部，彼此相鄰配置；

多個第一電晶體，彼此相鄰配置；

多個第二電晶體，在該多個第一電晶體之上；

多個第三電晶體，在該多個第二電晶體之上；以及

多個第一電容器，其中，該多個第一電容器中的一者圍繞該多個第三電晶體中的一者；

其中，該多個第二電晶體中的一者被填充至該多個第一開口部中的一者中；

其中，該多個第三電晶體中的一者被填充至該多個第一開口部中的該一者中；

其中，該多個第二電晶體中的一者的源極與汲極中的一者電連接至該多個第三電晶體中的一者的閘極電極及該多個第一電容器中的一者的一個電極；以及

其中，配置以用作該多個第三電晶體中的該一者的該閘極電極的第一導電體及包含於該多個第一電容器中的該一者中的第一絕緣體係垂直延伸且彼此相互平行。

2. 一種半導體裝置，包含：

多個第一開口部，彼此相鄰配置；

多個第一電晶體，彼此相鄰配置；

多個第二電晶體，在該多個第一電晶體之上；

(2)

多個第三電晶體，在該多個第二電晶體之上；
多個第一電容器，其中，該多個第一電容器中的一者圍繞該多個第三電晶體中的一者；
多個第四電晶體，在該多個第三電晶體之上；
多個第五電晶體，在該多個第四電晶體之上；以及
多個第二電容器，其中，該多個第二電容器中的一者圍繞該多個第五電晶體中的一者；
其中，該多個第二電晶體中的一者被填充至該多個第一開口部中的一者中；
其中，該多個第三電晶體中的一者被填充至該多個第一開口部中的該一者中；
其中，該多個第四電晶體中的一者被填充至該多個第一開口部中的一者中；
其中，該多個第五電晶體中的一者被填充至該多個第一開口部中的該一者中；
其中，該多個第二電晶體中的一者的源極與汲極中的一者電連接至該多個第三電晶體中的一者的閘極電極、該多個第一電容器中的一者的一個電極及該多個第四電晶體中的一者的源極與汲極中的一者；
其中，該多個第四電晶體中的該一者的該源極與該汲極中的另一者電連接至該多個第五電晶體中的一者的閘極電極及該多個第二電容器中的一者的一個電極；
其中，配置以用作該多個第三電晶體中的該一者的該閘極電極的第一導電體及與該多個第一電容器中的該一者的該一個電極和該多個第一電容器中的該一者的另一個電極接觸的第一絕緣體係垂直延伸且彼此相互平行；以及
其中，配置以用作該多個第五電晶體中的該一者的該閘極電極的第二導電體及與該多個第二電容器中的該一者的該一個電極和該多個第二電容器中的該一者的另一個電極接觸的第二絕緣體係垂直延伸且彼此相互平行。

3. 一種半導體裝置，包含：

多個第一開口部，彼此相鄰配置；
多個第一電晶體，彼此相鄰配置；
多個第二電晶體，在該多個第一電晶體之上；
多個第三電晶體，在該多個第二電晶體之上；
多個第一電容器，其中，該多個第一電容器中的一者相鄰該多個第三電晶體中的一者；
多個第四電晶體，在該多個第三電晶體之上；
多個第五電晶體，在該多個第四電晶體之上；以及
多個第二電容器，其中，該多個第二電容器中的一者相鄰該多個第五電晶體中的一者；
其中，該多個第二電晶體中的一者被填充至該多個第一開口部中的一者中；
其中，該多個第三電晶體中的一者被填充至該多個第一開口部中的該一者中；
其中，該多個第四電晶體中的一者被填充至該多個第一開口部中的一者中；
其中，該多個第五電晶體中的一者被填充至該多個第一開口部中的該一者中；
其中，該多個第二電晶體中的一者的源極與汲極中的一者電連接至該多個第三電晶體中的一者的第一閘極電極、該多個第一電容器中的一者的一個電極及該多個第四電晶體中的一者的源極與汲極中的一者；
其中，該多個第四電晶體中的該一者的該源極與該汲極中的另一者電連接至該多個第五電晶體中的一者的第一閘極電極及該多個第二電容器中的一者的一個電極；
其中，該多個第三電晶體中的該一者的第二閘極電極電連接至該多個第五電晶體中的該一者的第二閘極電極；

其中，配置以用作該多個第三電晶體中的該一者的該閘極電極的第一導電體及包含於該多個第一電容器中的該一者中的第一絕緣體係垂直延伸且彼此相互平行；以及

其中，配置以用作該多個第五電晶體中的該一者的該閘極電極的第二導電體及包含於該多個第二電容器中的該一者中的第二絕緣體係垂直延伸且彼此相互平行。

4. 一種半導體裝置，包含：

多個第一開口部，彼此相鄰配置；

多個第一電晶體，彼此相鄰配置；

多個第二電晶體，在該多個第一電晶體之上；

多個第三電晶體，在該多個第二電晶體之上；以及

多個第一電容器，其中，該多個第一電容器中的一者圍繞該多個第三電晶體中的一者；

其中，該多個第二電晶體中的一者被填充至該多個第一開口部中的一者中；

其中，該多個第三電晶體中的一者被填充至該多個第一開口部中的該一者中；

其中，該多個第二電晶體中的一者的源極與汲極中的一者電連接至該多個第三電晶體中的一者的閘極電極及該多個第一電容器中的一者的一個電極；

其中，配置以用作該多個第三電晶體中的該一者的該閘極電極的第一導電體及包含於該多個第一電容器中的該一者中的第一絕緣體係垂直延伸且彼此相互平行；以及

其中，配置以用作該多個第二電晶體中的該一者的閘極電極的第二導電體與配置以用作該多個第一電容器中的該一者的另一個電極的第三導電體重疊。

5. 一種半導體裝置，包含：

多個第一開口部，彼此相鄰配置；

多個第一電晶體，彼此相鄰配置；

多個第二電晶體，在該多個第一電晶體之上；

多個第三電晶體，在該多個第二電晶體之上；以及

多個第一電容器，其中，該多個第一電容器中的一者圍繞該多個第三電晶體中的一者；

其中，該多個第二電晶體中的一者被填充至該多個第一開口部中的一者中；

其中，該多個第三電晶體中的一者被填充至該多個第一開口部中的該一者中；

其中，該多個第二電晶體中的一者的源極與汲極中的一者電連接至該多個第三電晶體中的一者的閘極電極及該多個第一電容器中的一者的一個電極；

其中，該多個第一電晶體中的一者在通道形成區域中包含矽；

其中，該多個第二電晶體中的該一者在通道形成區域中包含氧化物半導體；

其中，該多個第三電晶體中的該一者在通道形成區域中包含氧化物半導體；以及

其中，配置以用作該多個第三電晶體中的該一者的該閘極電極的第一導電體及包含於該多個第一電容器中的該一者中的第一絕緣體係垂直延伸且彼此相互平行。

6. 一種半導體裝置，包含：

多個第一開口部，彼此相鄰配置；

多個第一電晶體，彼此相鄰配置；

多個第二電晶體，在該多個第一電晶體之上；

多個第三電晶體，在該多個第二電晶體之上；以及

多個第一電容器，其中，該多個第一電容器中的一者圍繞該多個第三電晶體中的一者；

其中，該多個第二電晶體中的一者被填充至該多個第一開口部中的一者中；

其中，該多個第三電晶體中的一者被填充至該多個第一開口部中的該一者中；

(4)

其中，該多個第二電晶體中的一者的源極與汲極中的一者電連接至該多個第三電晶體中的一者的閘極電極及該多個第一電容器中的一者的一個電極；

其中，該多個第一電晶體中的一者在通道形成區域中包含單晶矽；

其中，該多個第二電晶體中的該一者在通道形成區域中包含矽；

其中，該多個第三電晶體中的該一者在通道形成區域中包含氧化物半導體；以及

其中，配置以用作該多個第三電晶體中的該一者的該閘極電極的第一導電體及包含於該多個第一電容器中的該一者中的第一絕緣體係垂直延伸且彼此相互平行。

7. 一種半導體裝置，包含：

第一電路，該第一電路包含：

多個平面型電晶體，彼此相鄰配置；以及

記憶單元，在該第一電路之上，該記憶單元包含：

第一電晶體；

第二電晶體；以及

第一電容器；

其中，該第一電晶體的源極與汲極中的一者電連接至該第一電容器的一個電極及該第二電晶體的閘極；

其中，該多個平面型電晶體形成在矽基板上；

其中，第一半導體在垂直於該矽基板的方向上延伸，而不在平行於該矽基板的頂面的方向上延伸；

其中，第二半導體在垂直於該矽基板的該方向上延伸；

其中，該第一半導體包含該第一電晶體的通道形成區域；以及

其中，該第二半導體包含該第二電晶體的通道形成區域。

8. 一種半導體裝置，包含：

第一電路，該第一電路包含：

多個平面型電晶體，彼此相鄰配置；以及

記憶單元，在該第一電路之上，該記憶單元包含：

第一電晶體；

第二電晶體；以及

第一電容器；

其中，該第一電晶體的源極與汲極中的一者電連接至該第一電容器的一個電極及該第二電晶體的閘極；

其中，該多個平面型電晶體形成在半導體基板上；

其中，第一半導體在垂直於該半導體基板的方向上延伸，而不在平行於該半導體基板的頂面的方向上延伸；

其中，第二半導體在垂直於該半導體基板的該方向上延伸；

其中，該第一半導體包含該第一電晶體的通道形成區域；

其中，該第二半導體包含該第二電晶體的通道形成區域；以及

其中，該第一半導體及該第二半導體中的至少一者包含氧化物半導體。

9. 一種半導體裝置，包含：

第一電路，該第一電路包含：

多個電晶體，彼此相鄰配置；以及

記憶單元，在該第一電路之上，該記憶單元包含：

第一電晶體；

第二電晶體；以及

第一電容器；

其中，該第一電晶體的源極與汲極中的一者電連接至該第一電容器的一個電極及該第二電晶體的閘極；

其中，該多個電晶體中的一個電晶體的通道形成區域設置在半導體基板中；

其中，該多個電晶體中的該電晶體的該通道形成區域在第一方向上延伸；

其中，第一半導體在與該第一方向交叉的第二方向上延伸，而不在該第一方向上延伸；

其中，第二半導體在該第二方向上延伸；

其中，該第一半導體包含該第一電晶體的通道形成區域；

其中，該第二半導體包含該第二電晶體的通道形成區域；以及

其中，該第一半導體及該第二半導體中的至少一者包含氧化物半導體。

10. 一種半導體裝置，包含：

第一電路，該第一電路包含：

多個平面型電晶體，彼此相鄰配置；以及

記憶單元，在該第一電路之上，該記憶單元包含：

第一電晶體；

第二電晶體；以及

第一電容器；

其中，該第一電晶體的源極與汲極中的一者電連接至該第一電容器的一個電極及該第二電晶體的閘極；

其中，該多個平面型電晶體形成在矽基板上；

其中，第一半導體在垂直於該矽基板的方向上延伸，而不在平行於該矽基板的頂面的方向上延伸；

其中，第二半導體在垂直於該矽基板的該方向上延伸；

其中，該第一半導體包含該第一電晶體的通道形成區域；

其中，該第二半導體包含該第二電晶體的通道形成區域；

其中，該第一半導體具有柱狀的形狀；以及

其中，該第二半導體具有柱狀的形狀。

11. 一種半導體裝置，包含：

第一電路，該第一電路包含：

多個平面型電晶體，彼此相鄰配置；以及

記憶單元，在該第一電路之上，該記憶單元包含：

第一電晶體；

第二電晶體；以及

第一電容器；

其中，該第一電晶體的源極與汲極中的一者電連接至該第一電容器的一個電極及該第二電晶體的閘極；

其中，該多個平面型電晶體形成在矽基板上；

其中，第一半導體在垂直於該矽基板的方向上延伸，而不在平行於該矽基板的頂面的方向上延伸；

其中，第二半導體在垂直於該矽基板的該方向上延伸；

其中，該第一半導體包含該第一電晶體的通道形成區域；

其中，該第二半導體包含該第二電晶體的通道形成區域；

其中，第一導電體包含配置以用作該第一電容器的另一電極的區域；

其中，該第一導電體在平行於該矽基板的該頂面的方向上延伸；

其中，第二導電體包含配置以用作該第一電晶體的閘極的區域；以及

其中，該第二導電體在平行於該矽基板的該頂面的該方向上延伸。

圖式簡單說明

在圖式中：

[圖 1A]是記憶單元的立體圖，[圖 1B]是記憶單元的剖面圖；

[圖 2A]和[圖 2B]是記憶單元的剖面圖；

[圖 3A]和[圖 3B]是記憶單元的剖面圖；

[圖 4A]至[圖 4C]是記憶單元的等效電路圖；

[圖 5A]和[圖 5B]是記憶單元的等效電路圖；

[圖 6]是記憶體串的剖面圖；

[圖 7]是記憶體串的等效電路圖；

[圖 8]是記憶體串的等效電路圖；

[圖 9]是記憶體串的等效電路圖；

[圖 10]是記憶體串的等效電路圖；

[圖 11A]和[圖 11B]是記憶體串的俯視圖；

[圖 12A]和[圖 12B]是記憶單元的剖面圖；

[圖 13A]和[圖 13B]是記憶單元的剖面圖；

[圖 14]是記憶單元的剖面圖；

[圖 15]是記憶單元的剖面圖；

[圖 16A]和[圖 16B]是記憶單元的剖面圖；

[圖 17A]和[圖 17B]是記憶單元的剖面圖；

[圖 18A]是記憶單元的立體圖，[圖 18B]是記憶單元的剖面圖；

[圖 19A]是記憶單元的立體圖，[圖 19B]是記憶單元的剖面圖；

[圖 20A]和[圖 20B]是記憶單元的剖面圖；

[圖 21]是記憶單元的剖面圖；

[圖 22A]和[圖 22B]是記憶單元的剖面圖；

[圖 23A]和[圖 23B]是記憶單元的剖面圖；

[圖 24A]和[圖 24B]是記憶單元的剖面圖；

[圖 25A]和[圖 25B]是記憶單元的剖面圖；

[圖 26]是記憶體串的俯視圖；

[圖 27A]是說明氧化物半導體的晶體結構的分類的圖，[圖 27B]是說明 CAAC-IGZO 膜的 XRD 譜圖的圖，[圖 27C]是說明 CAAC-IGZO 膜的奈米束電子繞射圖案的圖，

[圖 28A]和[圖 28B]是說明記憶單元的製造方法的剖面圖；

[圖 29A]和[圖 29B]是說明記憶單元的製造方法的剖面圖；

[圖 30A]和[圖 30B]是說明記憶單元的製造方法的剖面圖；

[圖 31A]和[圖 31B]是說明記憶單元的製造方法的剖面圖；

[圖 32A]和[圖 32B]是說明記憶單元的製造方法的剖面圖；

[圖 33A]和[圖 33B]是說明記憶單元的製造方法的剖面圖；

[圖 34A]是說明記憶單元的製造方法的剖面圖，[圖 34B]是說明記憶單元的製造方法的立體圖；

[圖 35A]和[圖 35B]是說明記憶單元的製造方法的剖面圖；

[圖 36A]和[圖 36B]是說明記憶單元的製造方法的剖面圖；

[圖 37]是半導體裝置的電路圖；

[圖 38A]和[圖 38B]是說明半導體裝置的工作例子的時序圖；

(7)

[圖 39A]是說明半導體裝置的結構例子的立體圖，[圖 39B]是說明半導體裝置的結構例子的俯視圖，[圖 39C]是說明半導體裝置的結構例子的剖面圖；

[圖 40A]是說明半導體裝置的結構例子的立體圖，[圖 40B]是說明半導體裝置的結構例子的俯視圖，[圖 40C]是說明半導體裝置的結構例子的剖面圖；

[圖 41A]和[圖 41B]是說明半導體裝置的剖面圖；

[圖 42A]和[圖 42B]是說明半導體裝置的剖面圖；

[圖 43]是說明半導體裝置的結構例子的方塊圖，

[圖 44A]至[圖 44G]是說明記憶單元的電路結構例子的圖；

[圖 45A]和[圖 45B]是說明記憶單元的電路結構例子的圖；

[圖 46A]至[圖 46C]是說明半導體裝置的結構例子的立體圖；

[圖 47A]是示出半導體晶圓的一個例子的立體圖，[圖 47B]是示出半導體晶片的一個例子的立體圖，[圖 47C]和[圖 47D]是示出電子部件的一個例子的立體圖；

[圖 48]是說明 CPU 的方塊圖；

[圖 49A]和[圖 49B]是半導體裝置的立體圖；

[圖 50A]和[圖 50B]是半導體裝置的立體圖；

[圖 51A]和[圖 51B]是半導體裝置的立體圖；

[圖 52A]和[圖 52B]是示出各級類記憶體裝置的圖；

[圖 53A]至[圖 53J]是說明電子裝置的一個例子的立體圖或示意圖；

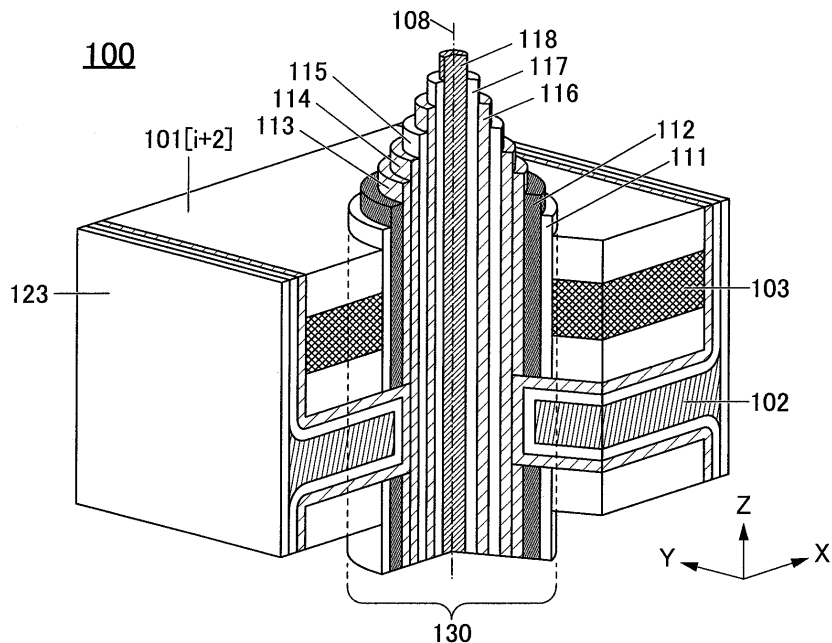
[圖 54A]至[圖 54E]是說明電子裝置的一個例子的立體圖或示意圖；

[圖 55A]至[圖 55C]是說明電子裝置的一個例子的圖；

[圖 56]是說明電腦系統的結構例子的圖；

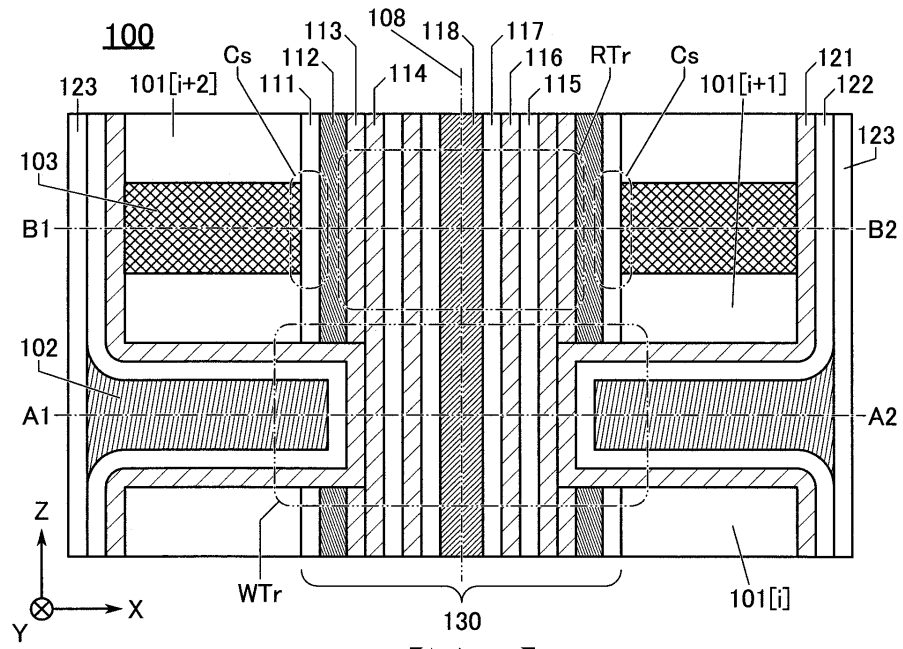
[圖 57]是示出 IoT 網路的級別結構及需求規格的圖；

[圖 58]是工廠自動化的示意圖。

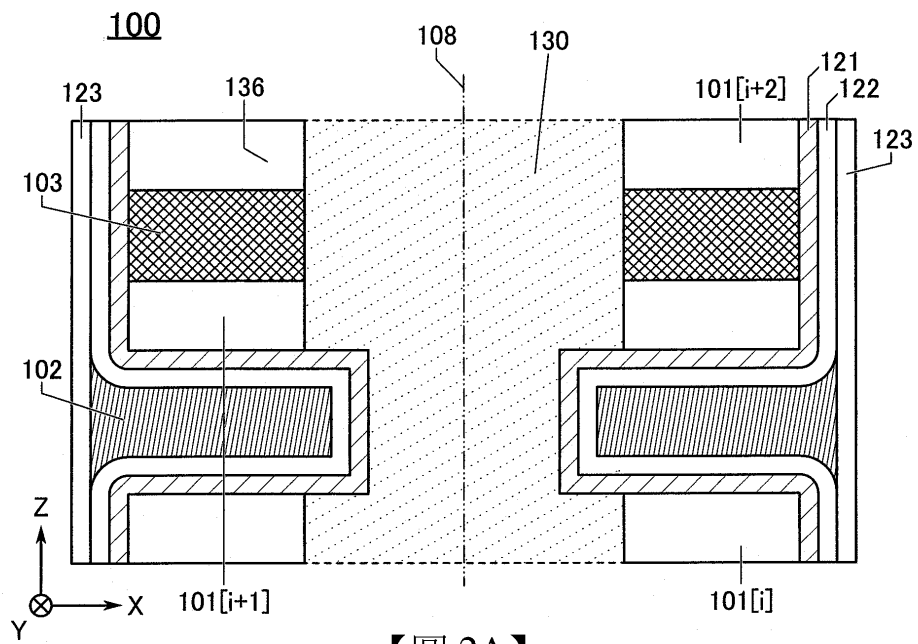


【圖 1A】

(8)

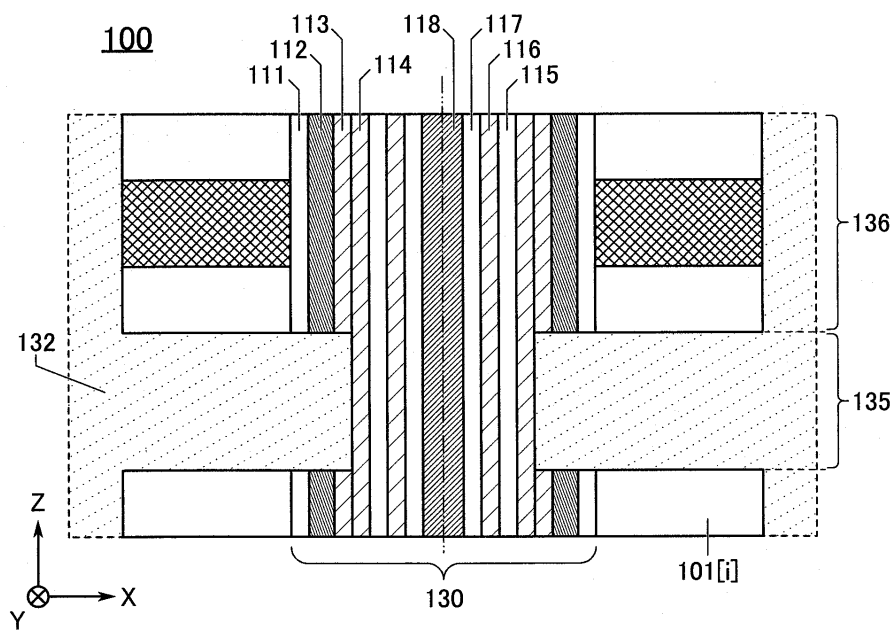


【圖 1B】

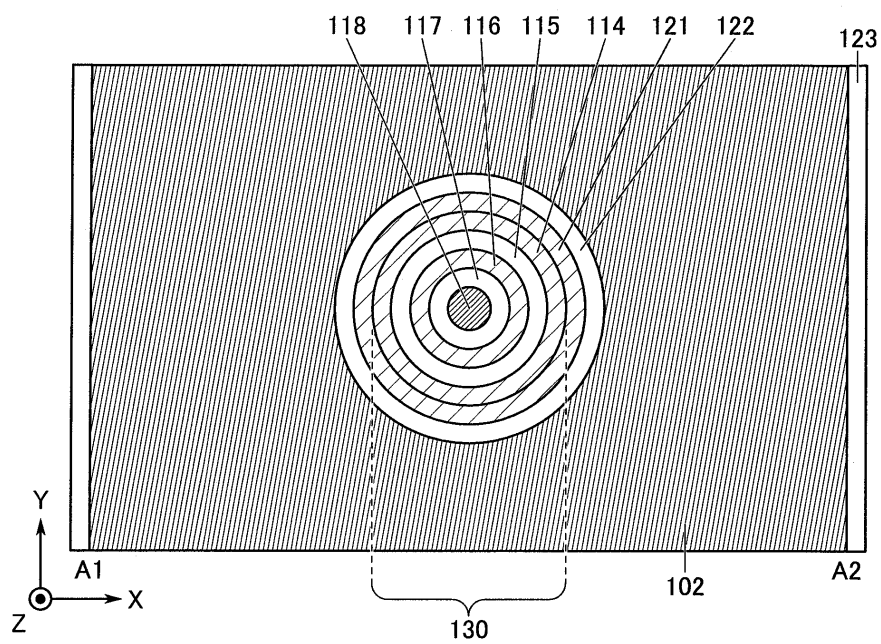


【圖 2A】

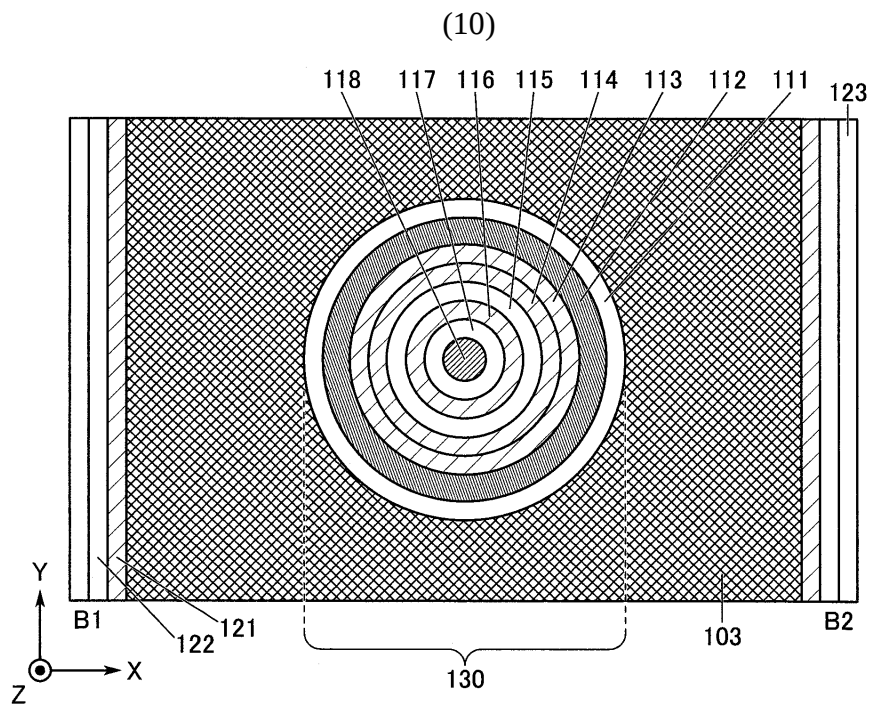
(9)



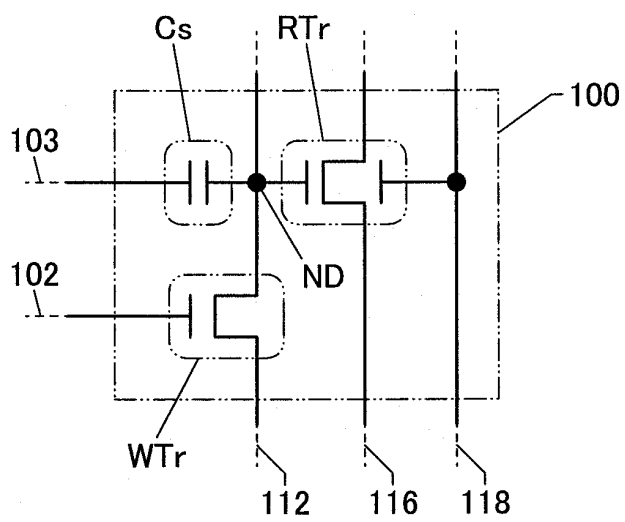
【圖 2B】



【圖 3A】

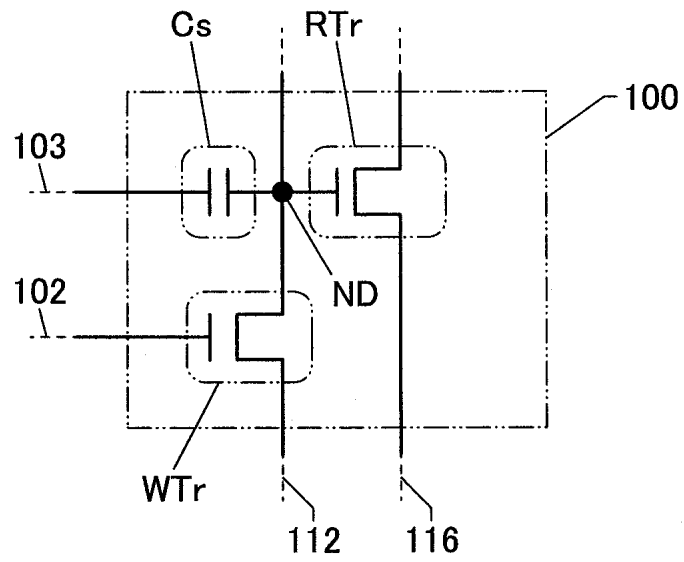


【圖 3B】

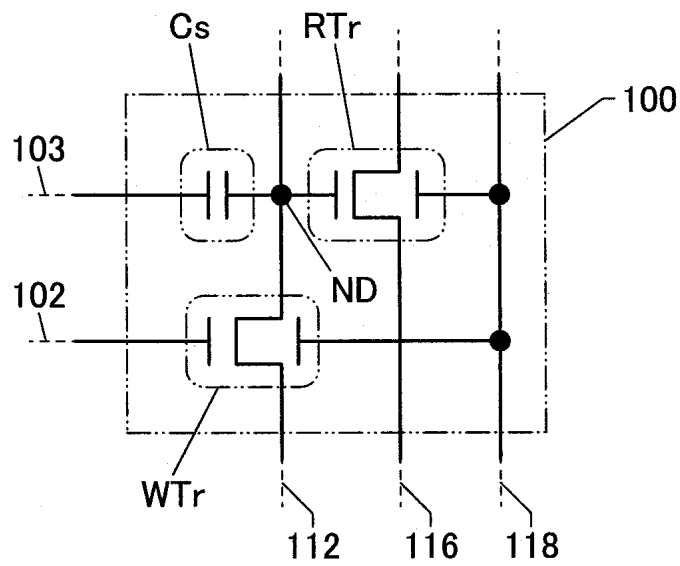


【圖 4A】

(11)

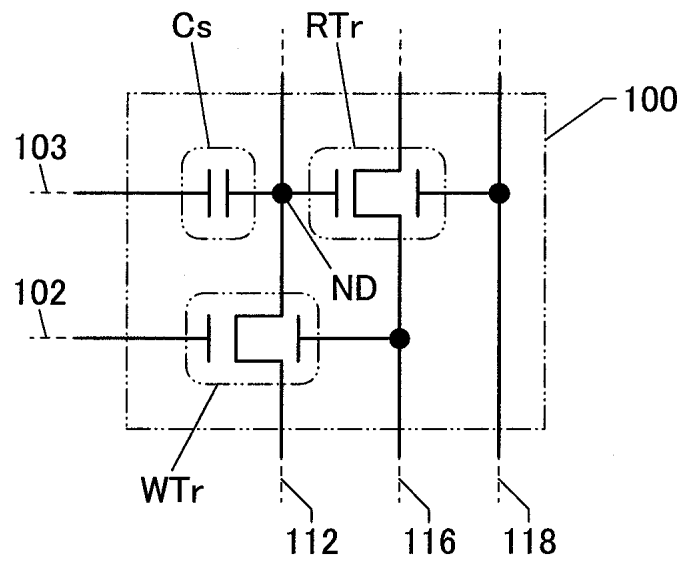


【圖 4B】

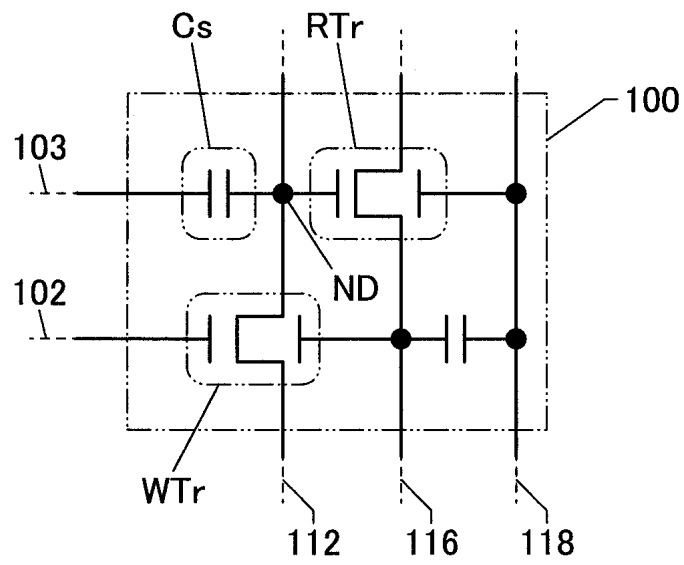


【圖 4C】

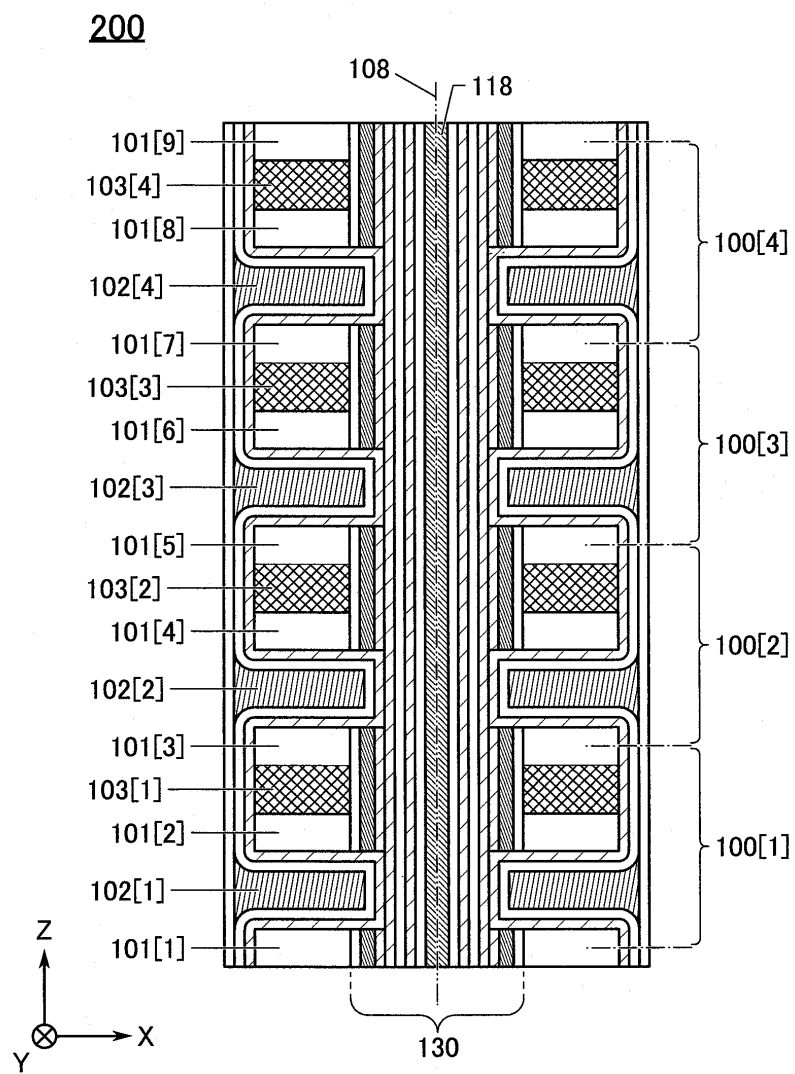
(12)



【圖 5A】

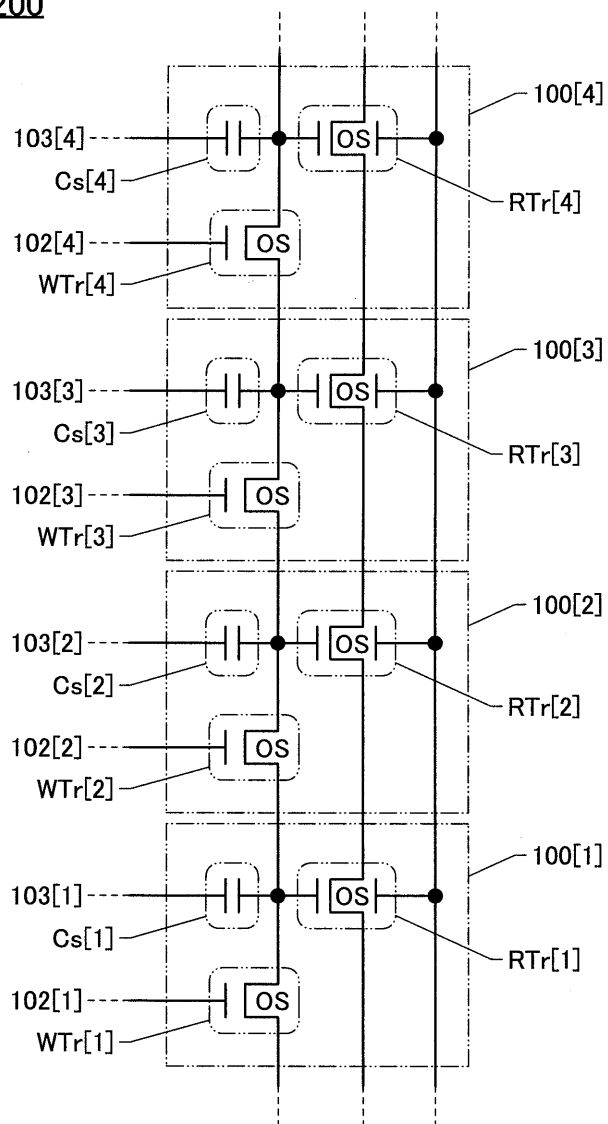


【圖 5B】



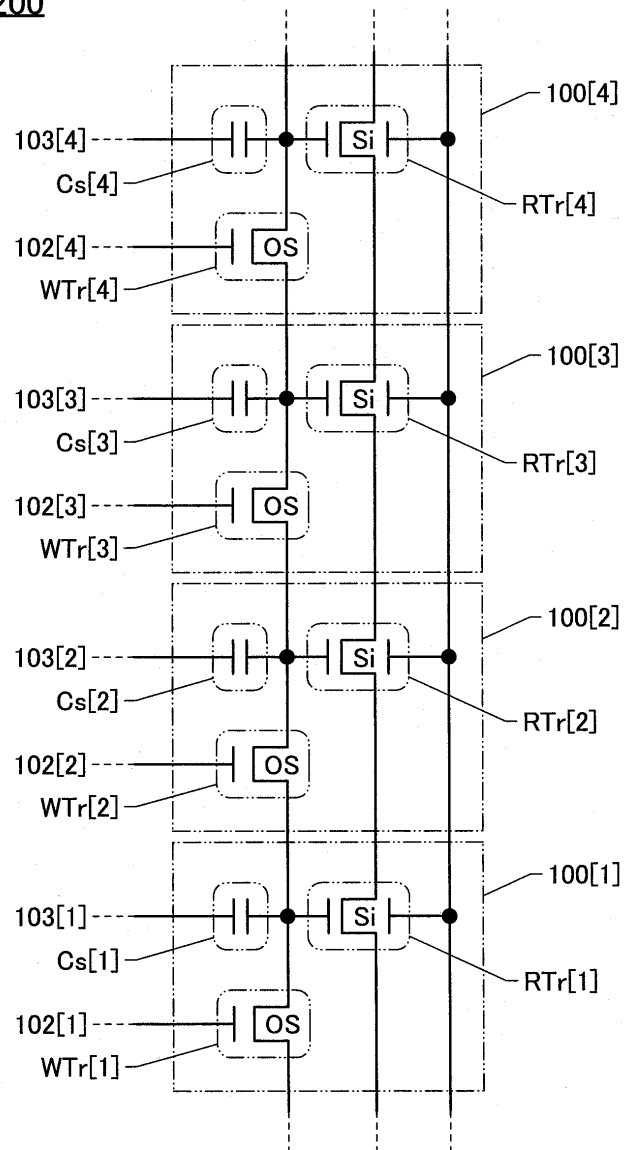
【圖 6】

200



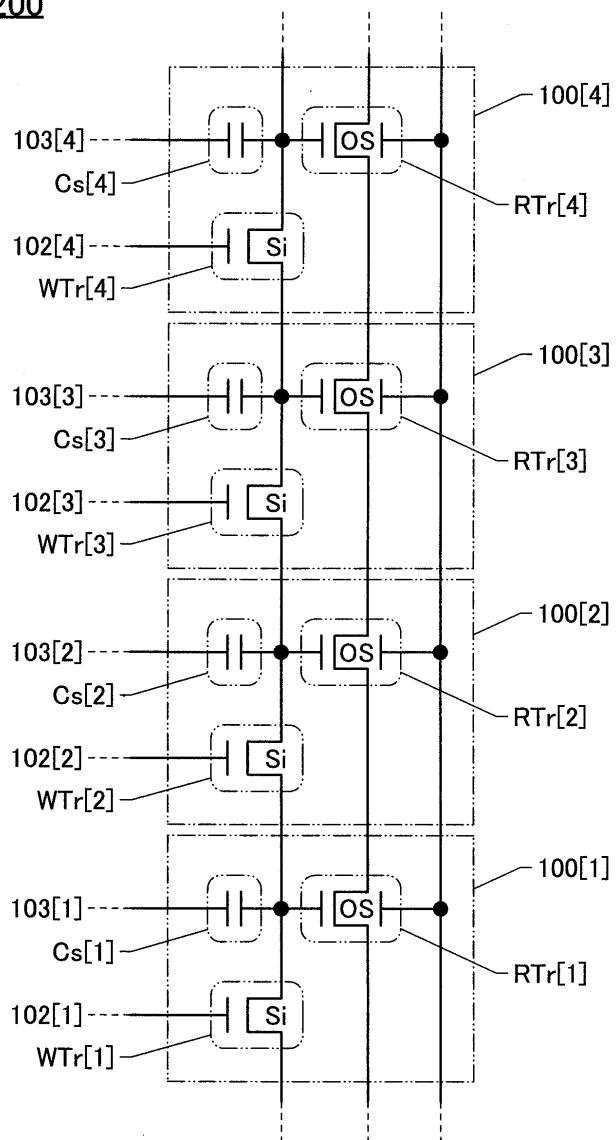
【圖 7】

200



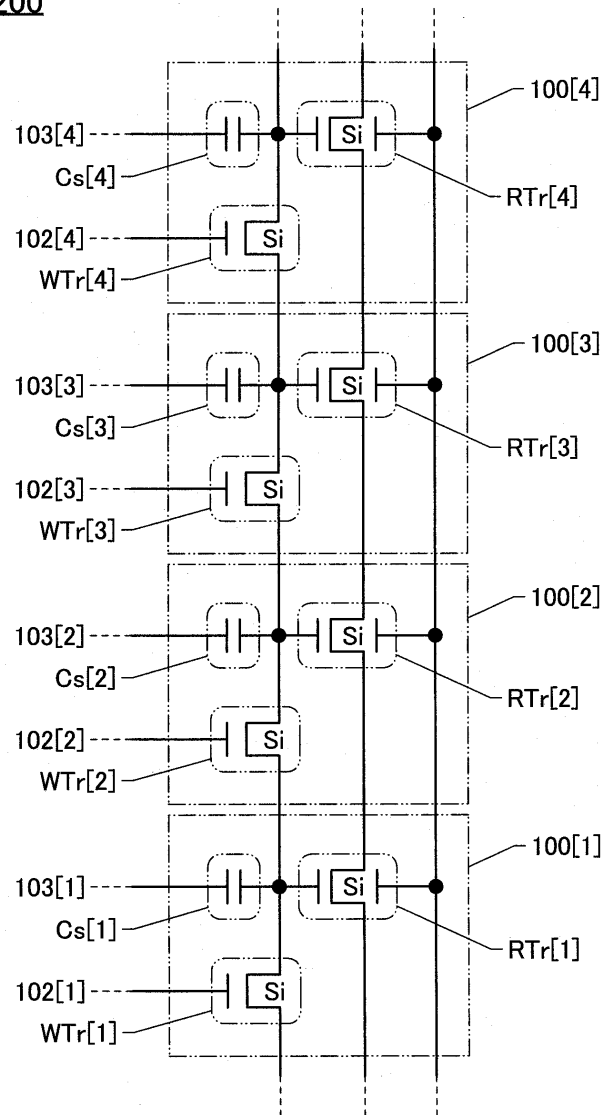
【圖 8】

200



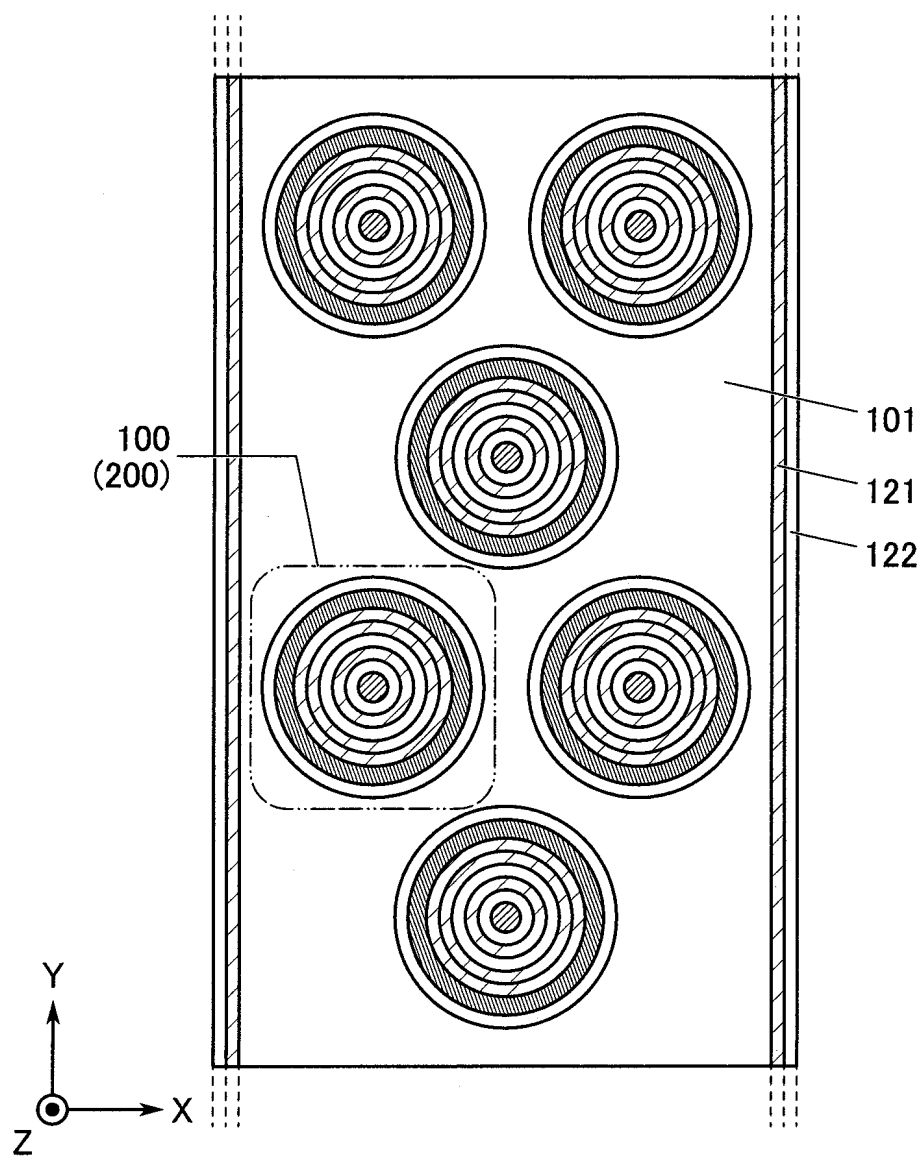
【圖 9】

200



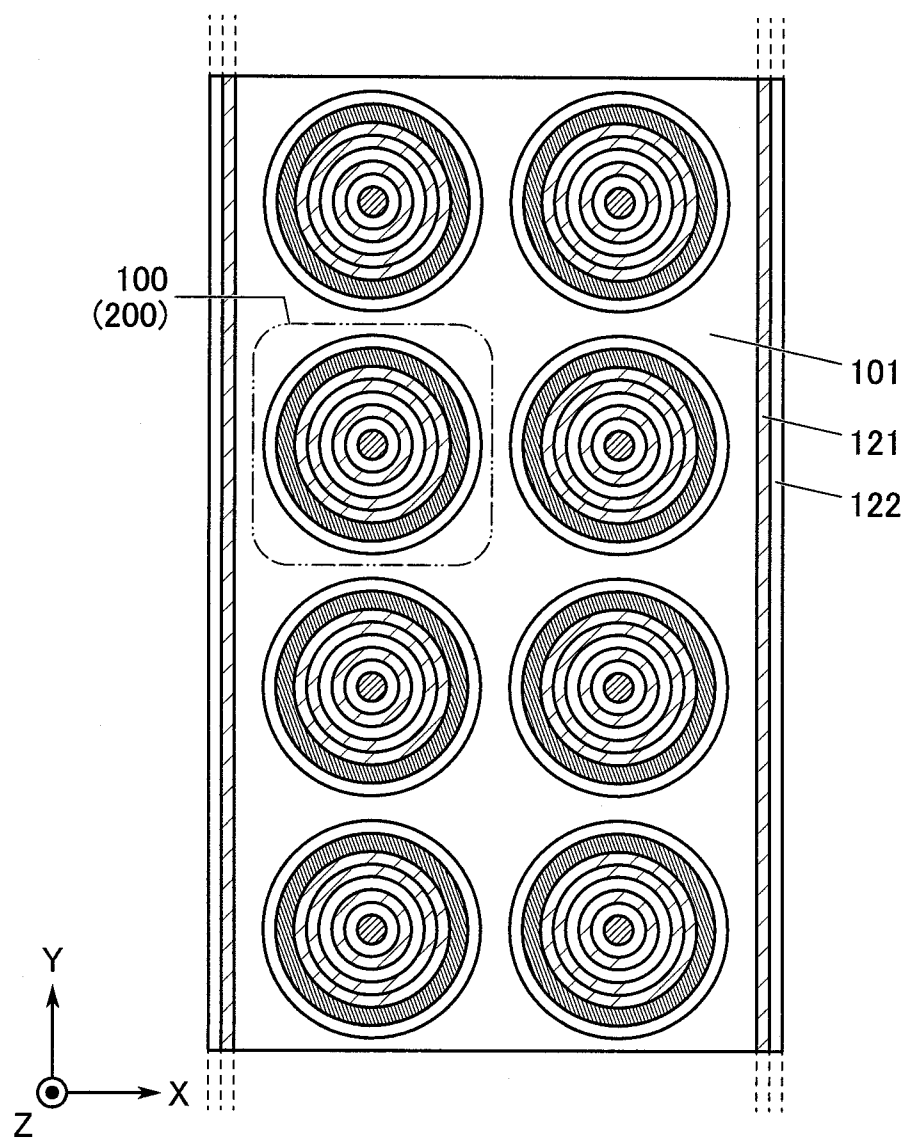
【圖 10】

(18)



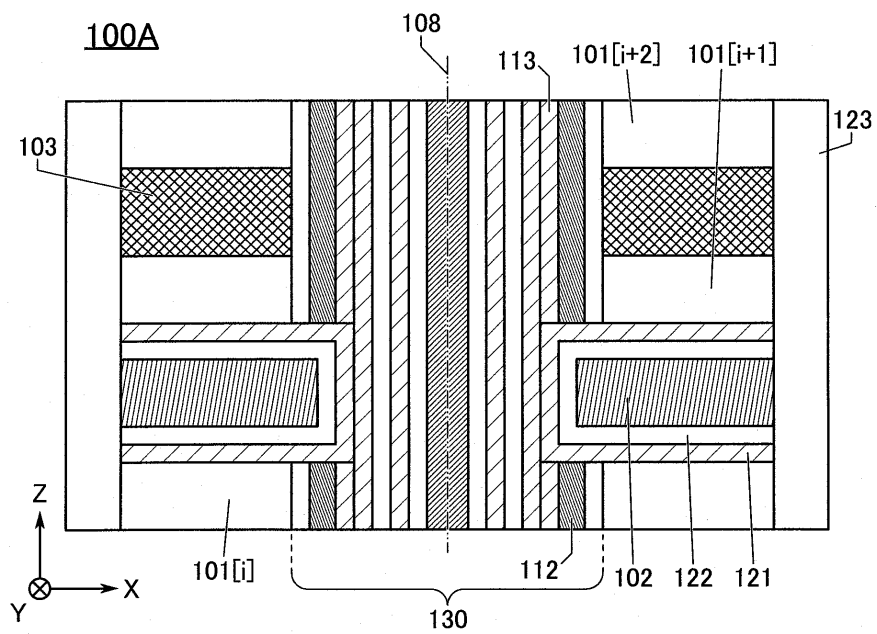
【圖 11A】

(19)

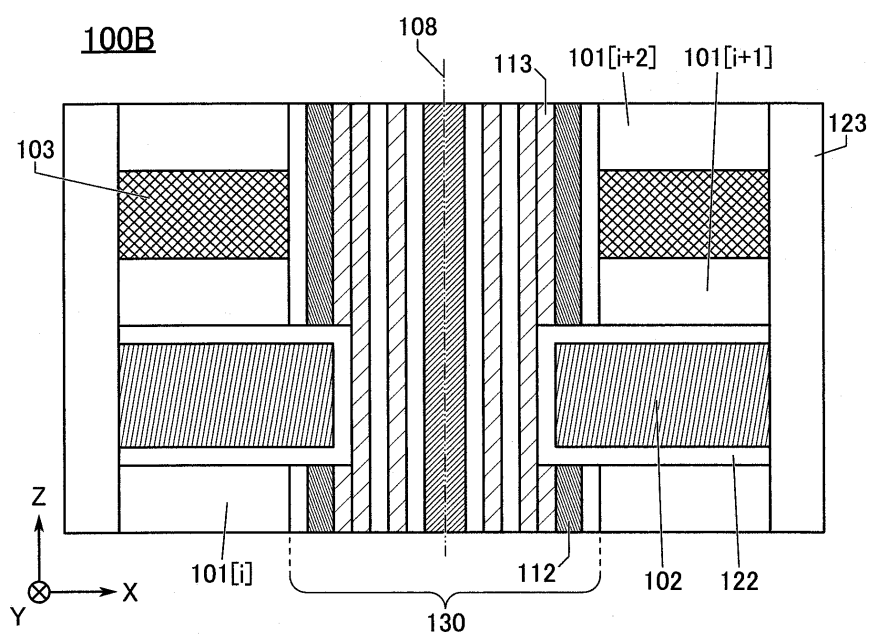


【圖 11B】

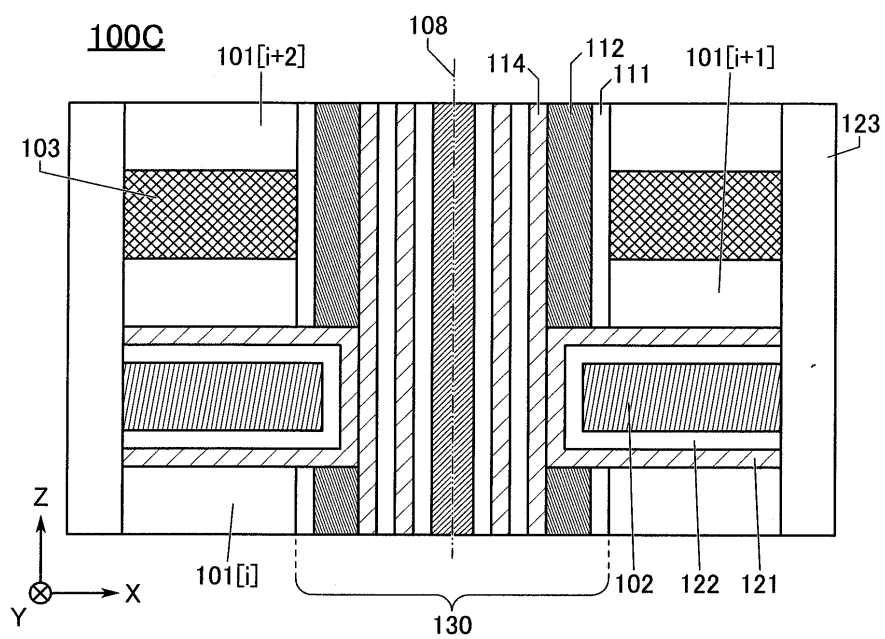
(20)



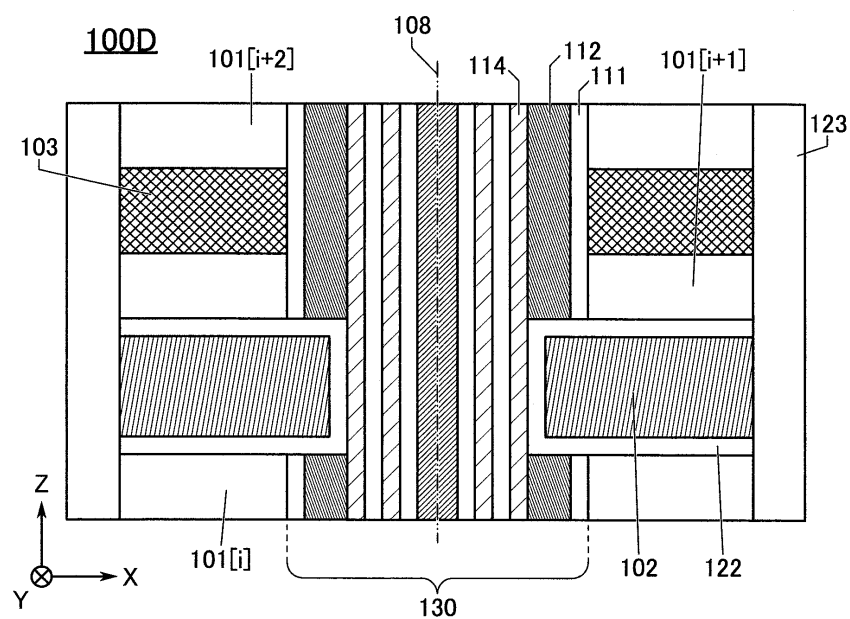
【圖 12A】



【圖 12B】

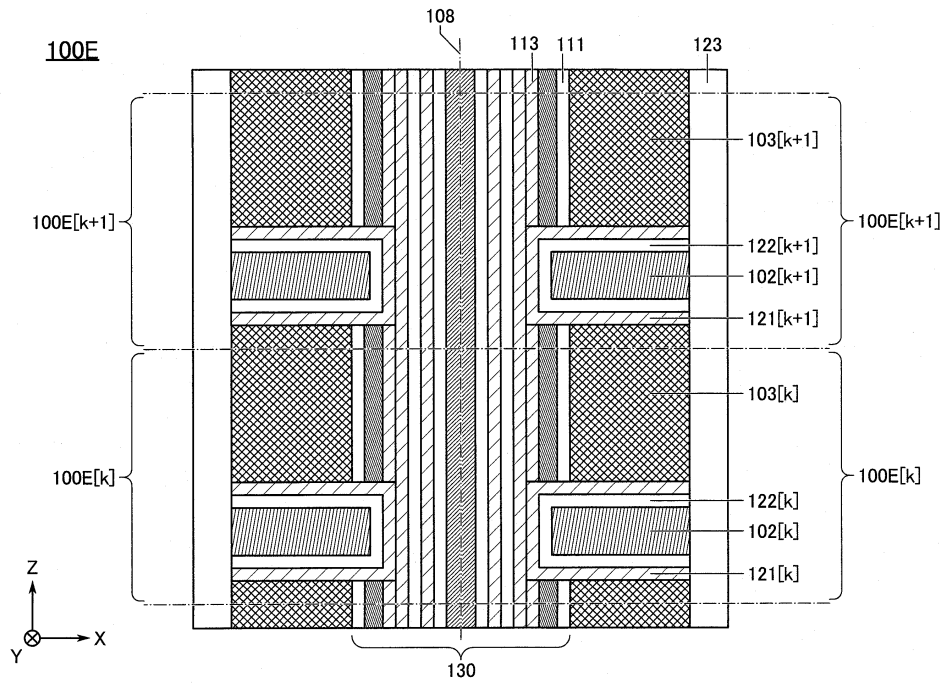


【圖 13A】

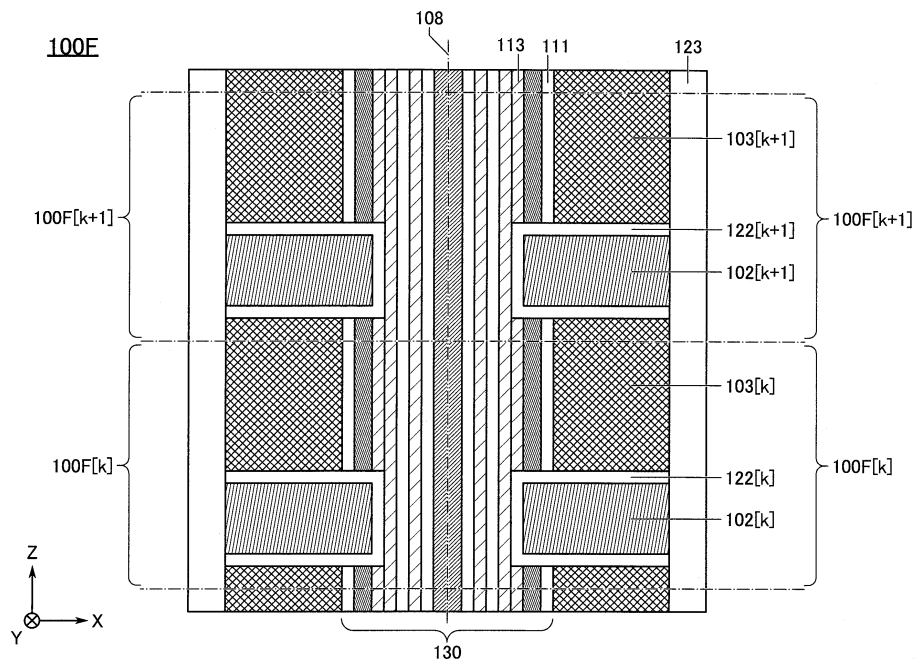


【圖 13B】

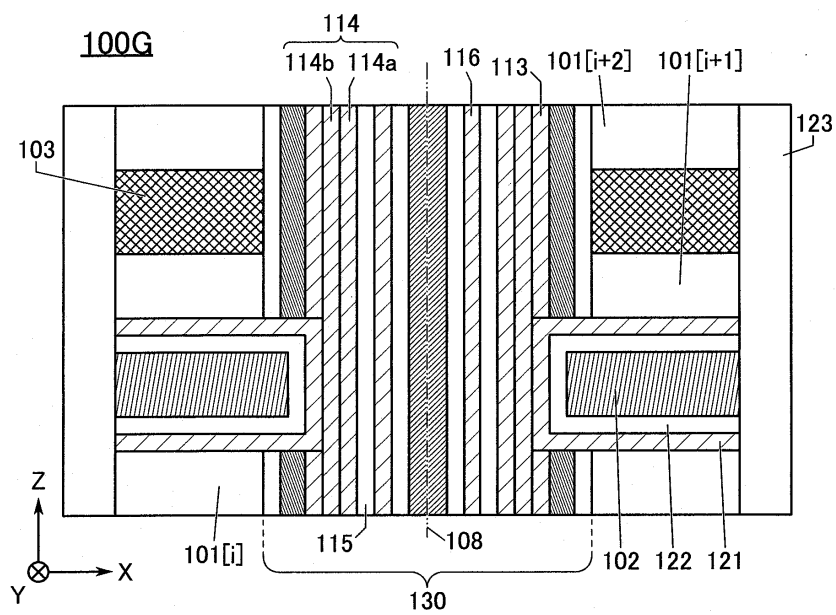
(22)



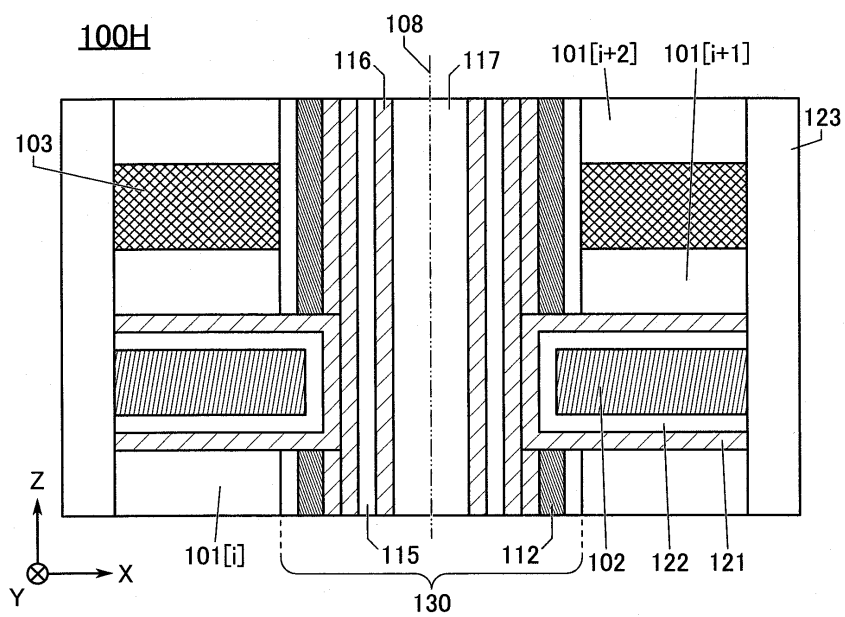
【圖 14】



【圖 15】

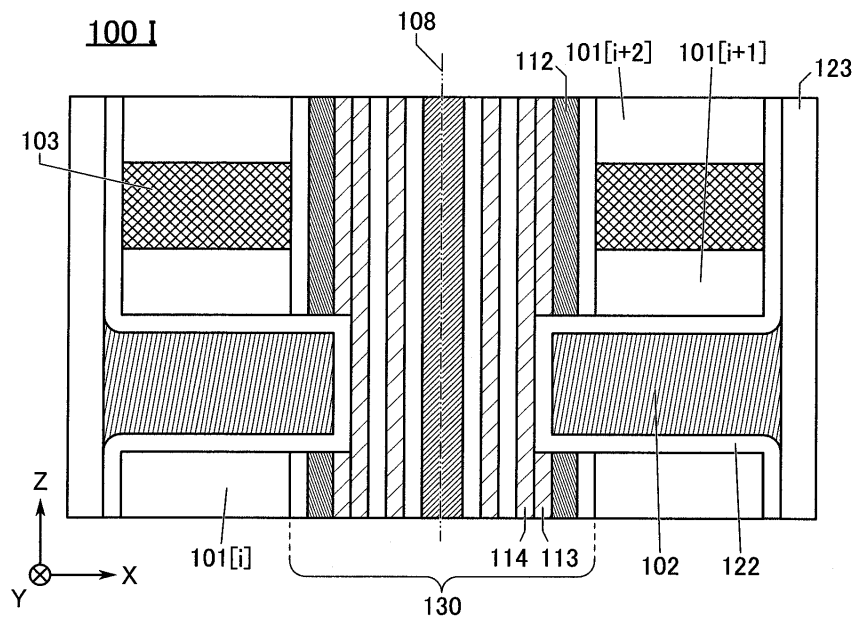


【圖 16A】

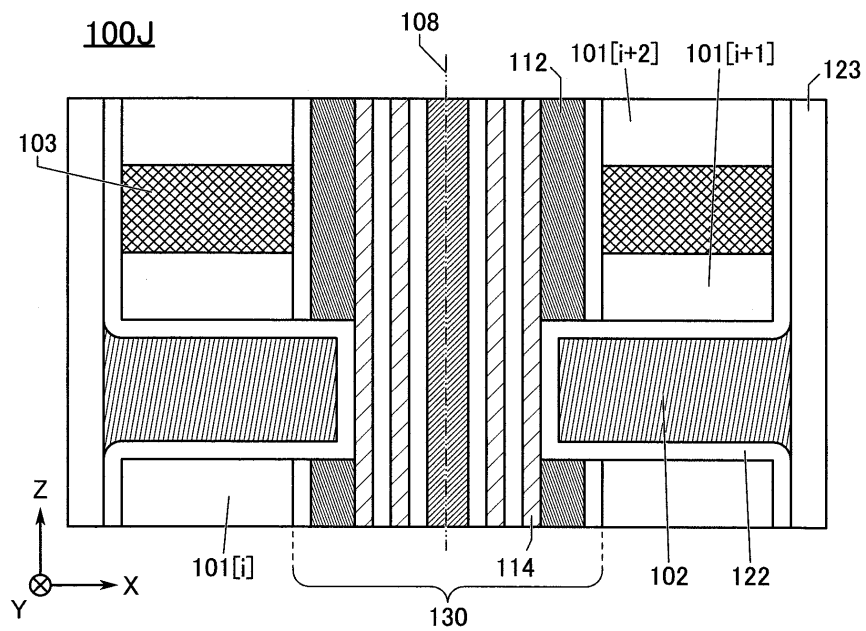


【圖 16B】

(24)

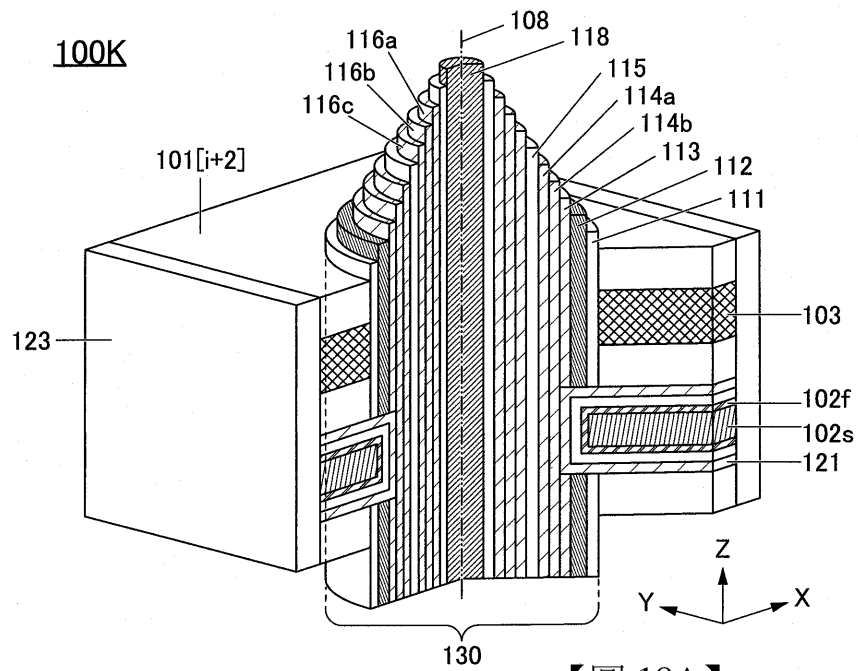


【圖 17A】

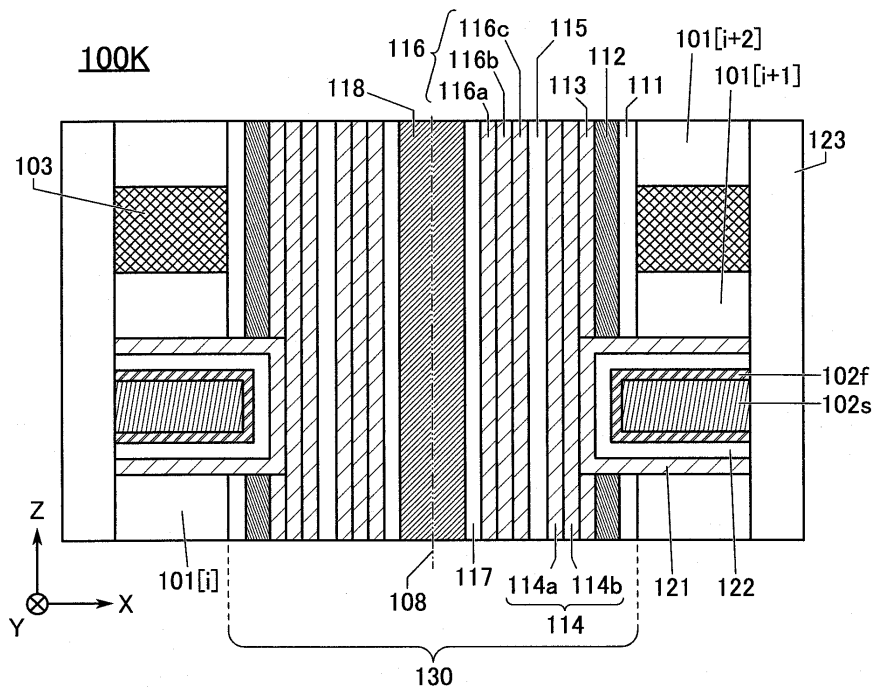


【圖 17B】

(25)

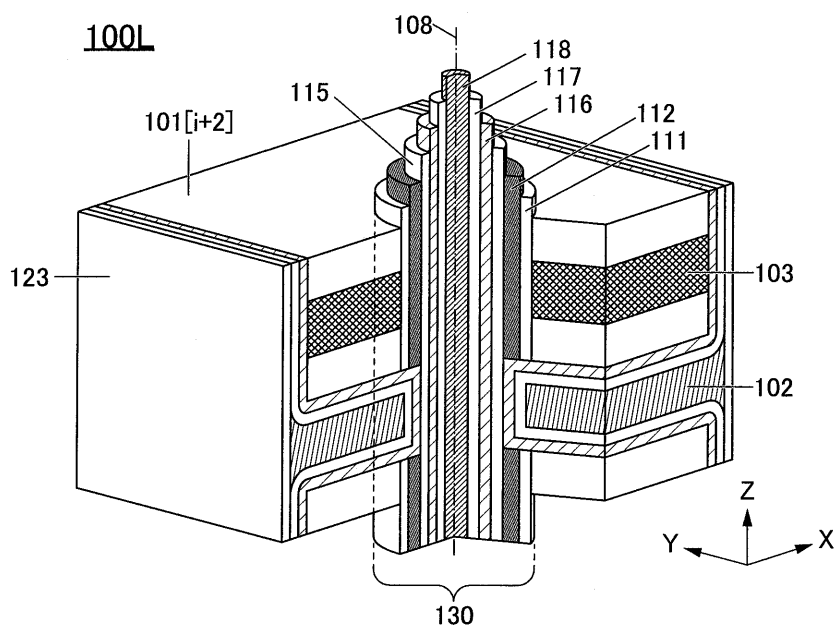


【圖 18A】

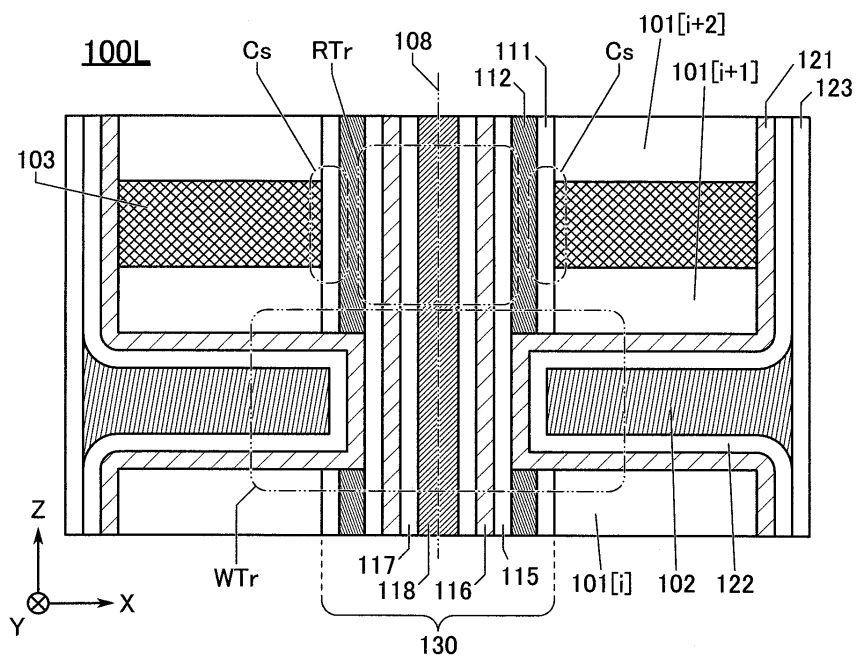


【圖 18B】

(26)

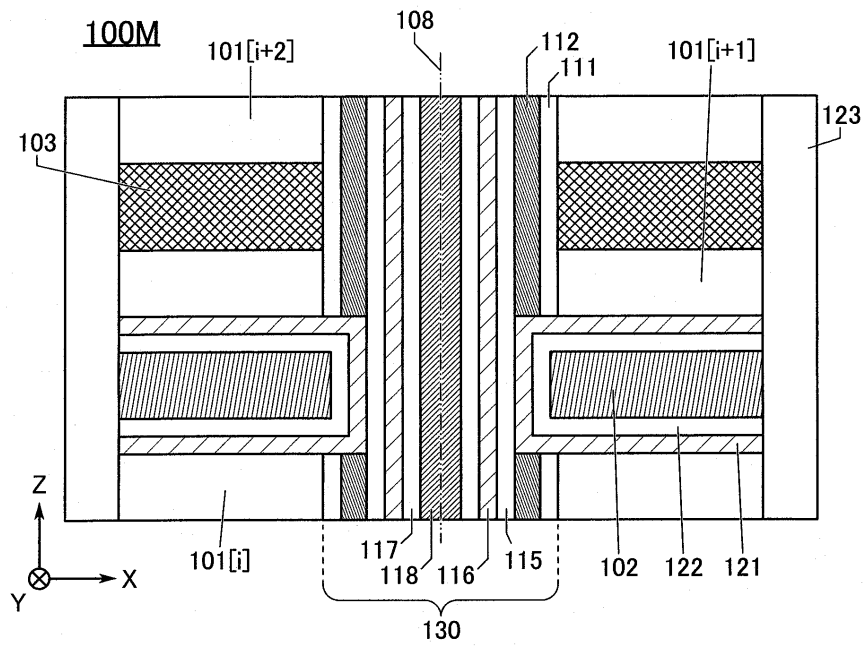


【圖 19A】

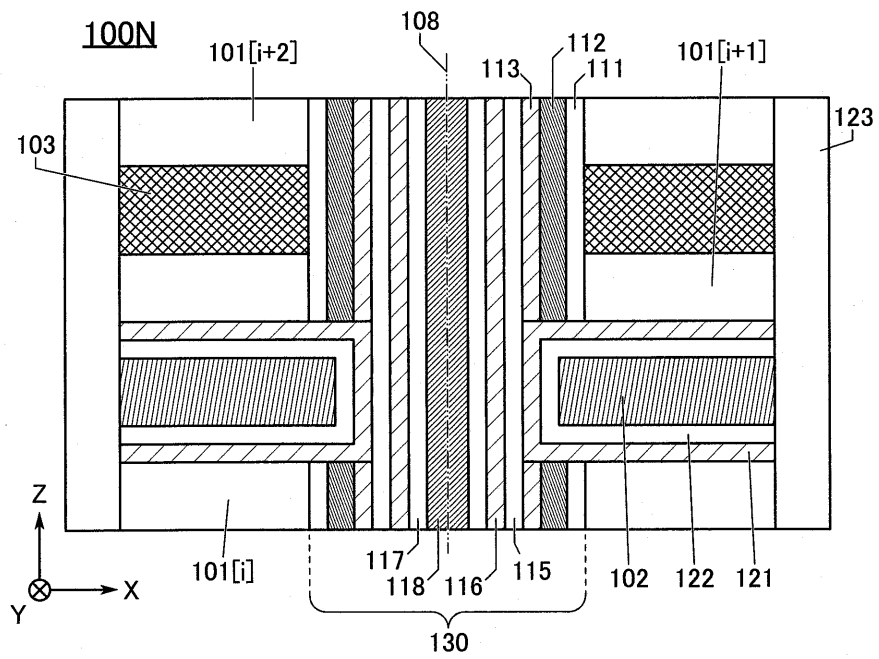


【圖 19B】

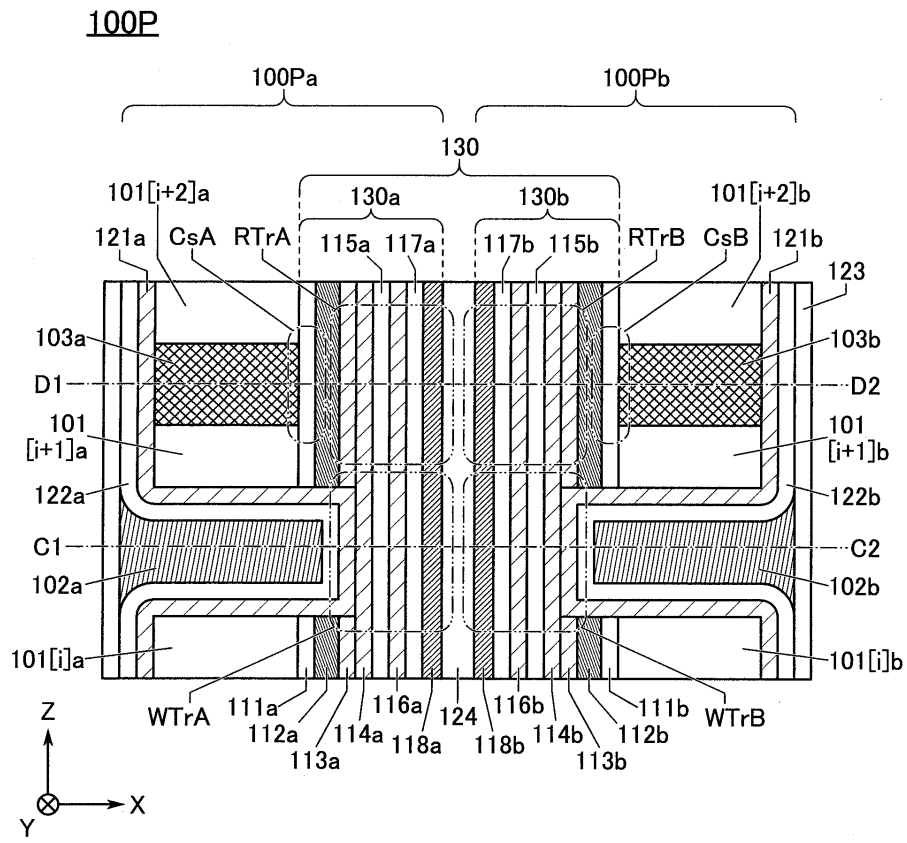
(27)



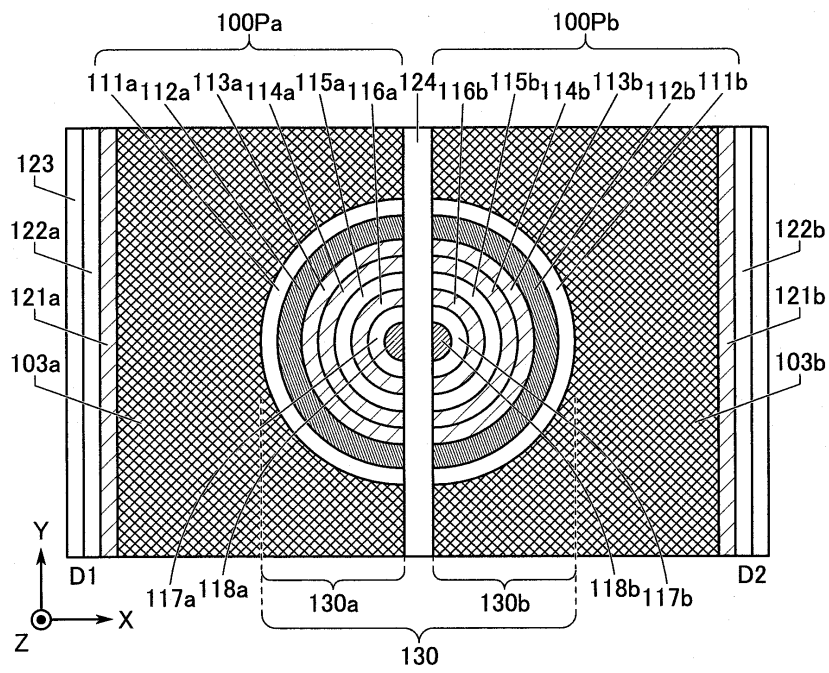
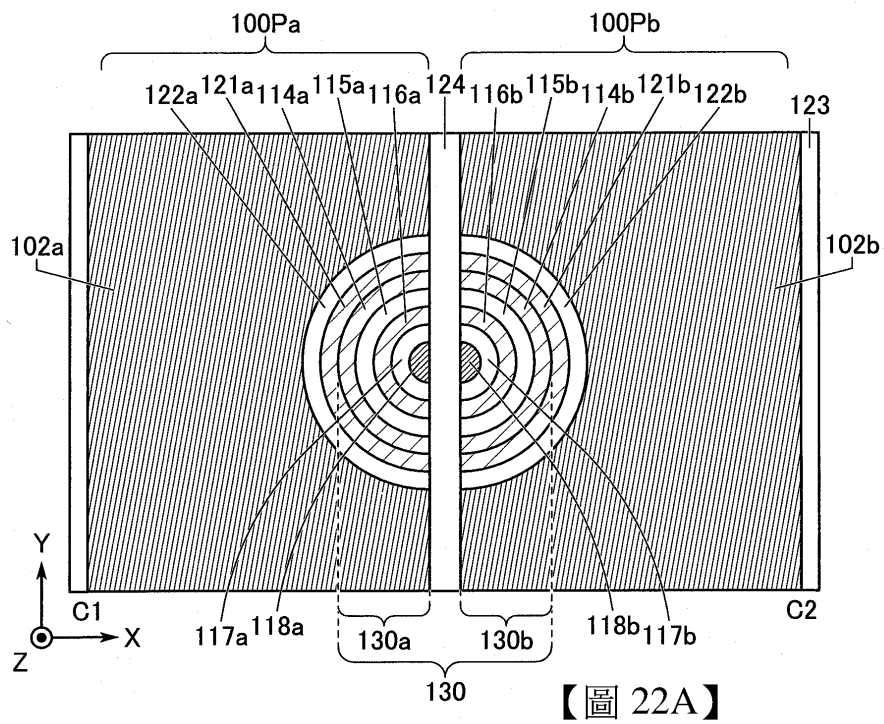
【圖 20A】



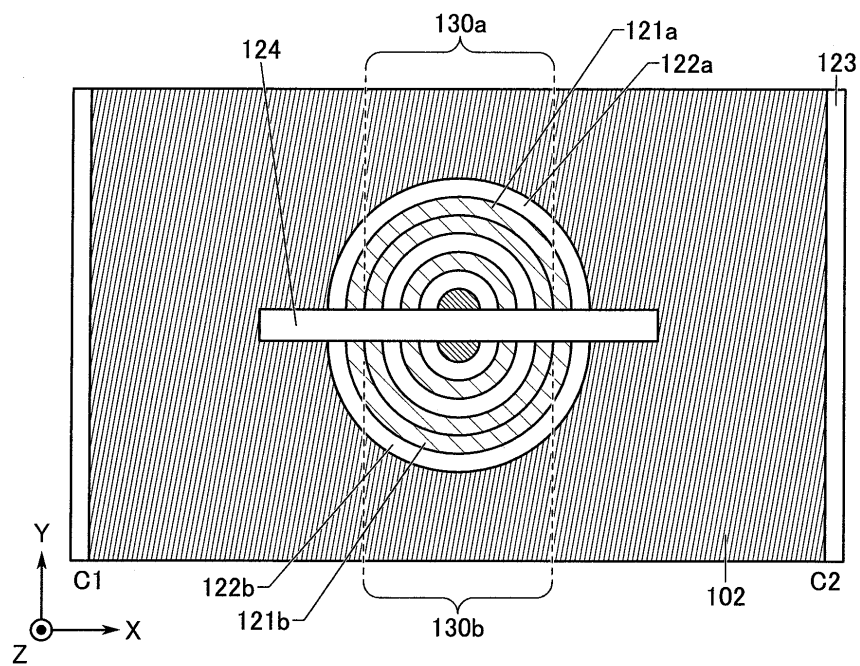
【圖 20B】



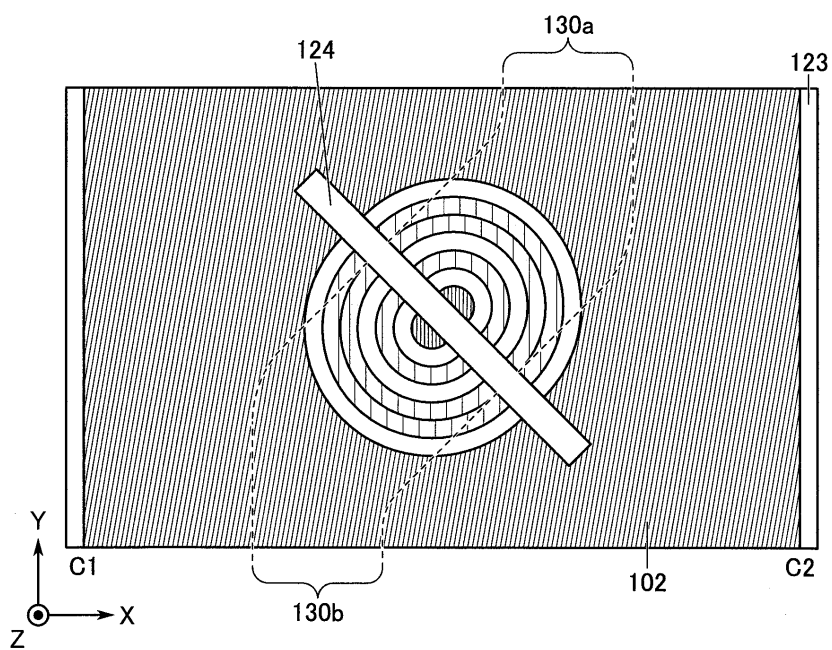
【圖 21】



(30)

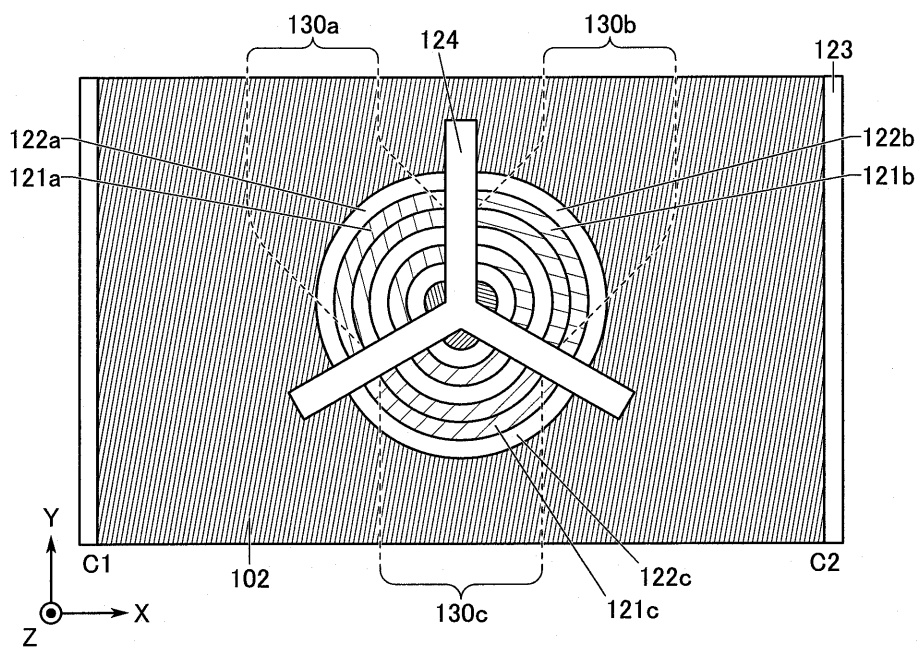


【圖 23A】

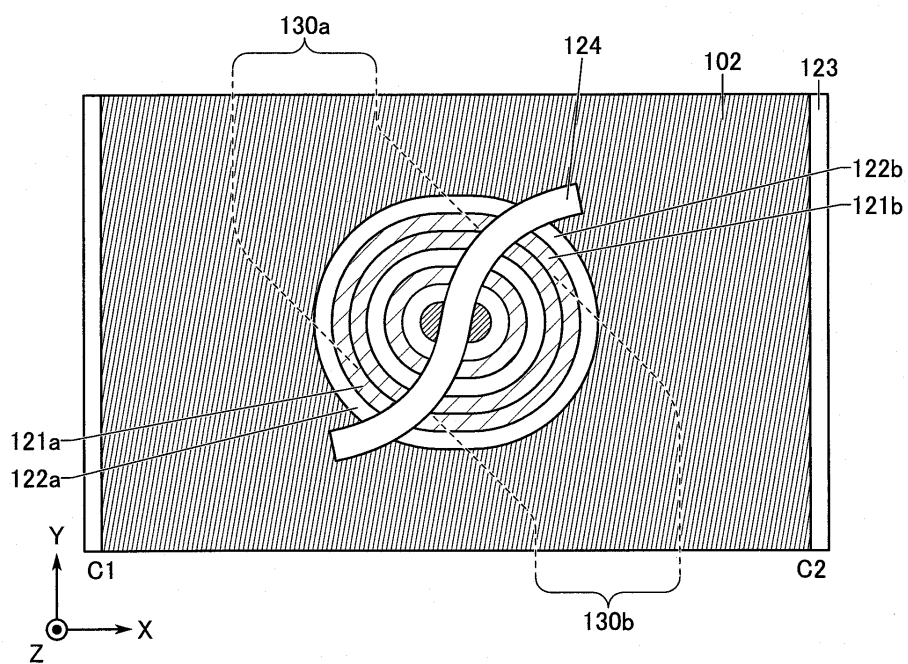


【圖 23B】

(31)

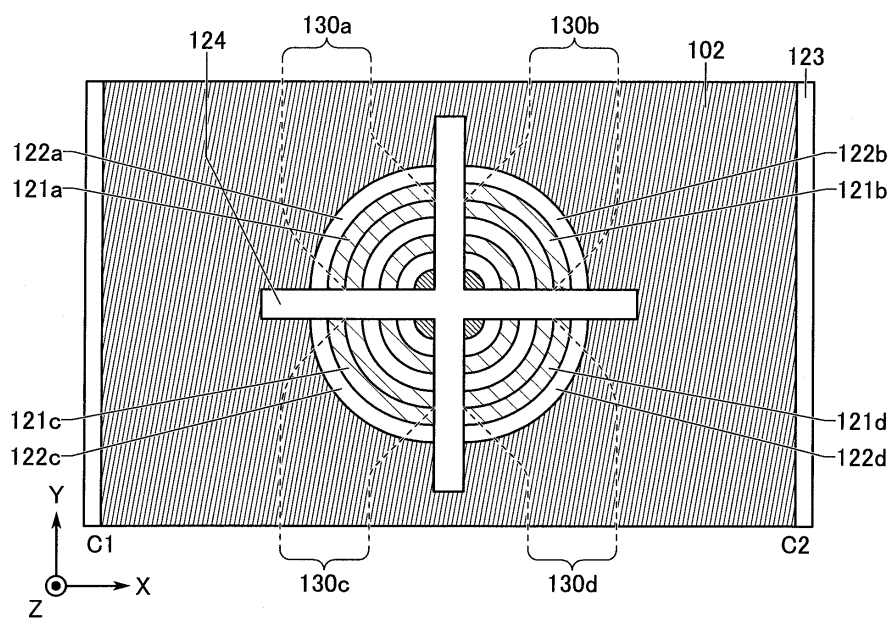


【圖 24A】

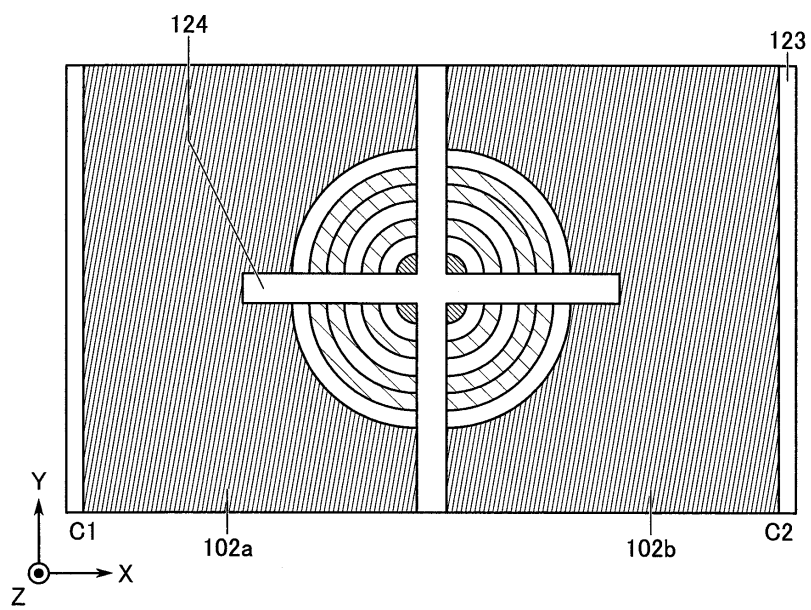


【圖 24B】

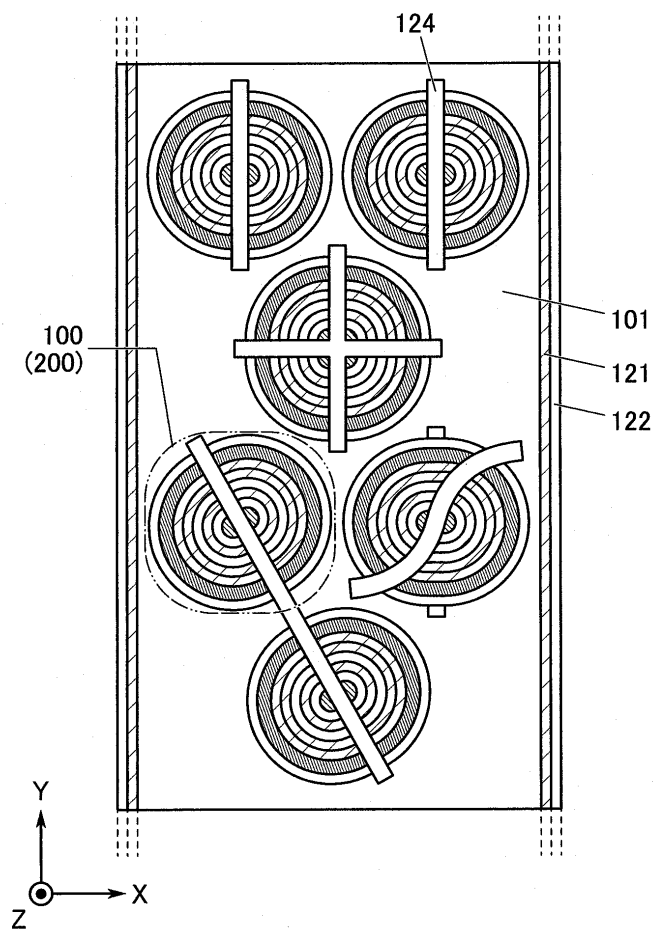
(32)



【圖 25A】



【圖 25B】

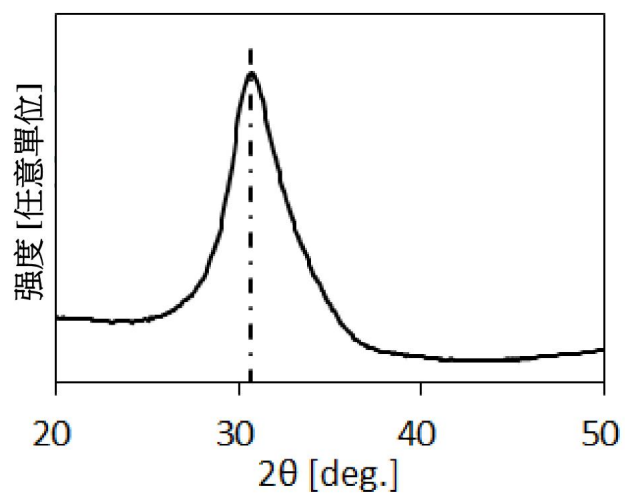


【圖 26】

中間狀態
新穎的邊界區域

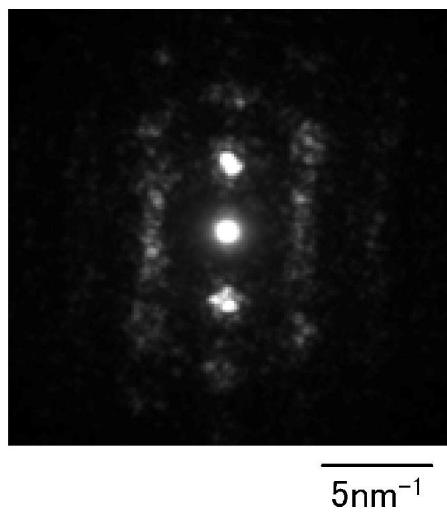
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
▪ completely amorphous	▪ CAAC ▪ nc ▪ CAC 不包含單晶及 多晶	▪ 單晶 ▪ 多晶

【圖 27A】

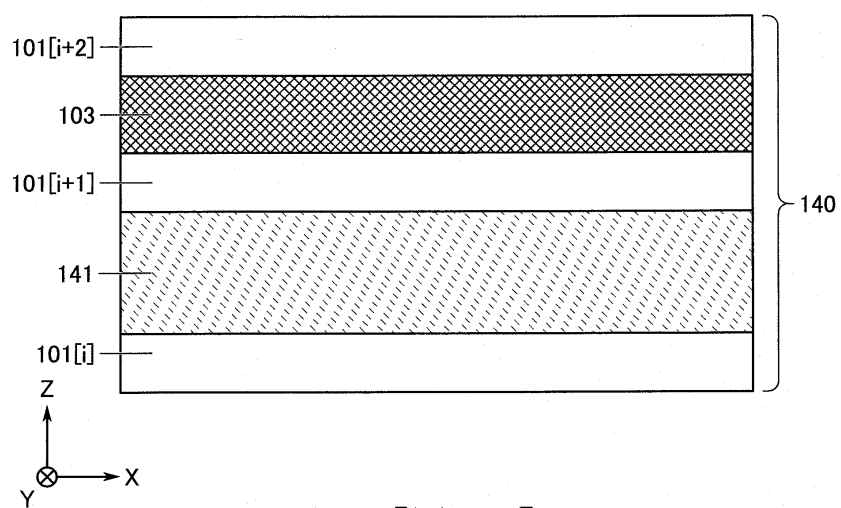


【圖 27B】

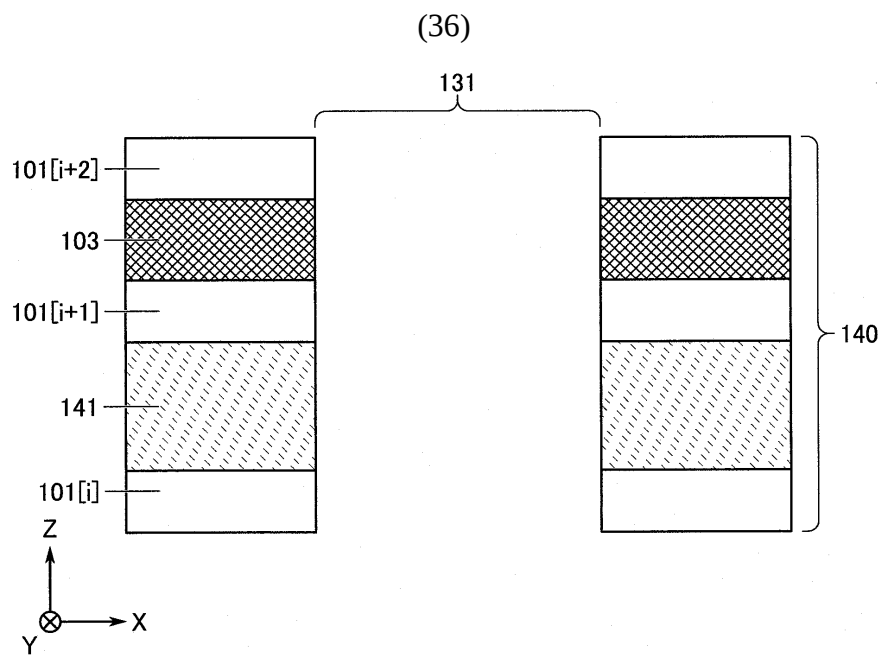
(35)



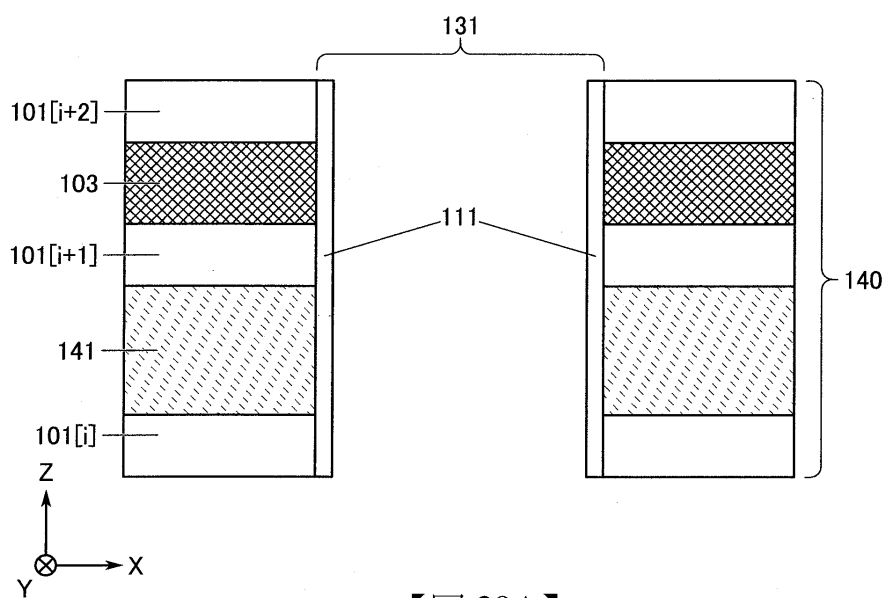
【圖 27C】



【圖 28A】

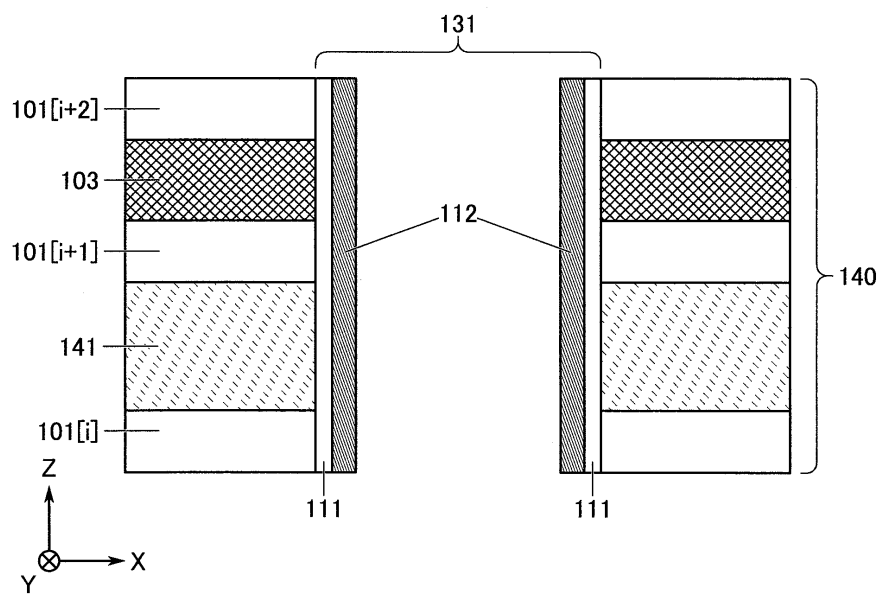


【圖 28B】

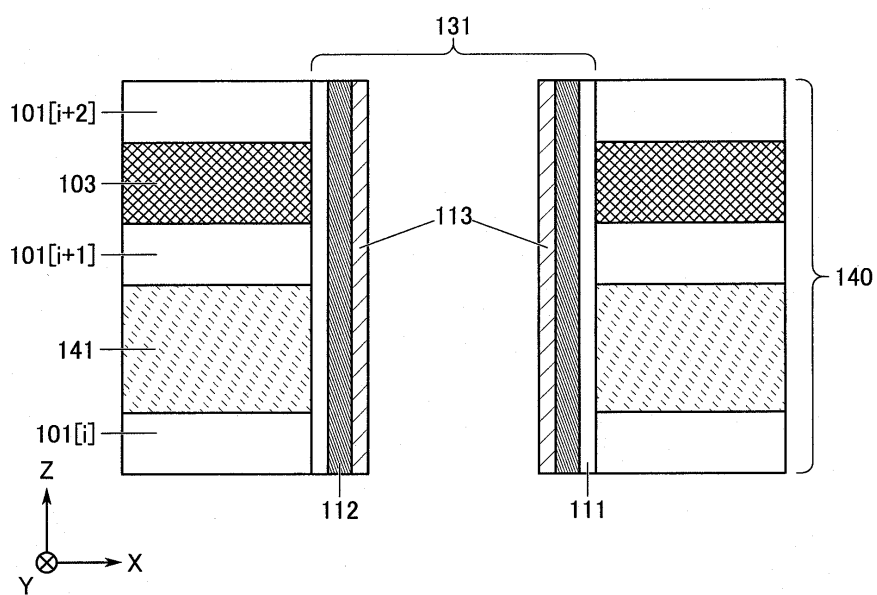


【圖 29A】

(37)

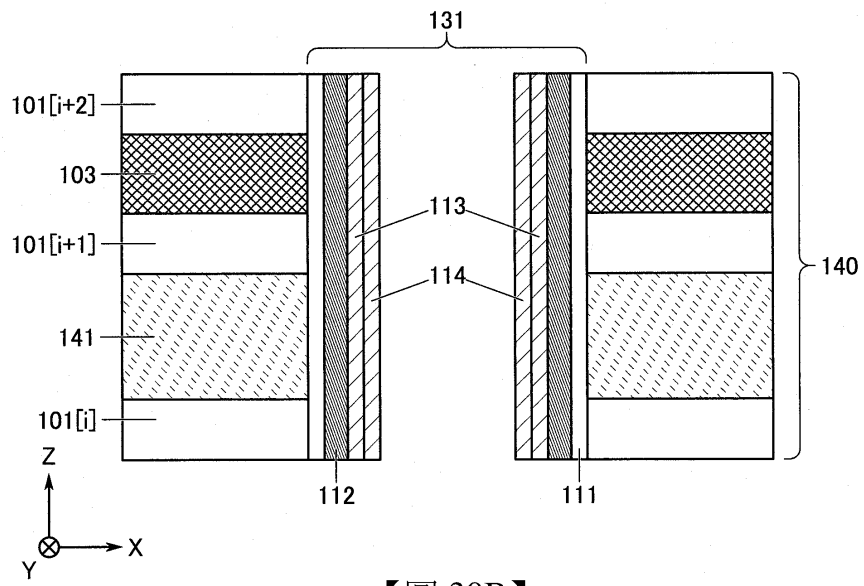


【圖 29B】

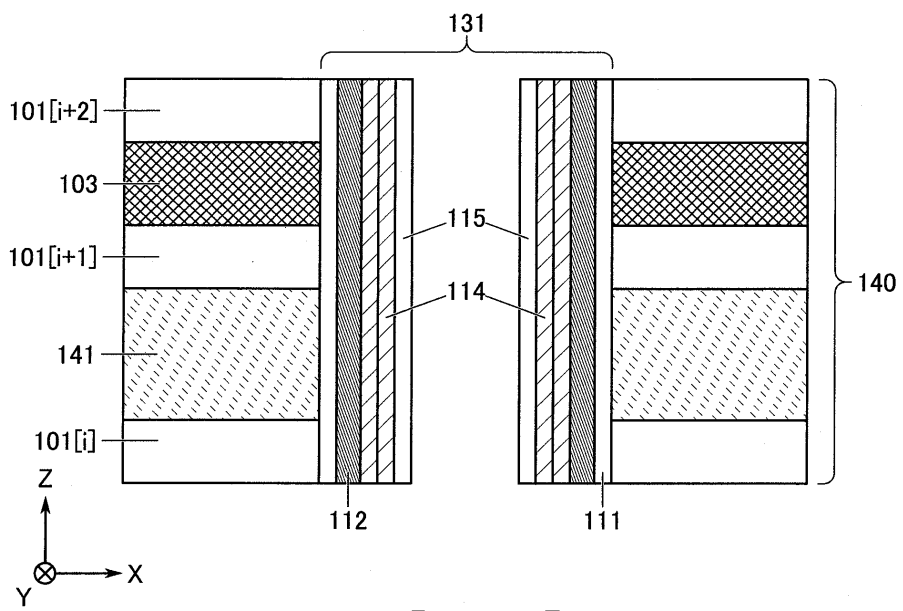


【圖 30A】

(38)

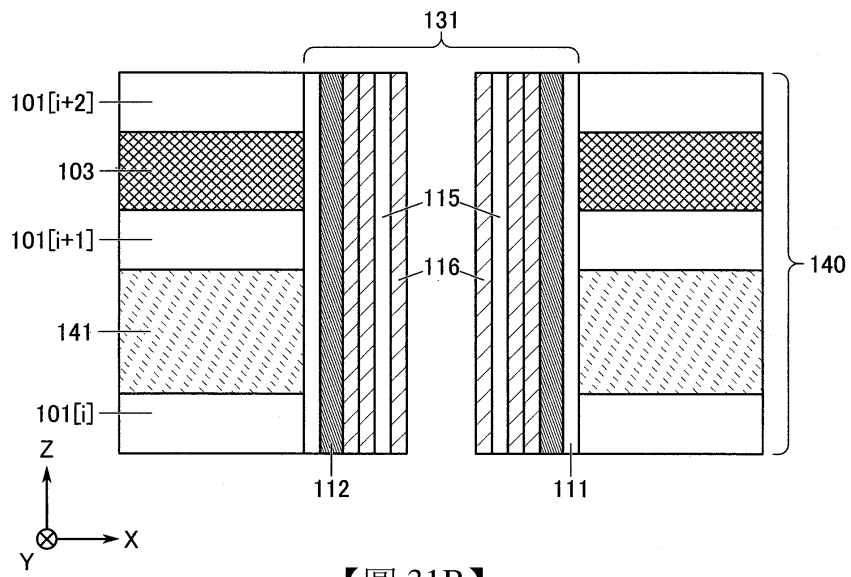


【圖 30B】

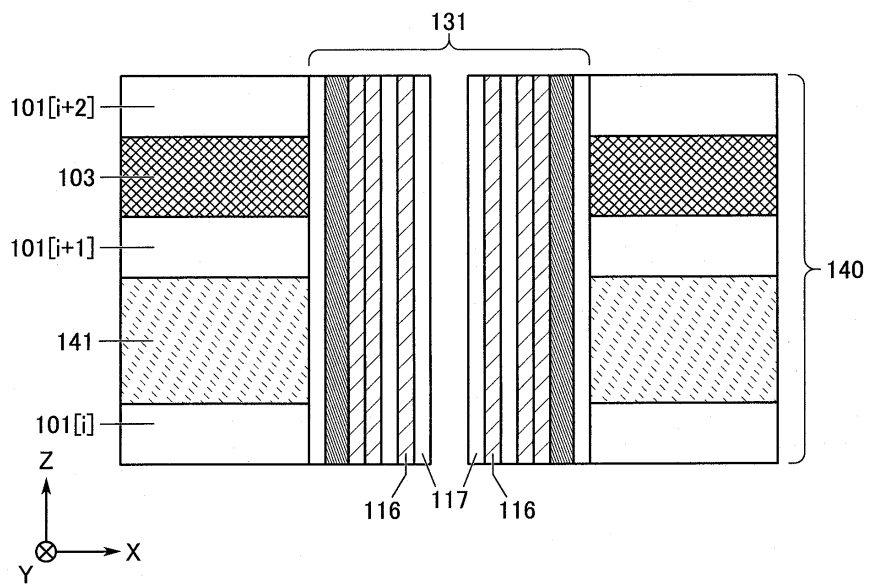


【圖 31A】

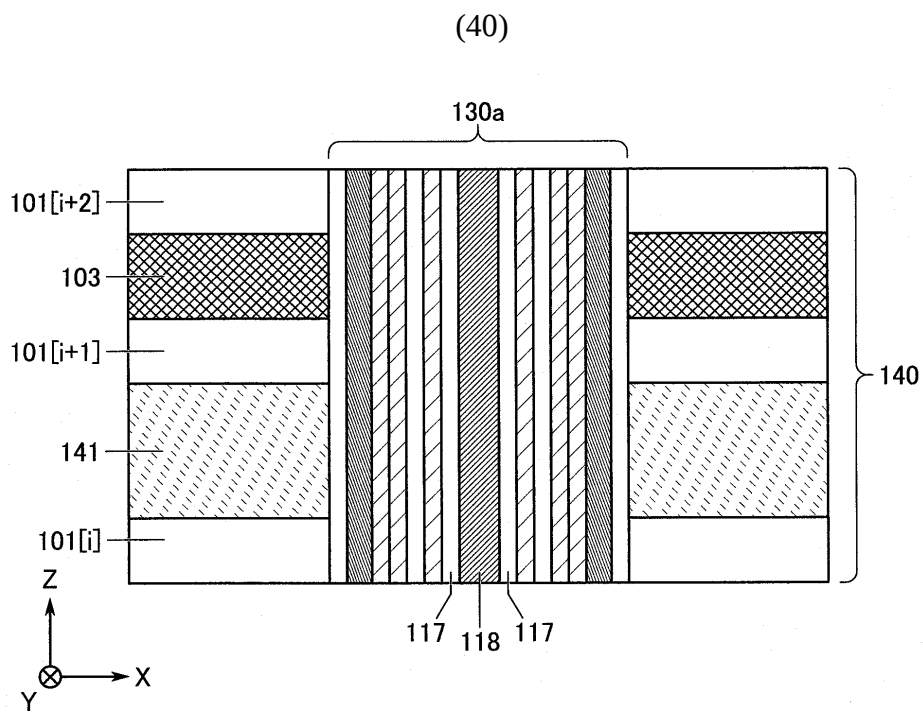
(39)



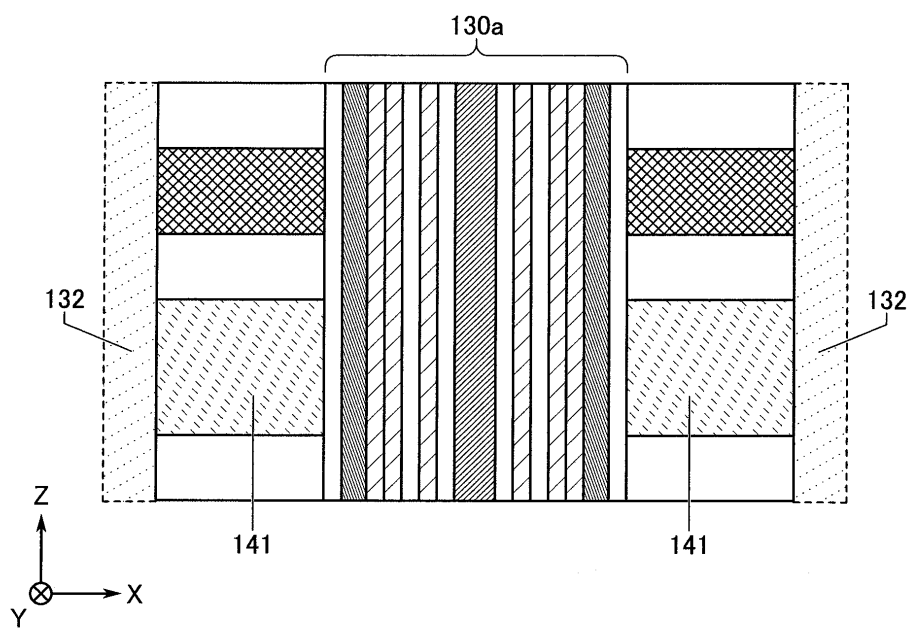
【圖 31B】



【圖 32A】

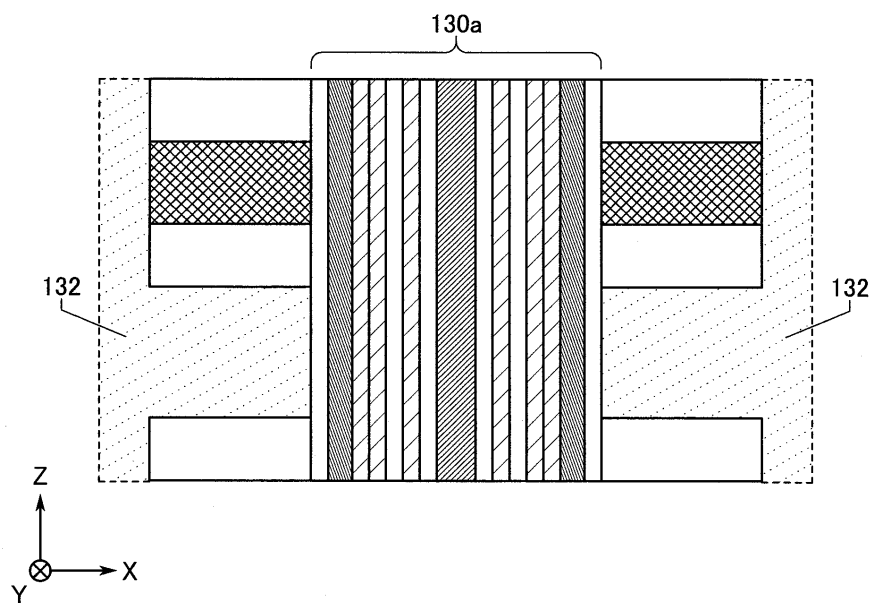


【圖 32B】

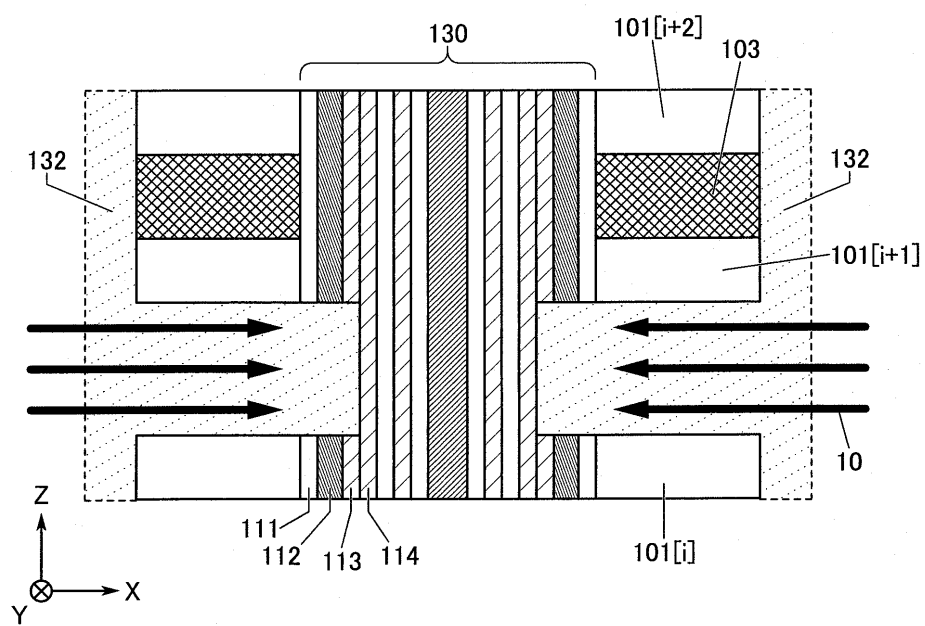


【圖 33A】

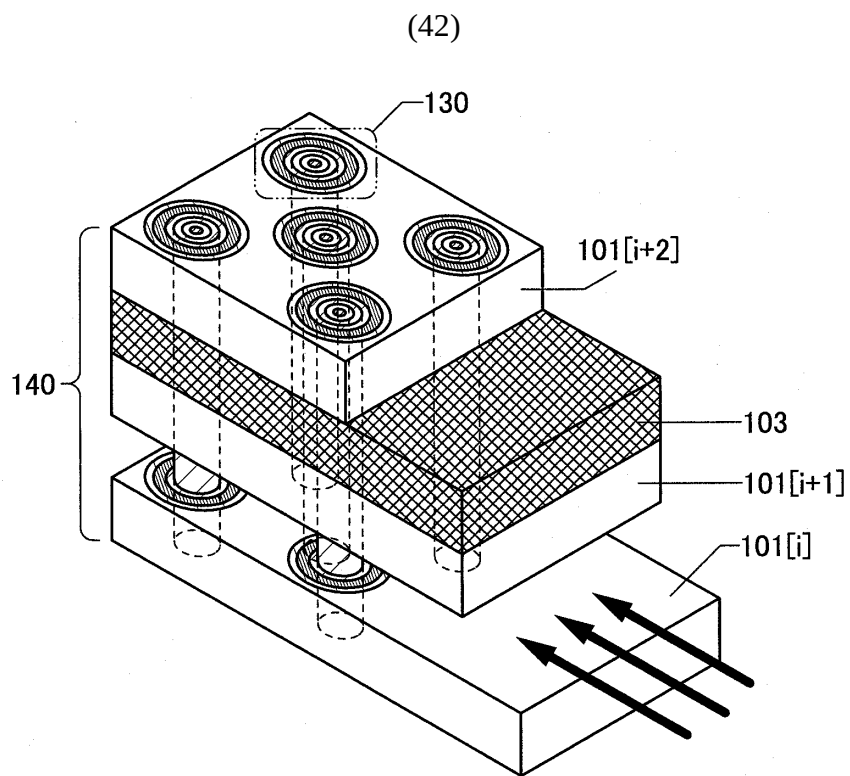
(41)



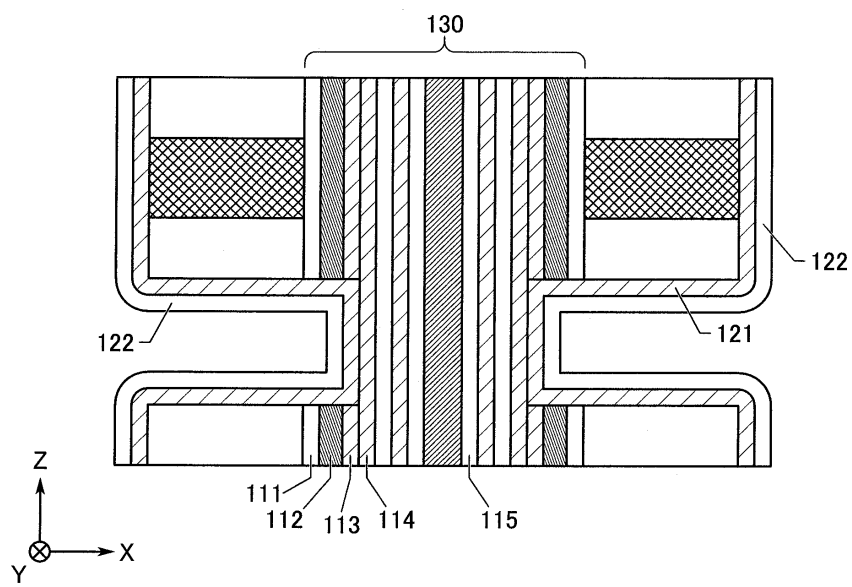
【圖 33B】



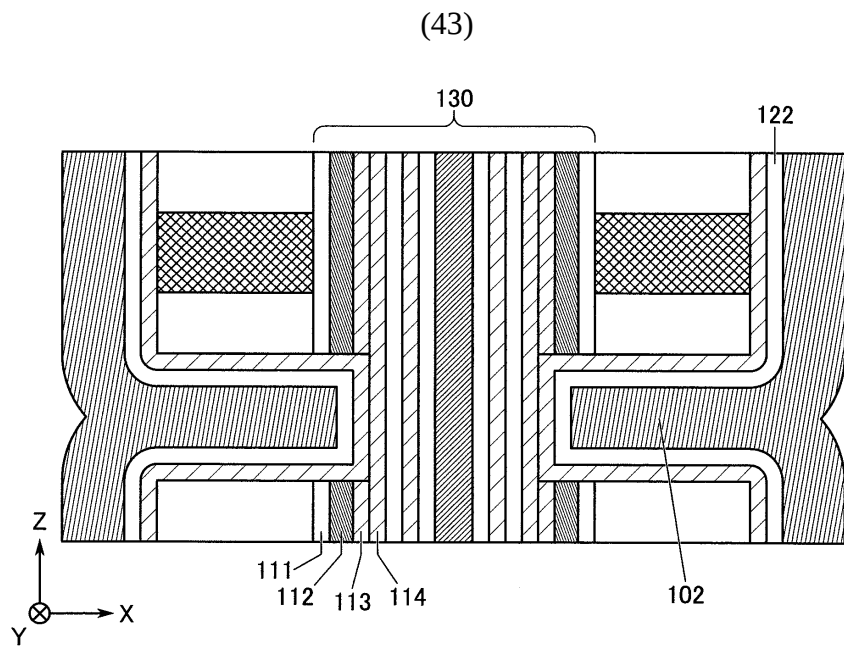
【圖 34A】



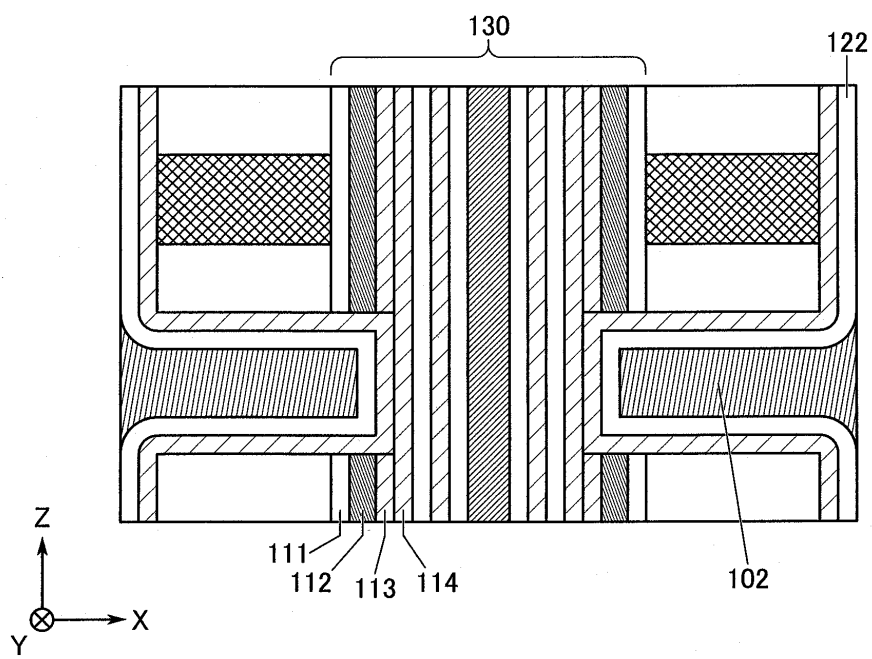
【圖 34B】



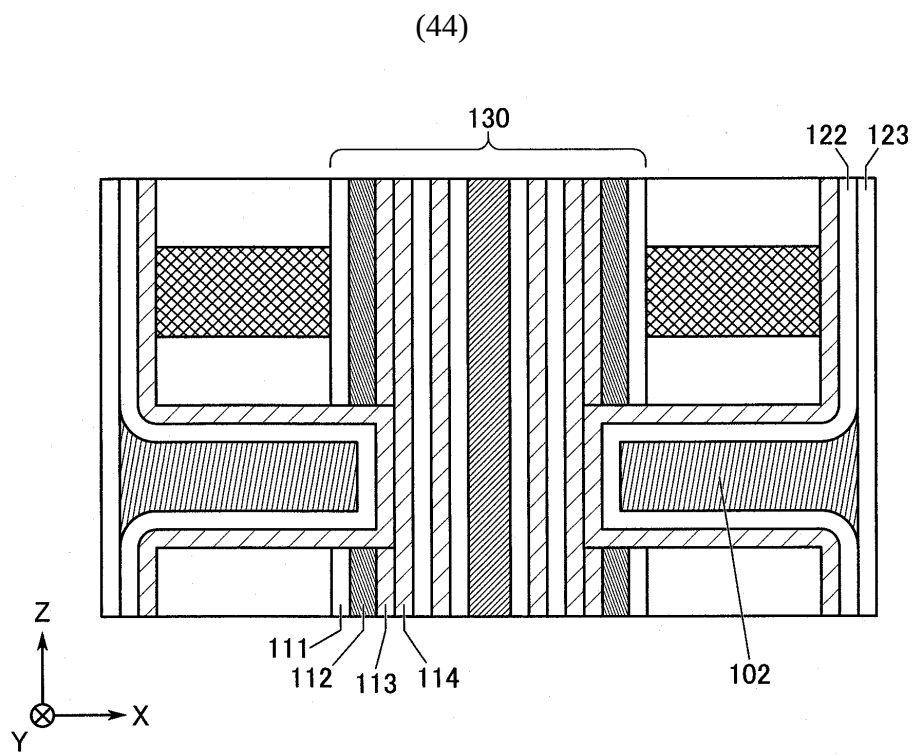
【圖 35A】



【圖 35B】

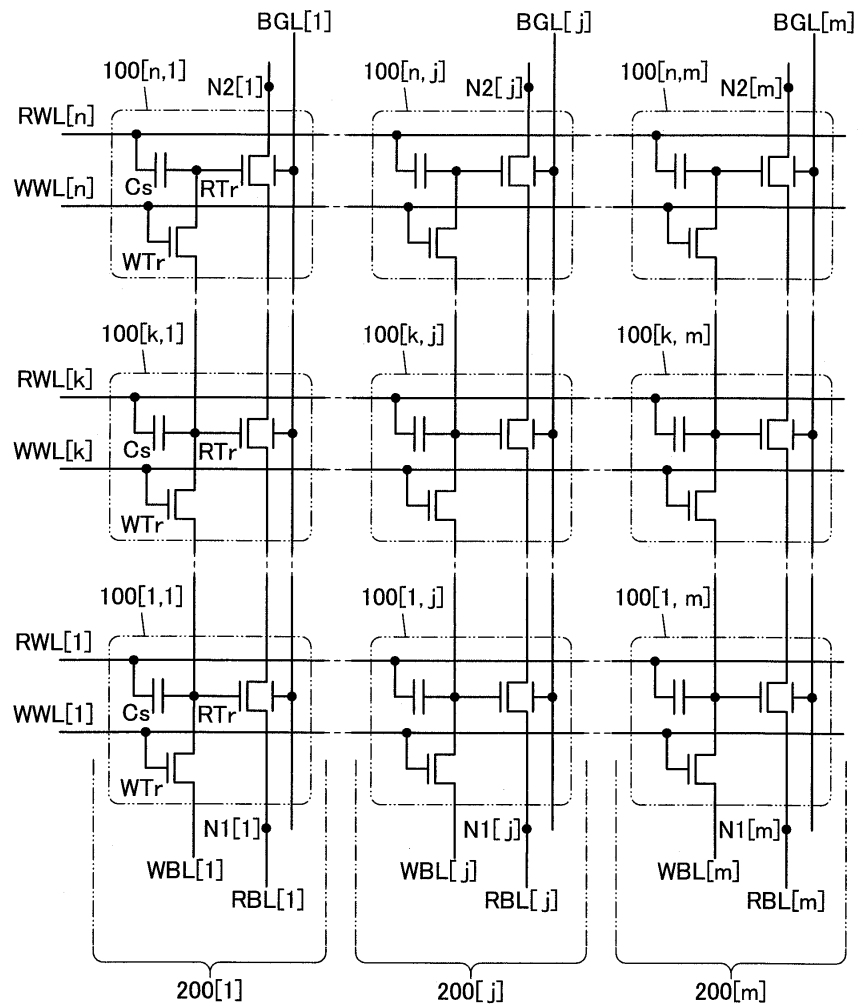


【圖 36A】



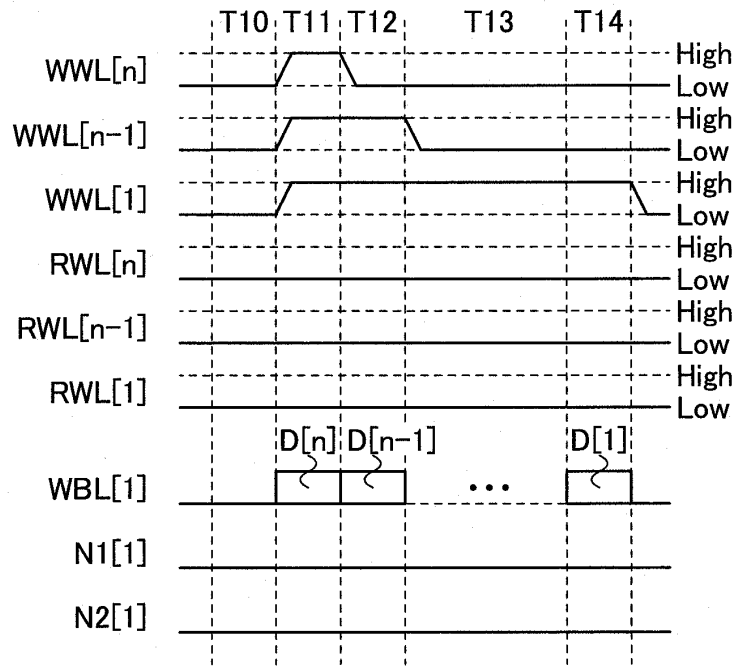
【圖 36B】

300

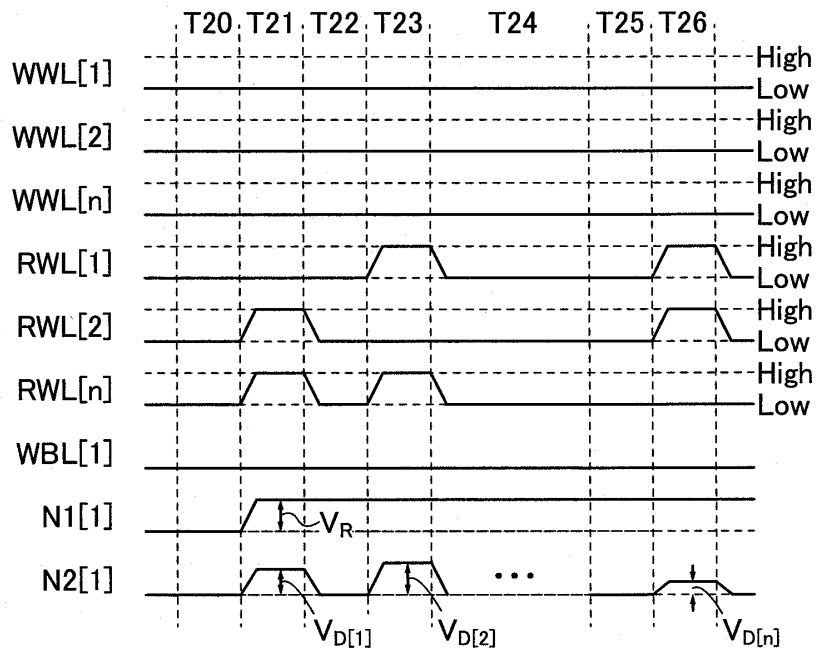


【圖 37】

(46)

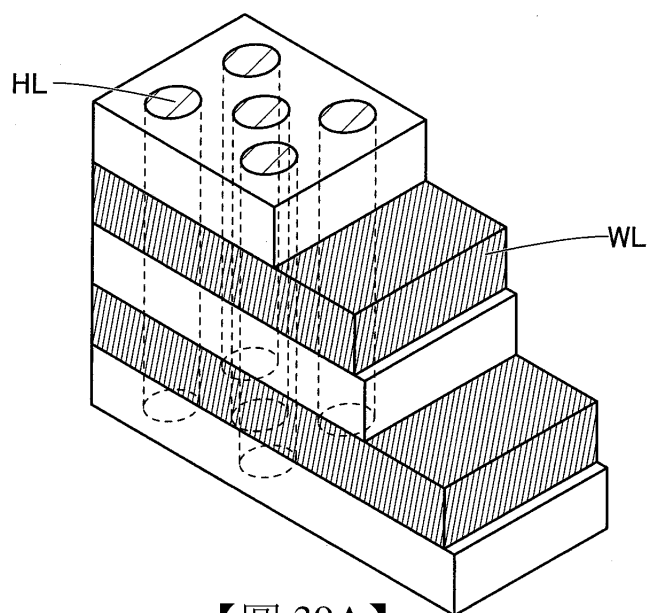


【圖 38A】

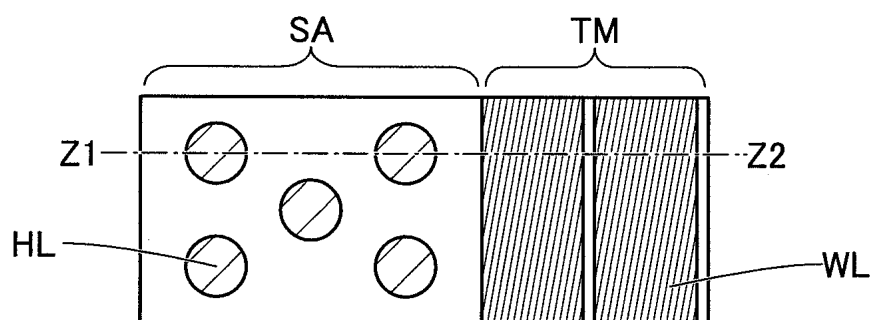


【圖 38B】

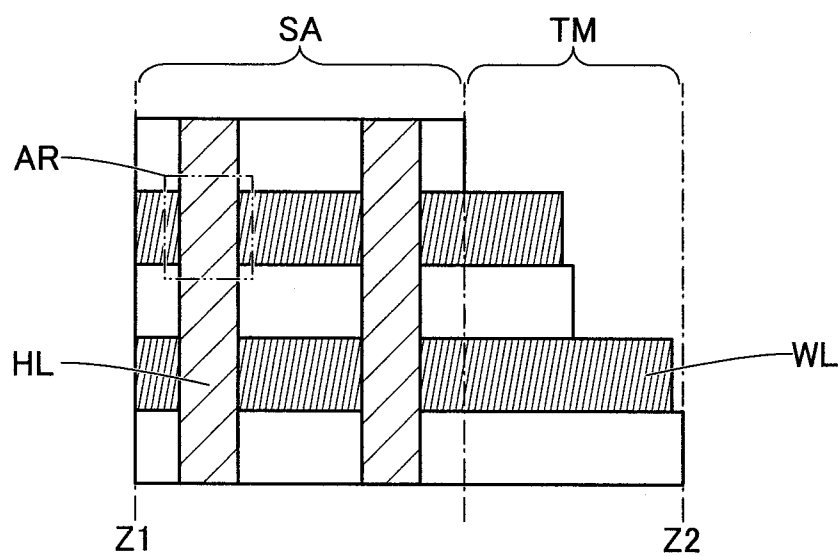
(47)



【圖 39A】

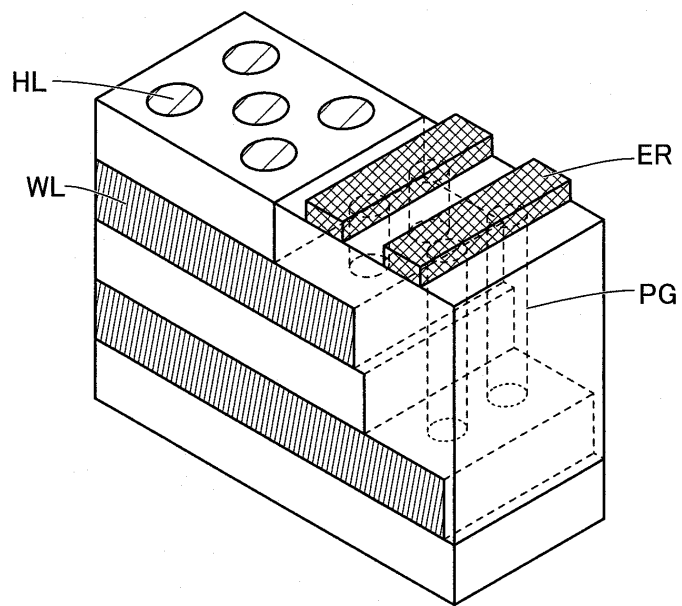


【圖 39B】

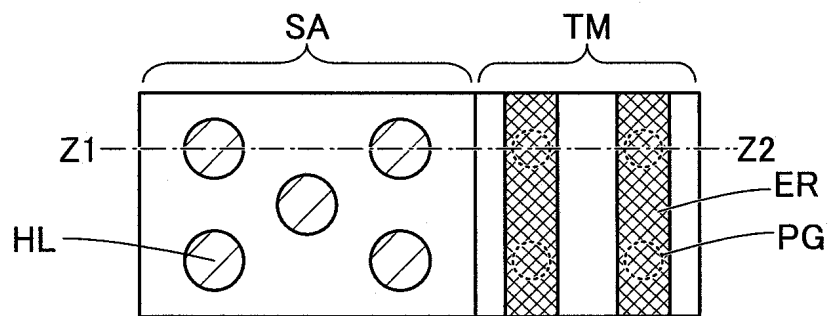


【圖 39C】

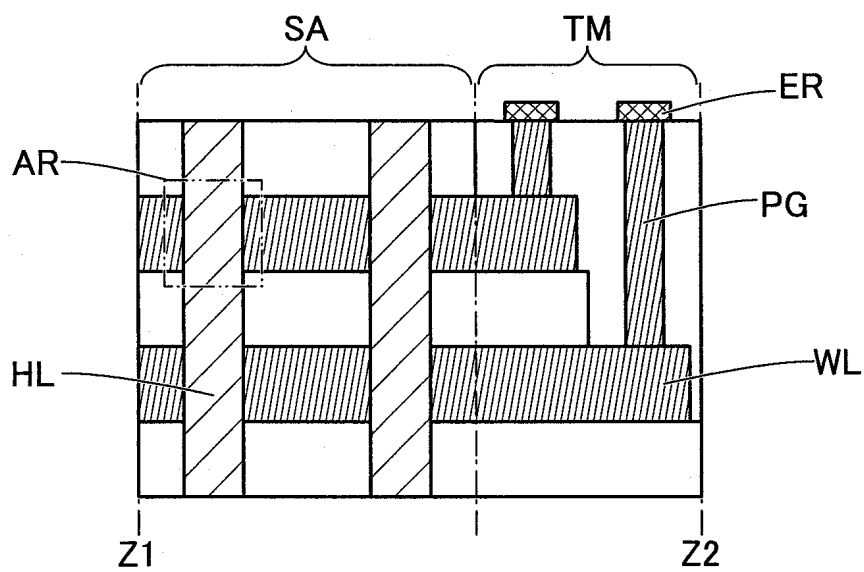
(48)



【圖 40A】

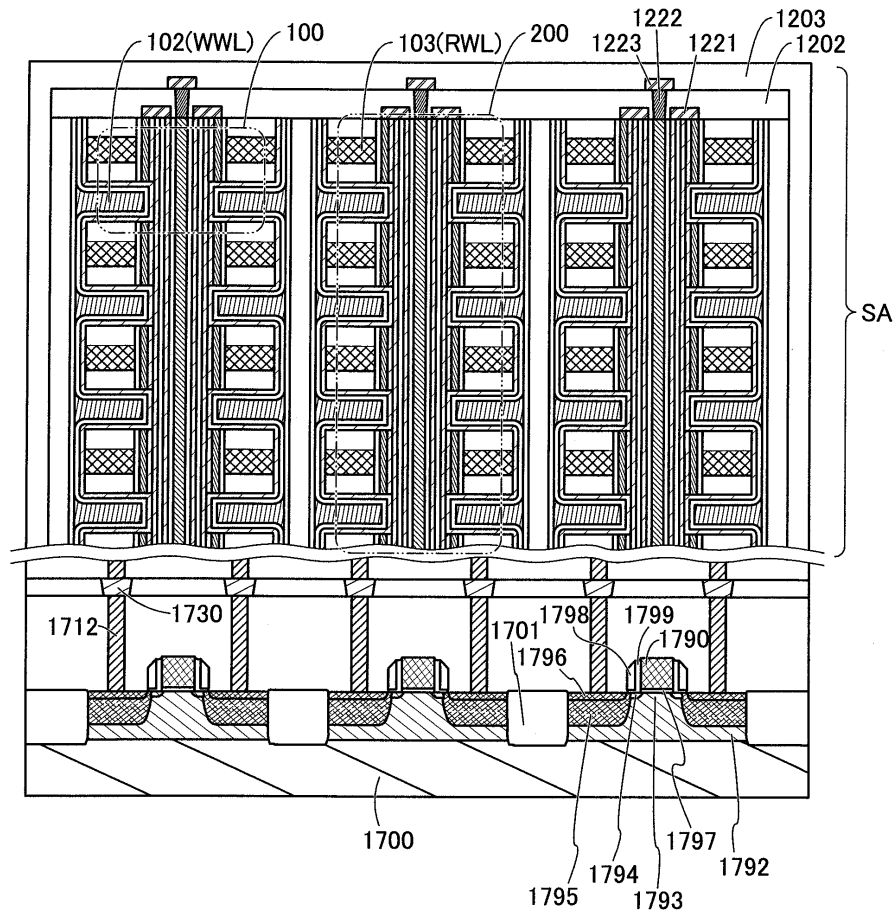


【圖 40B】

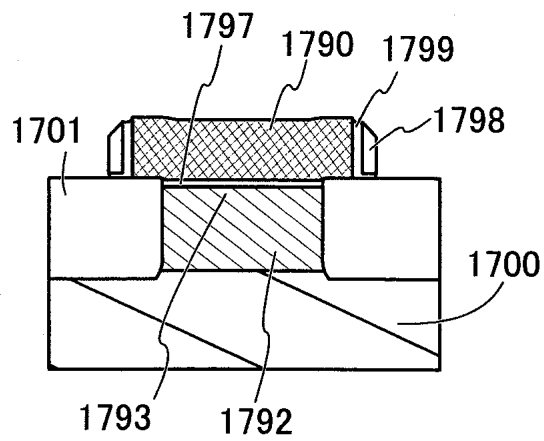


【圖 40C】

(49)

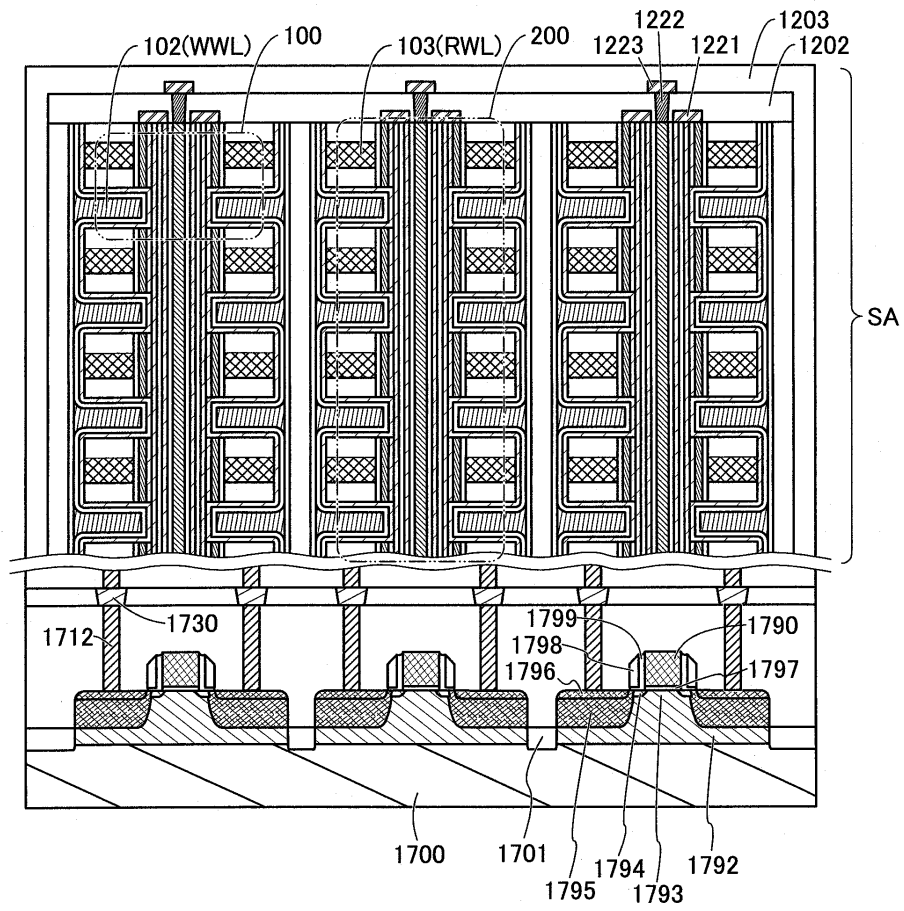


【圖 41A】

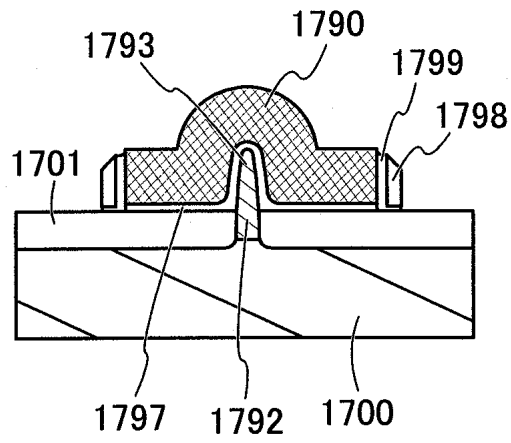


【圖 41B】

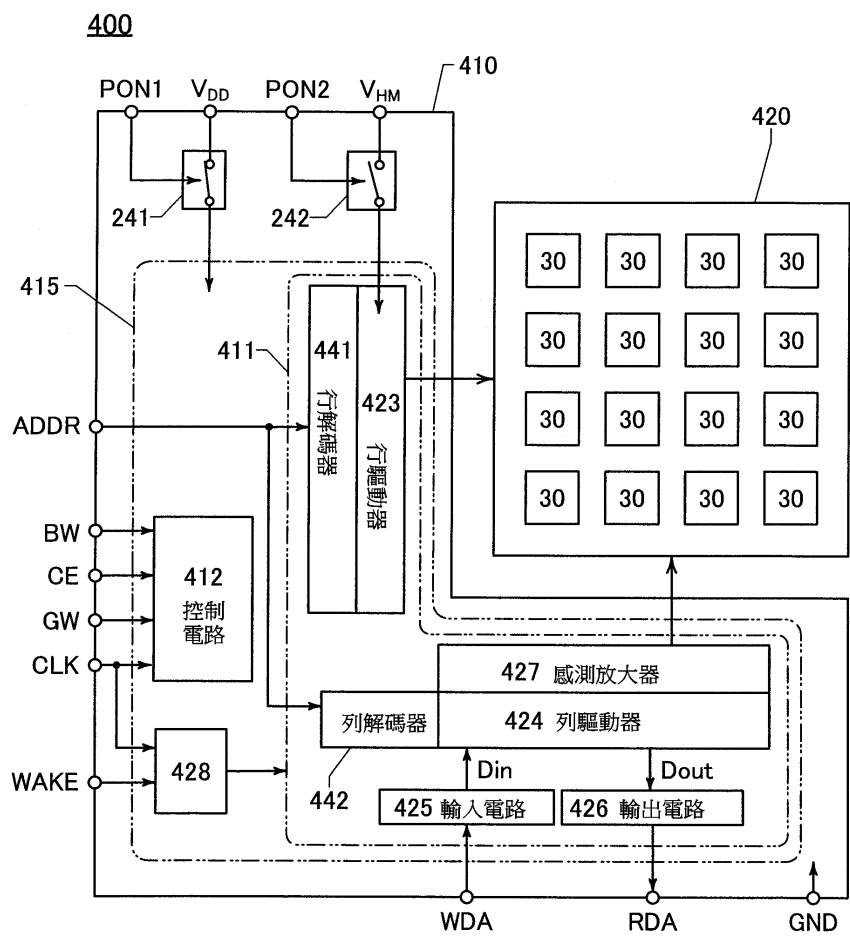
(50)



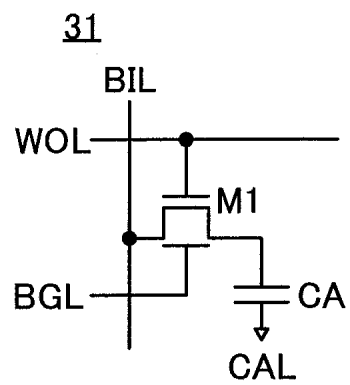
【圖 42A】



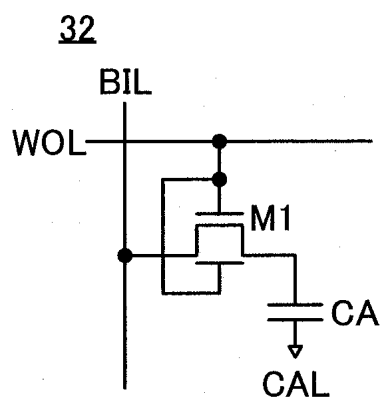
【圖 42B】



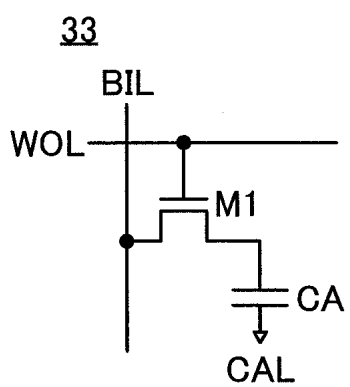
【圖 43】



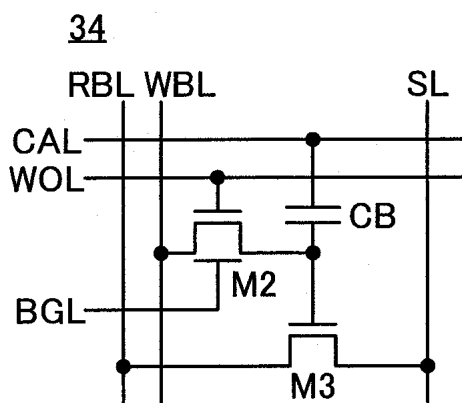
【圖 44A】



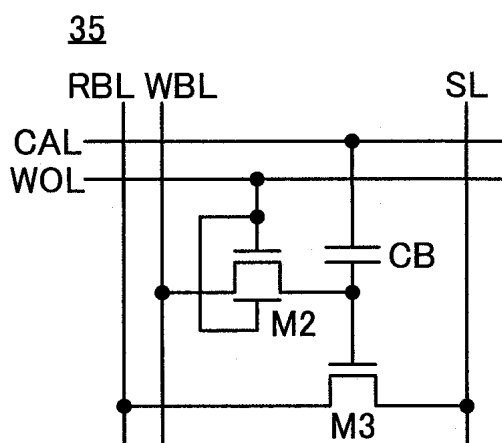
【圖 44B】



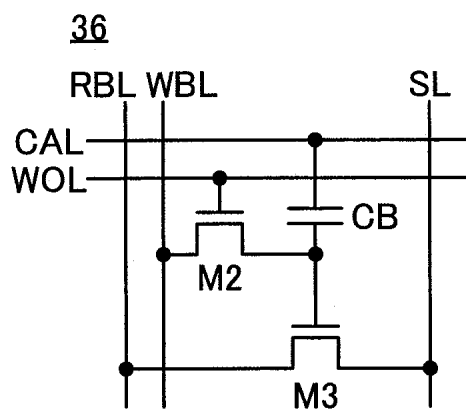
【圖 44C】



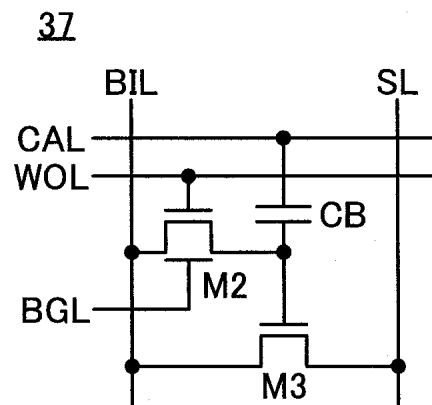
【圖 44D】



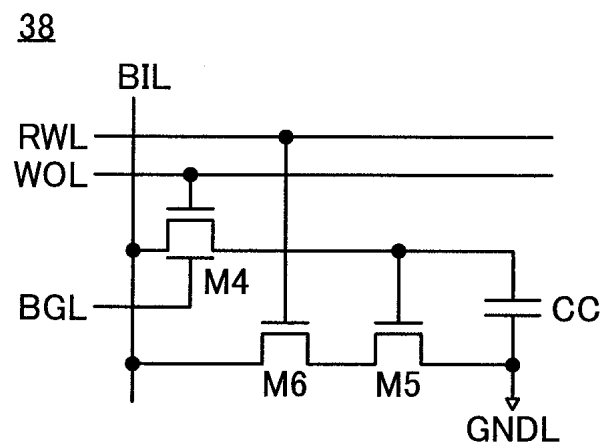
【圖 44E】



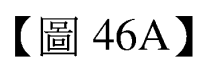
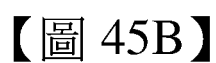
【圖 44F】



【圖 44G】

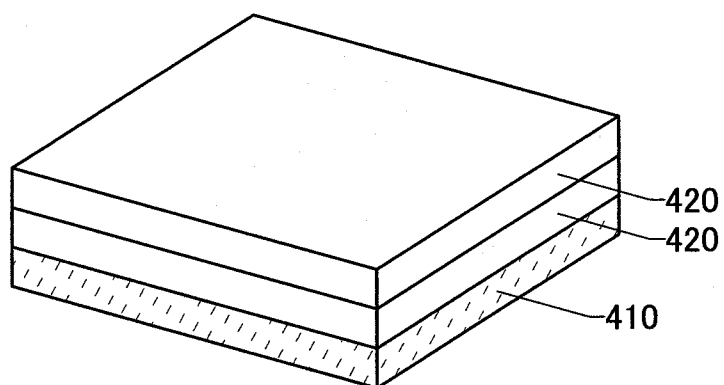


【圖 45A】



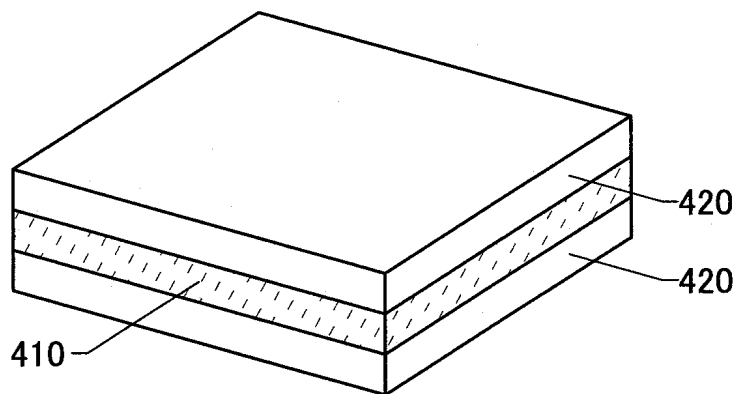
(56)

400

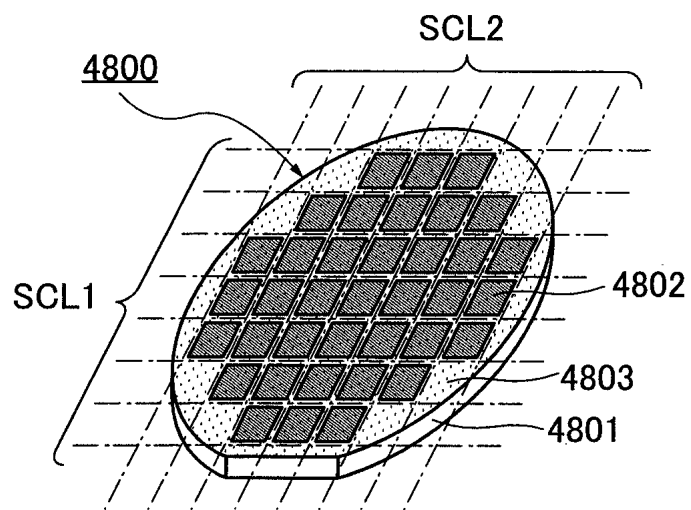


【圖 46B】

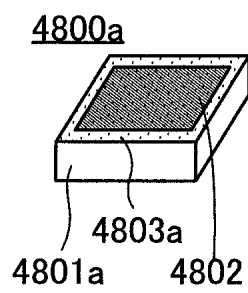
400



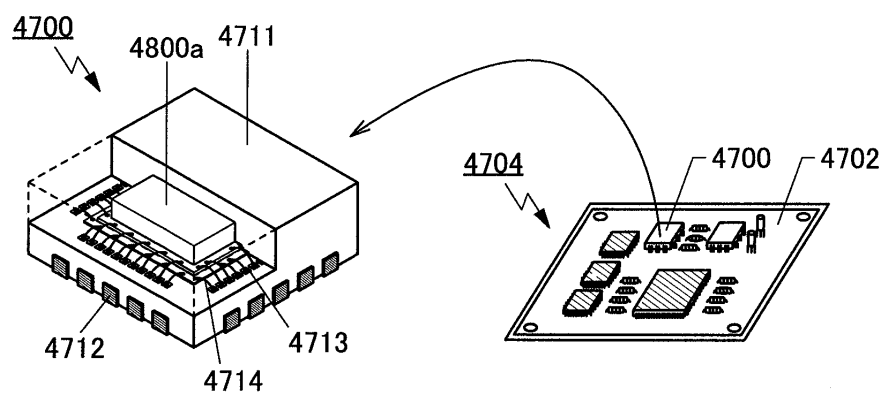
【圖 46C】



【圖 47A】

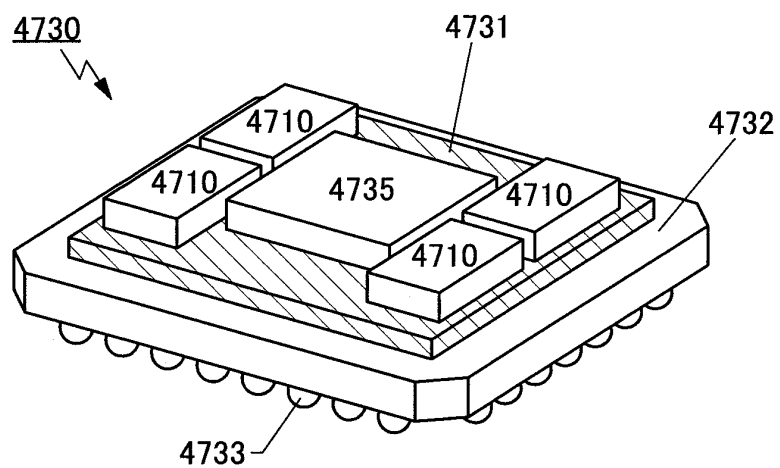


【圖 47B】



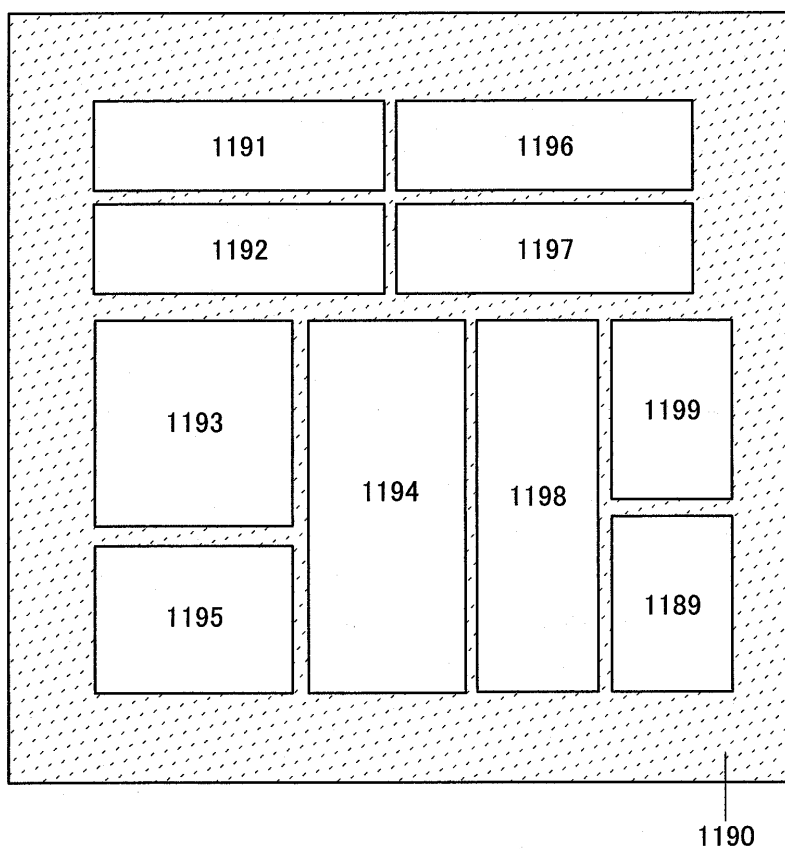
【圖 47C】

(58)



【圖 47D】

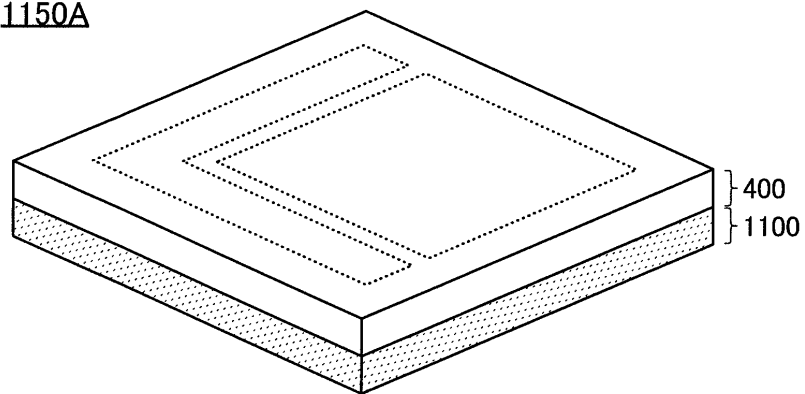
1100



【圖 48】

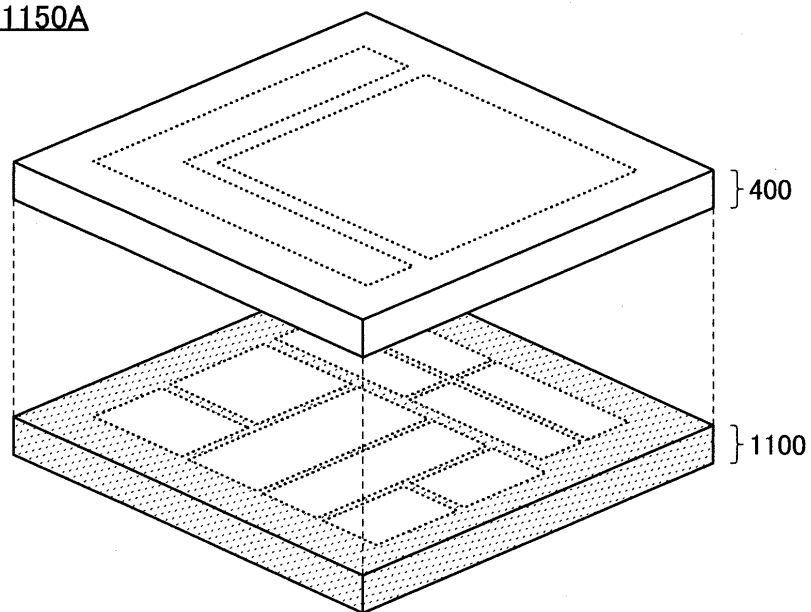
(59)

1150A



【圖 49A】

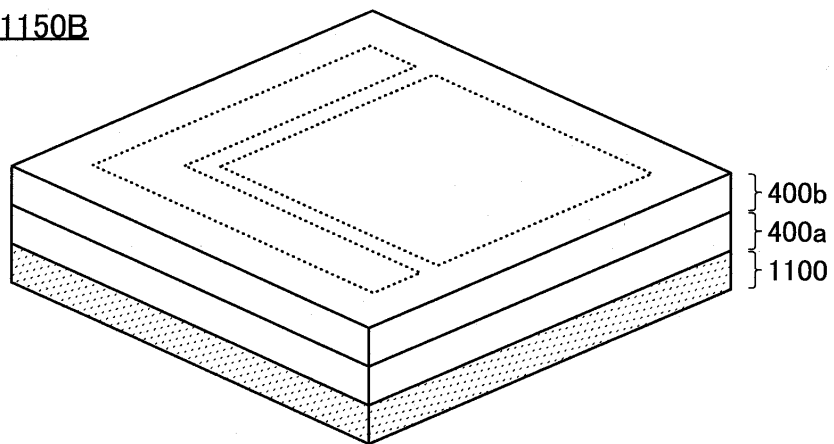
1150A



【圖 49B】

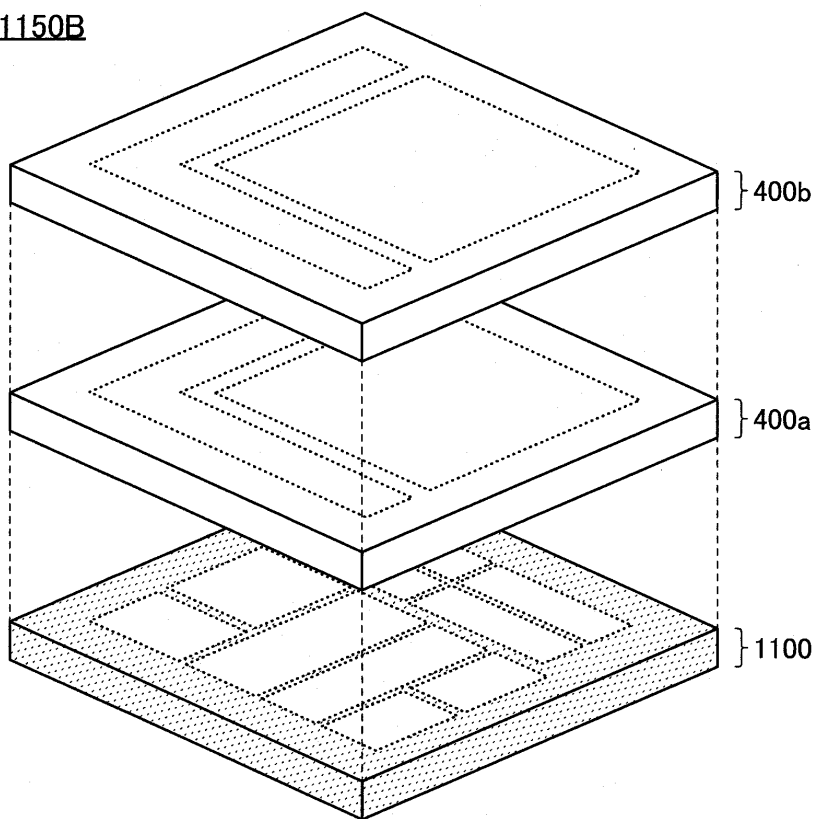
(60)

1150B



【圖 50A】

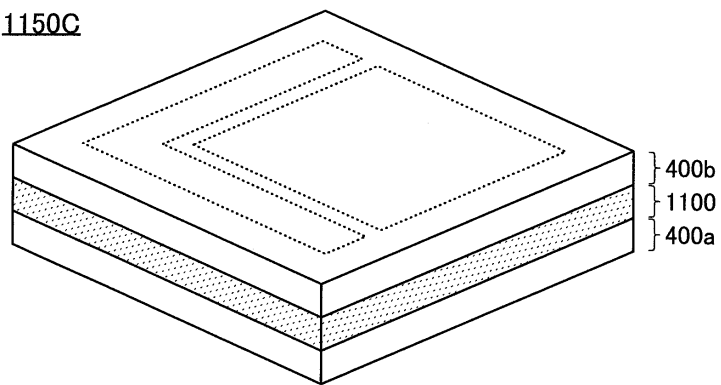
1150B



【圖 50B】

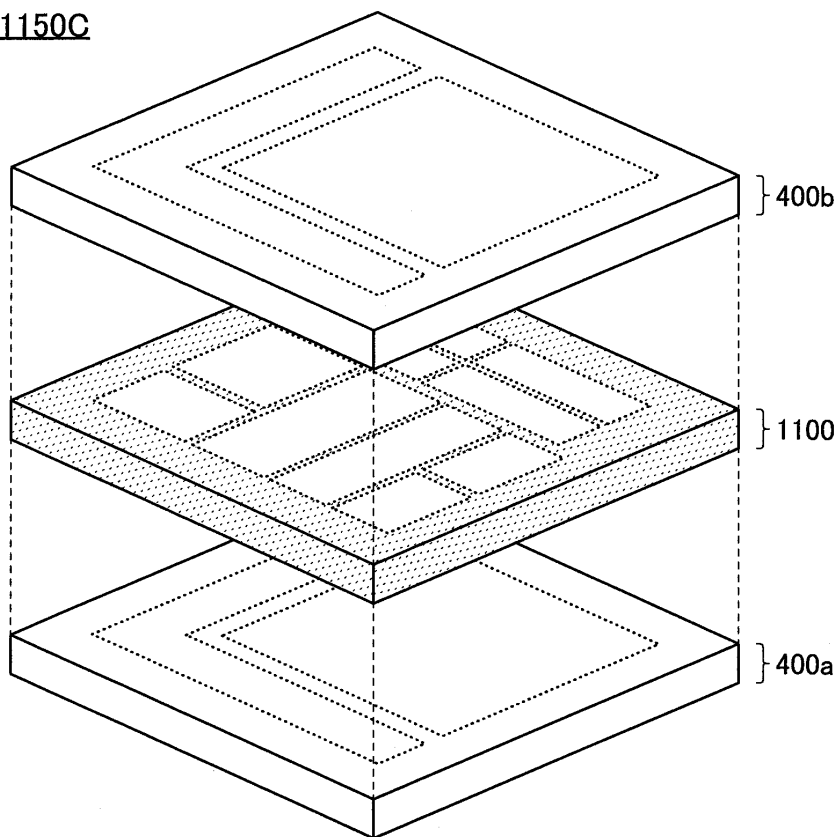
(61)

1150C



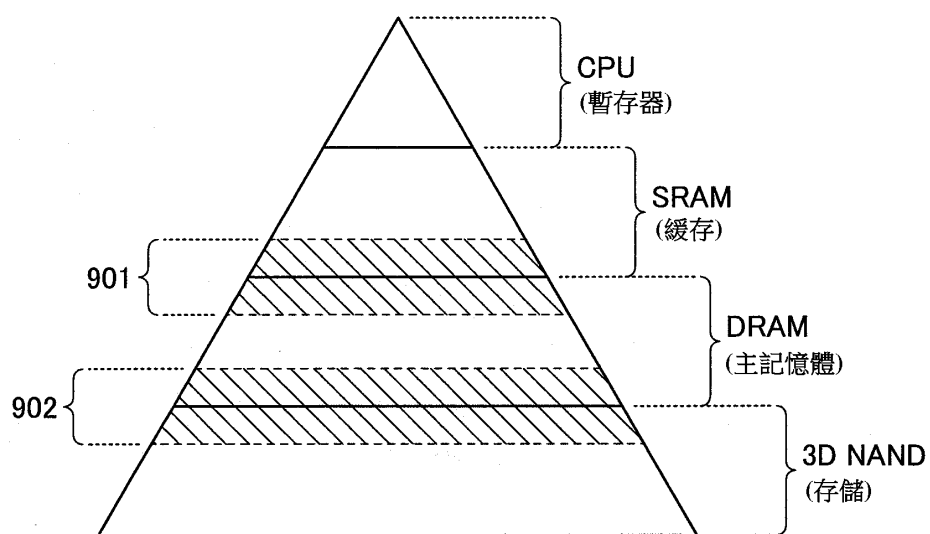
【圖 51A】

1150C

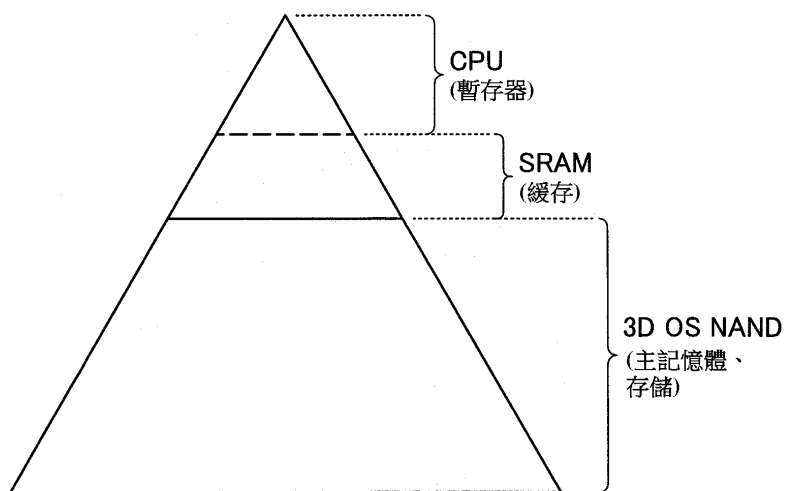


【圖 51B】

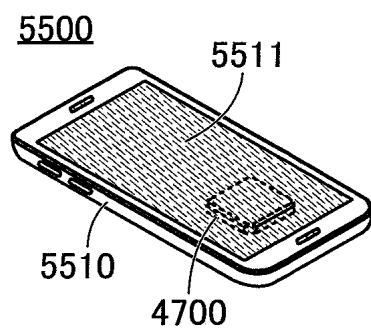
(62)



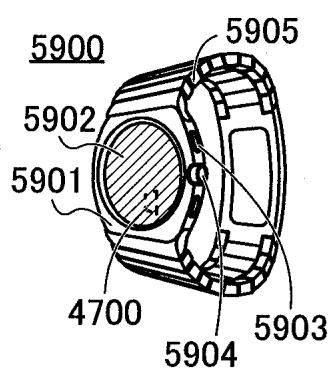
【圖 52A】



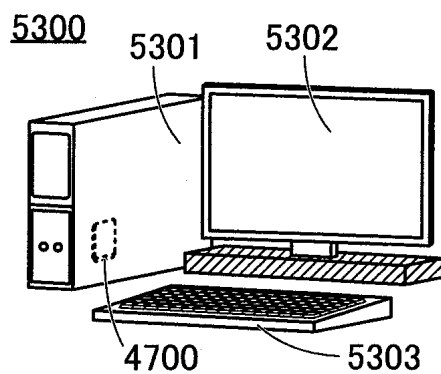
【圖 52B】



【圖 53A】

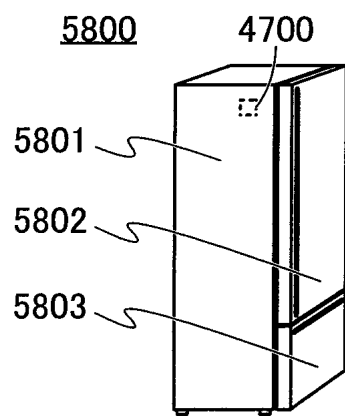


【圖 53B】

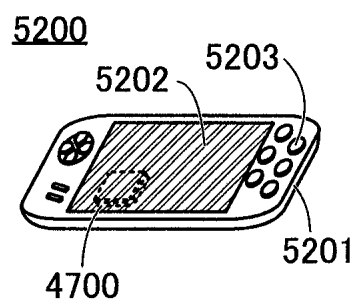


【圖 53C】

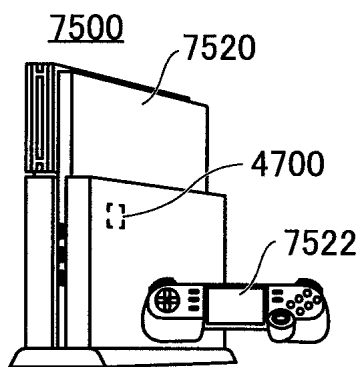
(64)



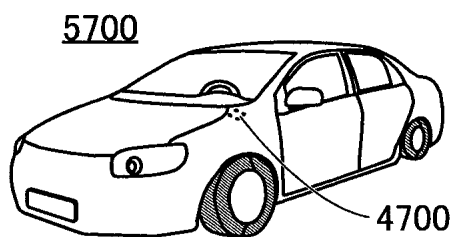
【圖 53D】



【圖 53E】

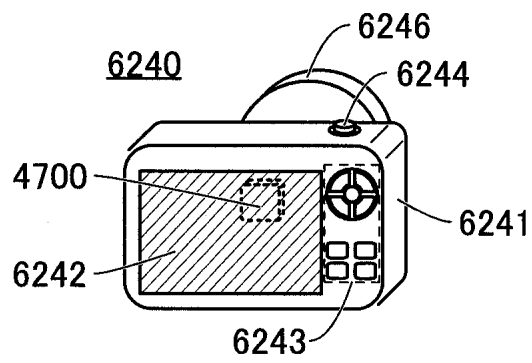


【圖 53F】

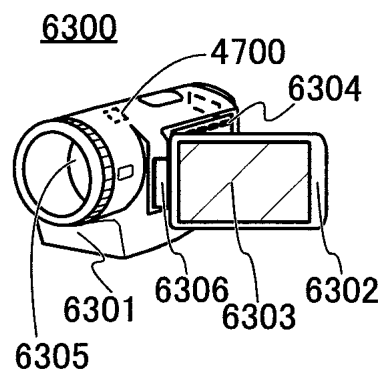


【圖 53G】

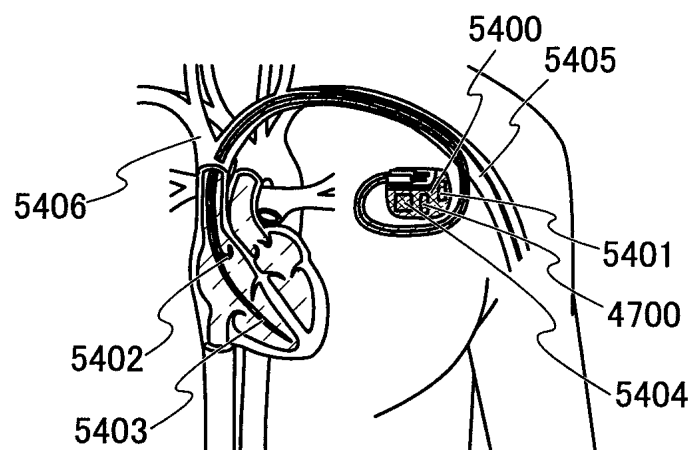
(65)



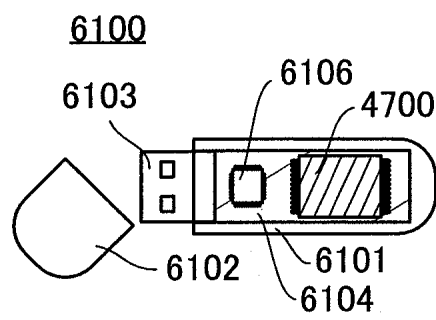
【圖 53H】



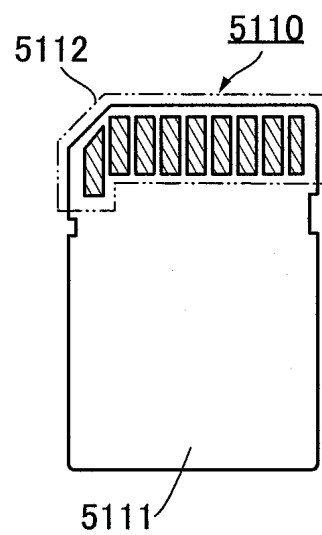
【圖 53I】



【圖 53J】

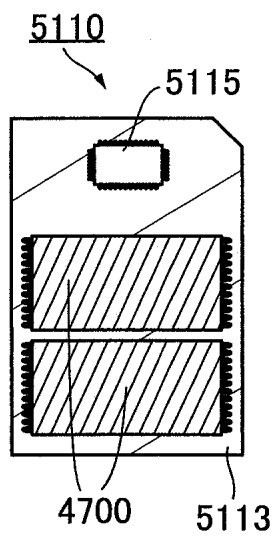


【圖 54A】

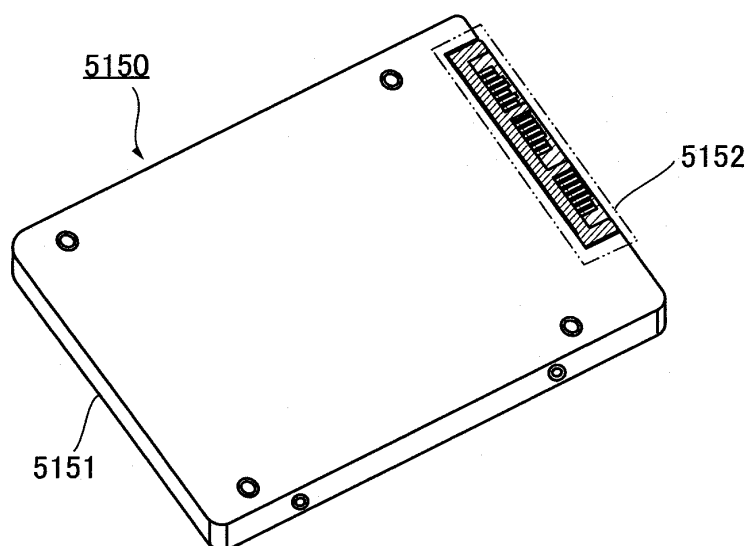


【圖 54B】

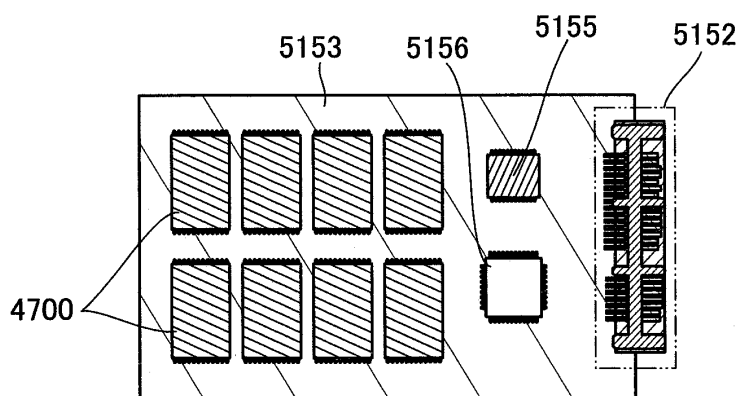
(67)



【圖 54C】

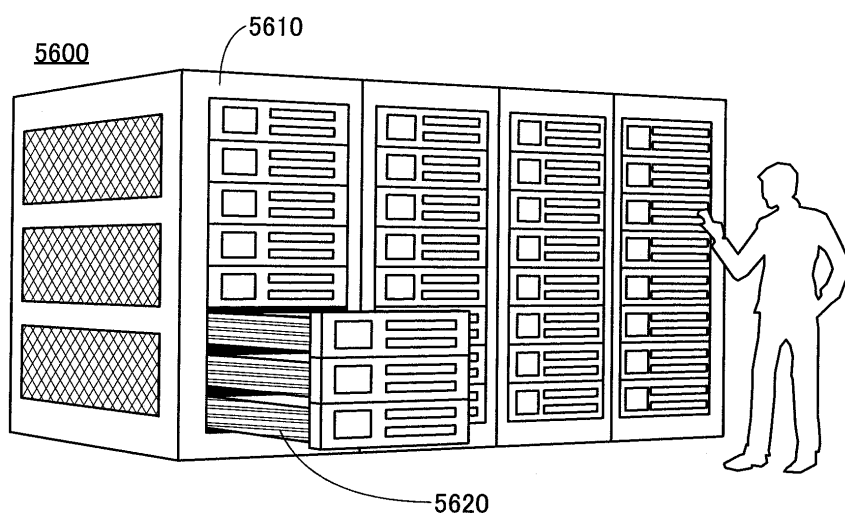


【圖 54D】

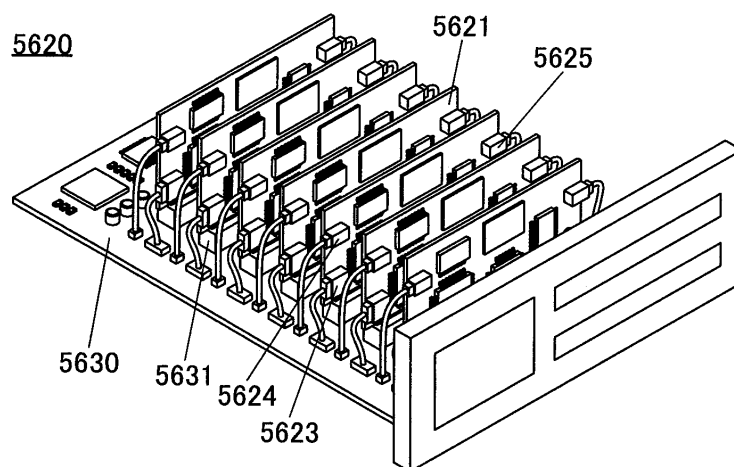


【圖 54E】

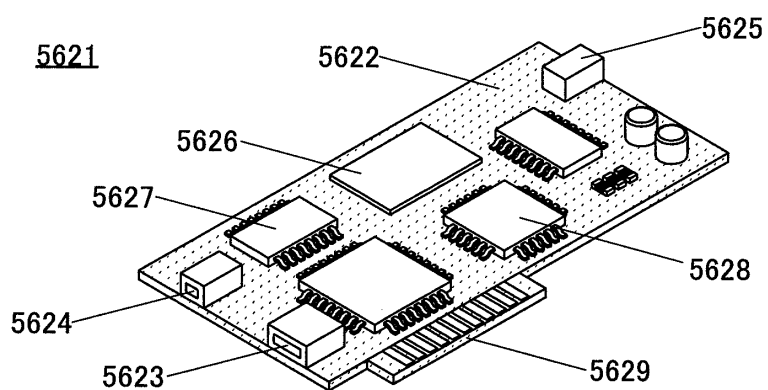
(68)



【圖 55A】

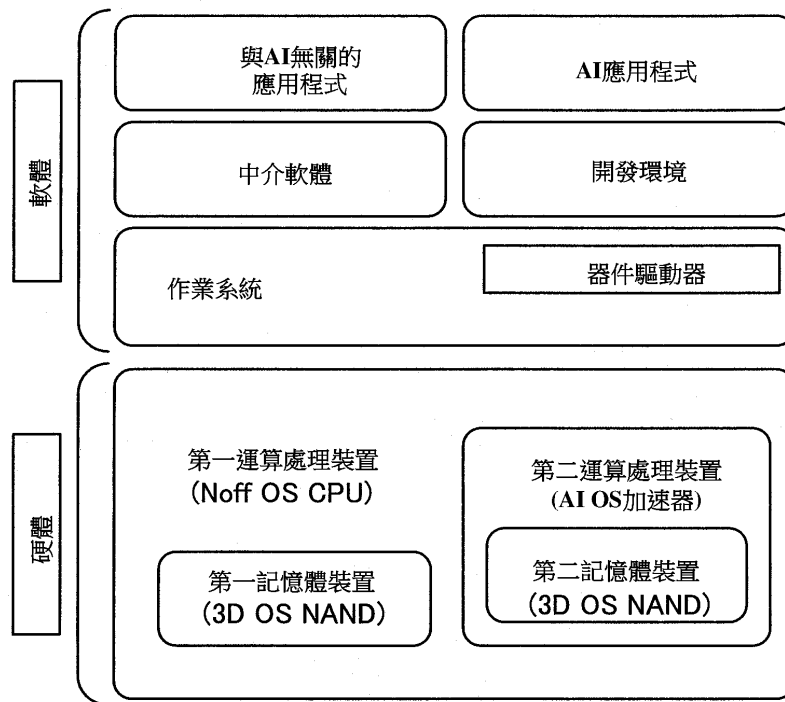


【圖 55B】

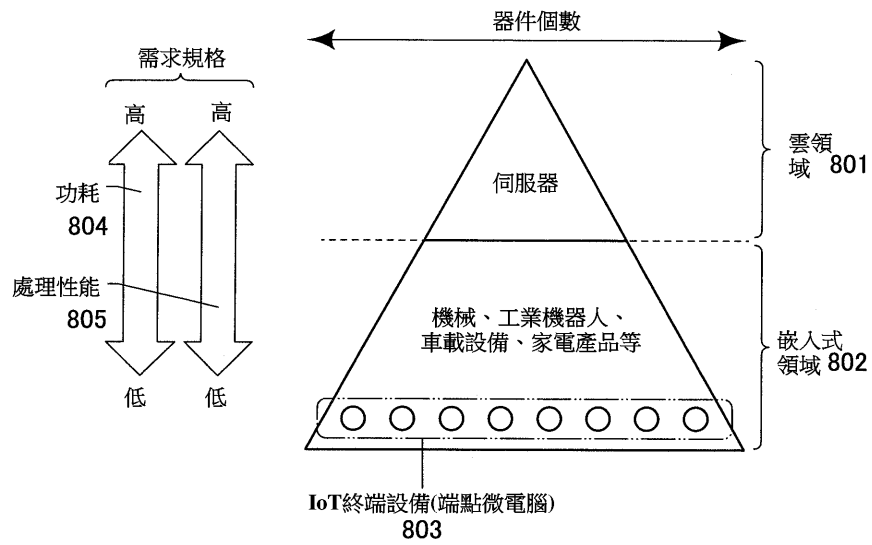


【圖 55C】

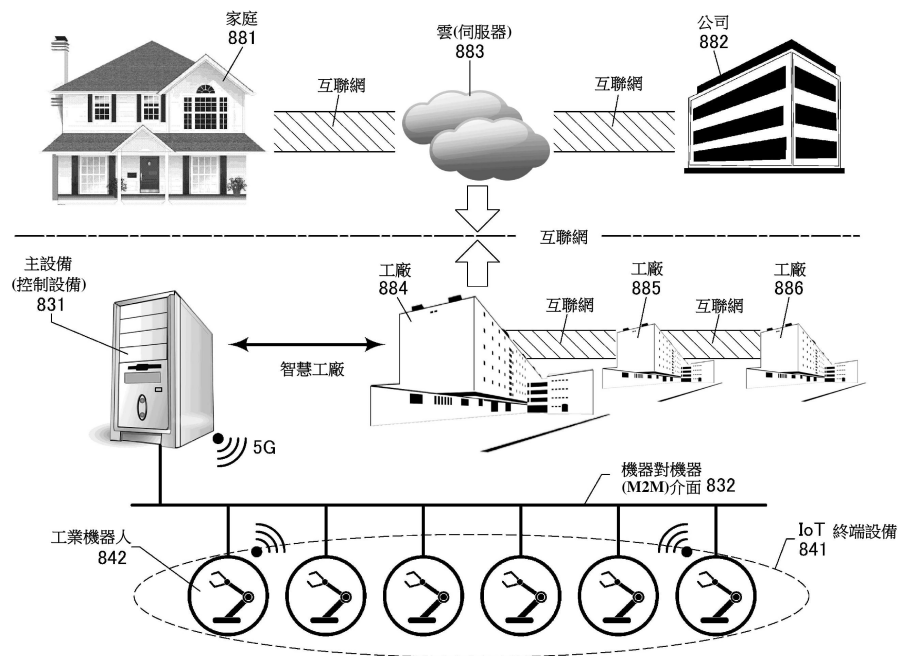
700



【圖 56】



【圖 57】



【圖 58】