

【11】證書號數：I938923

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *H10D88/00 (2026.01)* *H10W70/60 (2026.01)*
H10W20/20 (2026.01)

發明

全 18 頁

【54】名稱：具有減小的禁入區的半導體裝置結構及其製法

【21】申請案號：114112509

【22】申請日：中華民國 114 (2025) 年 04 月 01 日

【11】公開編號：202635014

【43】公開日期：中華民國 115 (2026) 年 08 月 16 日

【30】優先權：2025/02/12

美國

19/051,409

【72】發明人：黃章祐 (TW) HUANG, CHANG-YU；洪志斌 (TW) HUNG, CHIH-PIN；林宏翰 (TW) LIN, HUNG-HAN；蔡萬霖 (TW) TSAI, WAN-LIN

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR

MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW 202310236A

TW 202335202A

US 2025/0006760A1

US 2025/0006770A1

審查人員：徐孝倫

【57】申請專利範圍

1. 一種半導體裝置結構，包括：
裝置區，包括多個半導體裝置；以及
基底穿孔區域，包括：
基底穿孔，延伸穿過基底；以及
深溝渠隔離結構，位於所述基底內，其中所述深溝渠隔離結構的至少一部分位於所述基底穿孔與所述裝置區之間，且所述深溝渠隔離結構的深度與所述基底穿孔和所述裝置區中的所述半導體裝置之間的最小距離的比值大於 1。
2. 如請求項 1 所述的半導體裝置結構，其中所述深溝渠隔離結構的所述深度與所述基底穿孔和所述裝置區中的所述半導體裝置之間的所述最小距離的比值 6。
3. 如請求項 1 所述的半導體裝置結構，其中所述深溝渠隔離結構的側面接觸所述基底穿孔的側面。
4. 一種半導體裝置結構，包括：
基底，包括形成所述基底的第一表面的半導體材料層；
多個半導體裝置，位於第一區中的所述基底的半導體材料層上和/或中；
至少一個深溝渠隔離結構，位於第二區中，所述至少一個深溝渠隔離結構包括從所述基底的所述第一表面延伸進入所述基底至深度大於 3 μ m 的介電材料；以及
基底穿孔，包括在所述基底的所述第一表面與所述基底相反於所述第一表面的第二表面之間延伸的導電材料，其中所述基底穿孔位於所述第二區中，且所述至少一個深溝渠隔離結構的至少一部份位於所述基底穿孔與所述第一區之間。
5. 如請求項 4 所述的半導體裝置結構，其中所述至少一個深溝渠隔離結構從所述基底的所述第一表面延伸進入所述基底的深度 5 μ m，且所述基底穿孔與所述第一區之間的最小距離 0.5 μ m。

6. 如請求項 4 所述的半導體裝置結構，其中：
 所述第一區包括由第一隔離特徵分隔的多個氧化物定義區域，且所述半導體裝置包括形成在所述氧化物定義區域中的場效電晶體；以及
 所述第二區包括由包括所述至少一個深溝渠隔離結構的第二隔離特徵分隔的多個擬置氧化物定義區域。
7. 如請求項 6 所述的半導體裝置結構，其中所述至少一個深溝渠隔離結構包括環繞所述擬置氧化物定義區域中的每一者的網格，且所述基底穿孔形成於所述網格內。
8. 如請求項 6 所述的半導體裝置結構，其中所述半導體裝置包括鰭式場效電晶體，所述擬置氧化物定義區域包括被包含介電材料的淺溝渠隔離結構環繞的鰭結構，且所述至少一個深溝渠隔離結構與所述淺溝渠隔離結構連續。
9. 一種製造半導體裝置結構的方法，包括：
 形成多個半導體裝置在基底的第一區中；
 形成深溝渠隔離結構在所述基底的第二區中；以及
 形成基底穿孔在所述基底的所述第二區中，使得所述深溝渠隔離結構的至少一部分位於所述基底穿孔與所述第一區之間，且所述深溝渠隔離結構的深度與所述基底穿孔和所述第一區中的半導體裝置之間的最小距離的比值大於 1。
10. 如請求項 9 所述的方法，其中形成多個深溝渠隔離結構在所述第二區中，且其中形成所述基底穿孔包括：
 通過遮罩執行蝕刻製程，藉由移除所述基底的一部分和所述深溝渠隔離結構中的至少一個深溝渠隔離結構來形成基底穿孔開口；以及
 在所述基底穿孔開口內沉積導電材料以形成所述基底穿孔，其中所述深溝渠隔離結構中的剩餘的深溝渠隔離結構的至少一部分位於所述基底穿孔與所述第一區之間。

圖式簡單說明

當與附圖一起閱讀時，從下面的詳細說明中可以得到本揭露的各個方面最好的理解。需要指出的是，根據產業標準實務，各種特徵並未按比例繪製。事實上，為了清楚討論，各種特徵的尺寸可以任意增加或減少。

圖 1 是根據本揭露實施例的第一結構的垂直剖面圖。

圖 2A 是根據本揭露各種實施例的半導體裝置結構的俯視圖。

圖 2B 是沿圖 2A 中線 A-A' 截取的半導體裝置結構的垂直剖面圖。

圖 2C 是沿圖 2A 中線 B-B' 截取的半導體裝置結構的垂直剖面圖。

圖 3A 是根據本揭露各種實施例的包括在半導體裝置結構的基底穿孔 (through-substrate via, TSV) 區內形成的 TSV 的半導體裝置結構的俯視圖。

圖 3B 是沿圖 3A 中線 A-A' 截取的半導體裝置結構的垂直剖面圖。

圖 3C 是沿圖 3A 中線 B-B' 截取的半導體裝置結構的垂直剖面圖。

圖 4A 是根據本揭露另一實施例的半導體裝置結構的側視剖面圖。

圖 4B 是根據本揭露一實施例的包括在半導體裝置結構的 TSV 區內形成的 TSV 的半導體裝置結構的側視剖面圖。

圖 5A 是根據本揭露另一實施例的半導體裝置結構的垂直剖面圖。

圖 5B 是根據本揭露一實施例沿橫向方向觀看的圖 5A 中的半導體裝置結構的垂直剖面圖。

圖 6A 是根據本揭露另一實施例的半導體裝置結構的垂直剖面圖。

圖 6B 是根據本揭露另一實施例的半導體裝置結構的垂直剖面圖。

圖 6C 是根據本揭露另一實施例的半導體裝置結構的垂直剖面圖。

圖 7A 是根據本揭露各種實施例的包括沿一條線排列的多個深溝渠隔離 (deep trench isolation, DTI) 結構的半導體裝置結構的垂直剖面圖。

(3)

圖 7B 是根據本揭露各種實施例的包括形成為穿過數個 DTI 結構且相對兩側被剩餘 DTI 結構環繞的 TSV 的圖 7A 的半導體裝置結構的垂直剖面圖。

圖 8A 是根據本揭露各種實施例的包括三個沿一條線排列且彼此間隔開的 DTI 結構的半導體裝置結構的垂直剖面圖。

圖 8B 是根據本揭露各種實施例的包括形成為穿過中間 DTI 結構且相對兩側被剩餘兩個 DTI 結構環繞的 TSV 的圖 8A 的半導體裝置結構的垂直剖面圖。

圖 9A 是根據本揭露各種實施例的包括 DTI 結構的半導體裝置結構的垂直剖面圖。

圖 9B 是根據本揭露各種實施例的包括形成為穿過 DTI 結構的 TSV 的圖 9A 的半導體裝置結構的垂直剖面圖。

圖 10 是根據本揭露另一實施例的半導體裝置結構的垂直剖面圖。

圖 11A 是根據本揭露一實施例的示出了裝置區和包括 TSV 和環繞 TSV 的圓形 DTI 結構的 TSV 區的半導體裝置結構的水平剖面圖。

圖 11B 是根據本揭露另一實施例的示出了裝置區和包括 TSV 和環繞 TSV 的方形 DTI 結構的 TSV 區的半導體裝置結構的水平剖面圖。

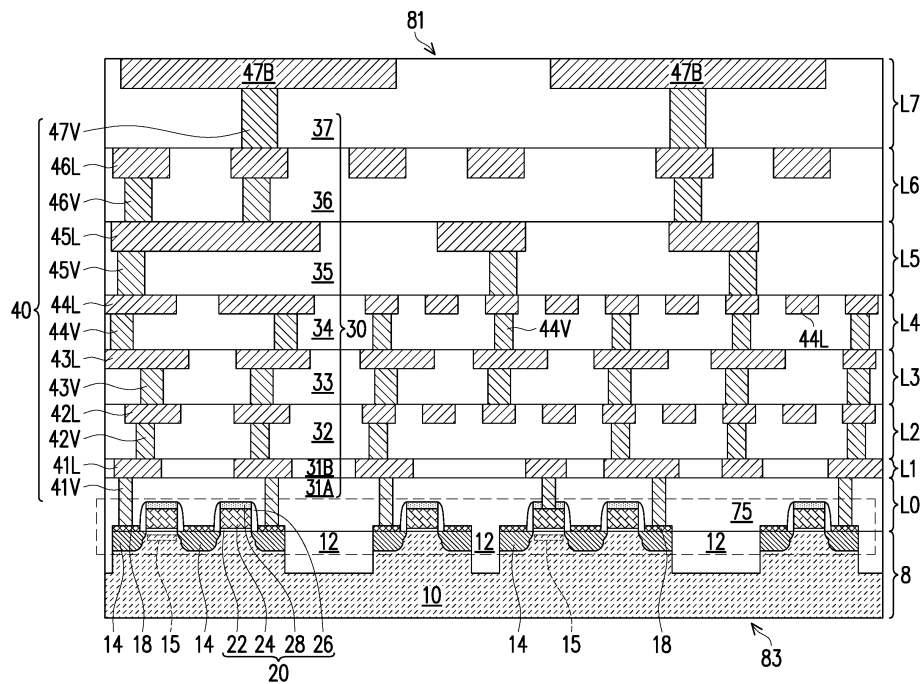
圖 11C 是根據本揭露另一實施例的示出了裝置區和包括 TSV 和環繞 TSV 的矩形 DTI 結構的 TSV 區的半導體裝置結構的水平剖面圖。

圖 11D 是根據本揭露另一實施例的示出了裝置區和包括 TSV 和環繞 TSV 的六角形 DTI 結構的 TSV 區的半導體裝置結構的水平剖面圖。

圖 11E 是根據本揭露另一實施例的示出了裝置區和包括 TSV 和環繞 TSV 的八角形 DTI 結構的 TSV 區的半導體裝置結構的水平剖面圖。

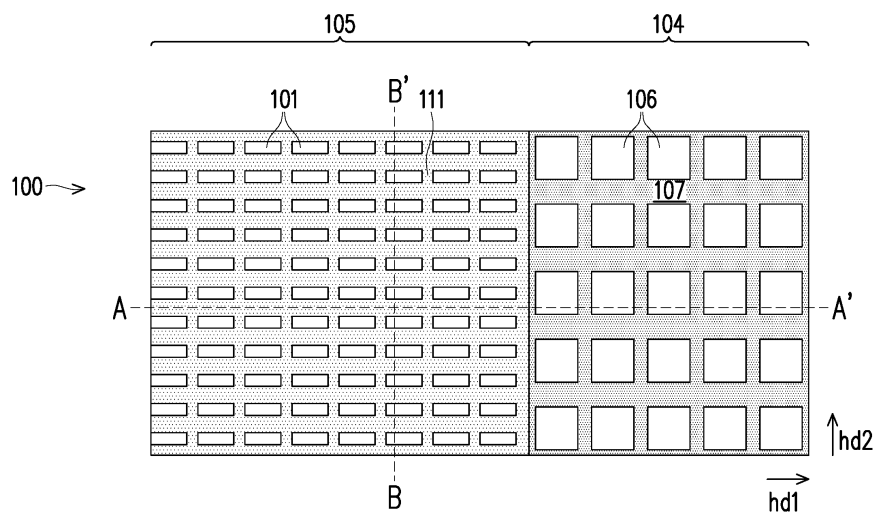
圖 11F 是根據本揭露另一實施例的示出了裝置區和包括 TSV 和環繞 TSV 的多邊形 DTI 結構的 TSV 區的半導體裝置結構的水平剖面圖。

圖 12 是示出了根據本揭露各種實施例的形成半導體裝置結構方法的步驟的流程圖。

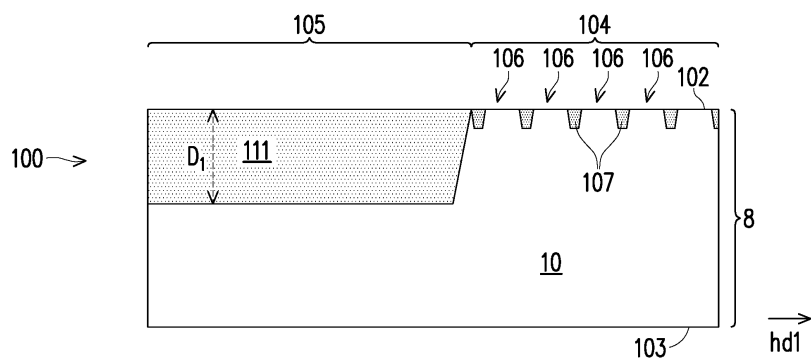


【圖1】

(4)

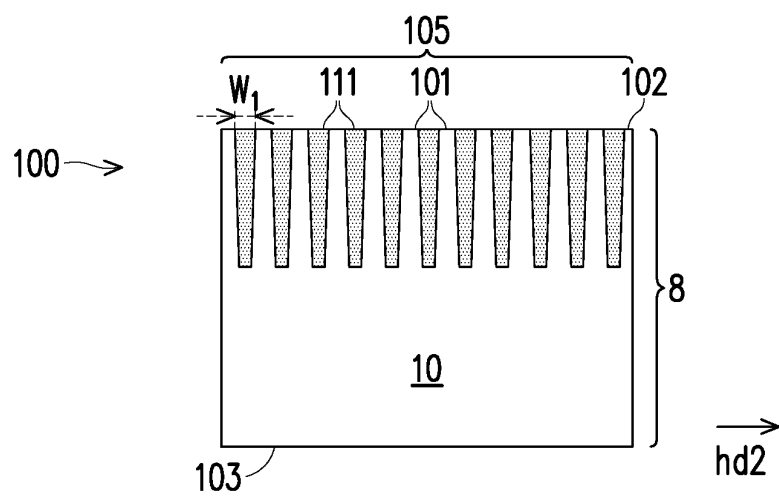


【圖2A】

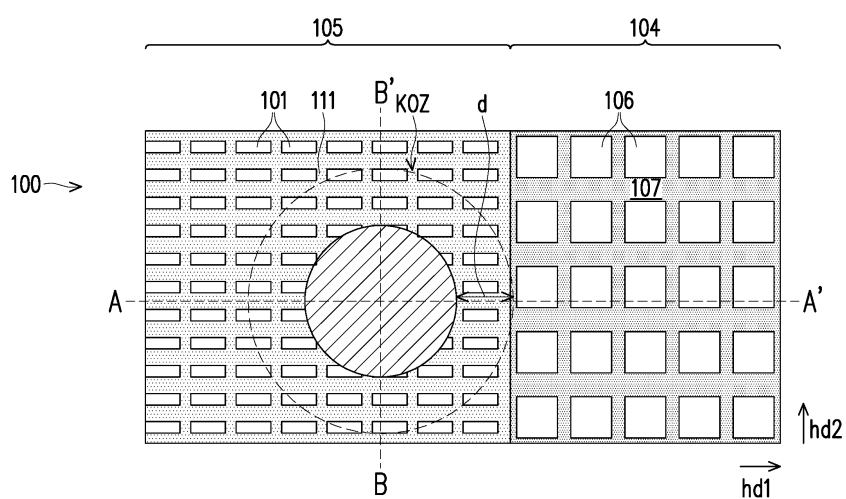


【圖2B】

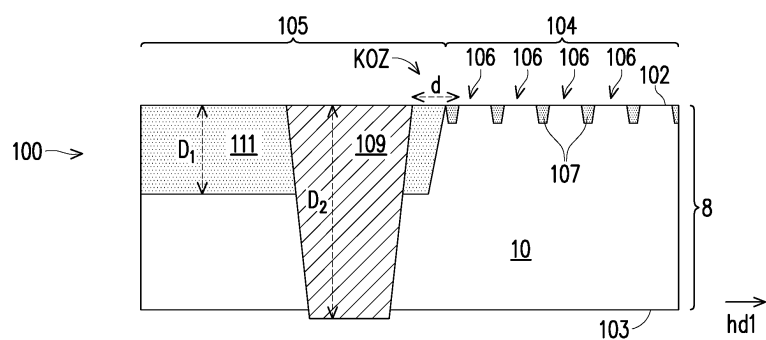
(5)



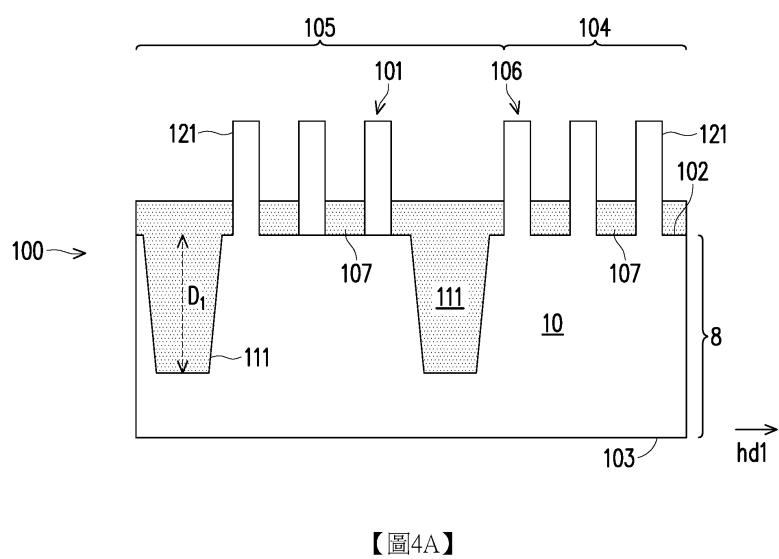
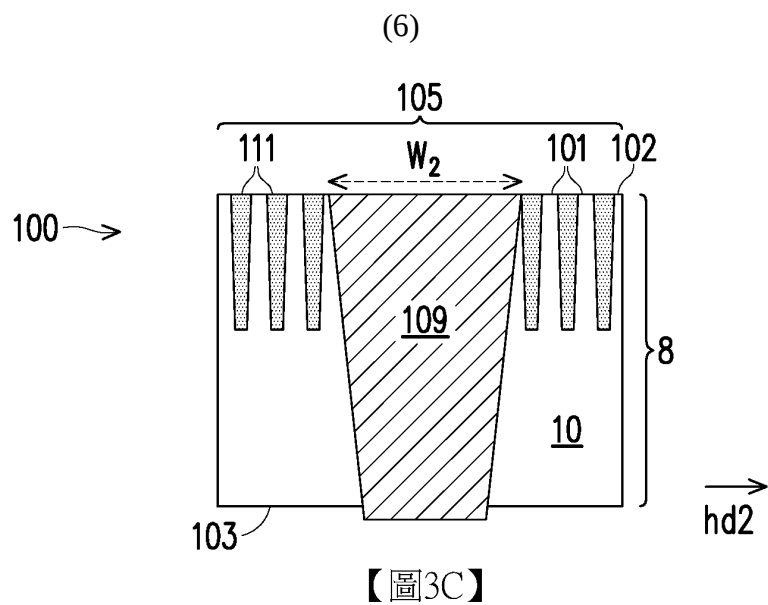
【圖2C】



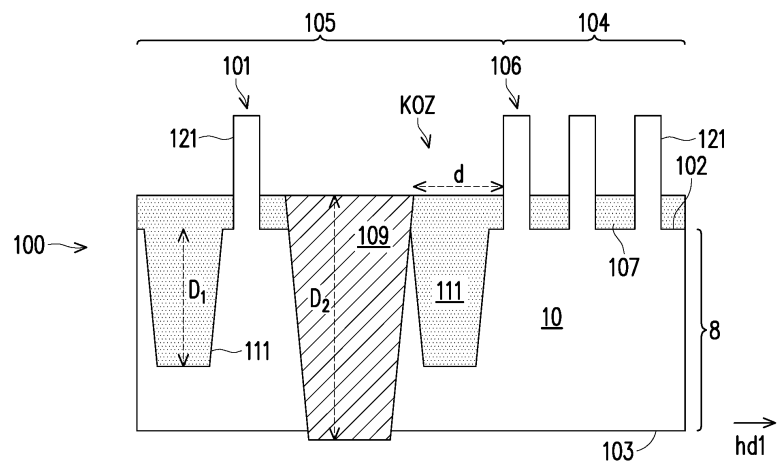
【圖3A】



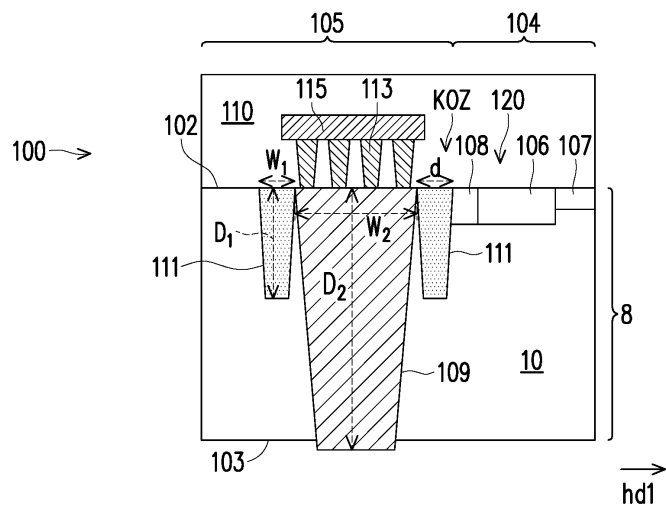
【圖3B】



(7)

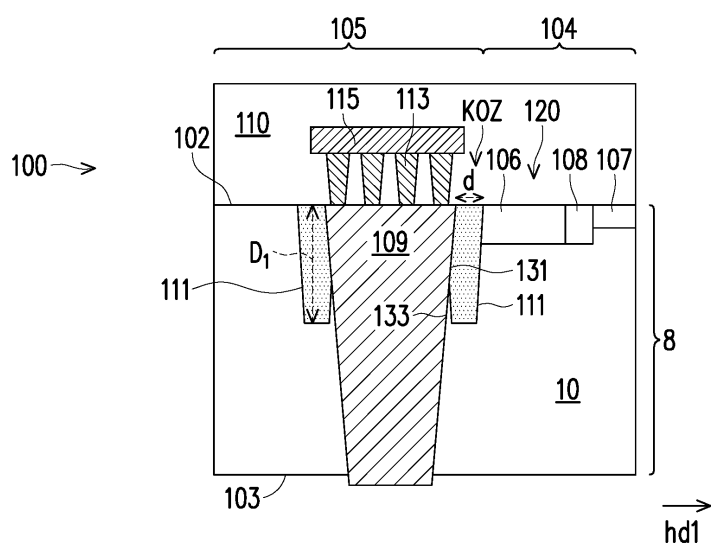


【圖4B】

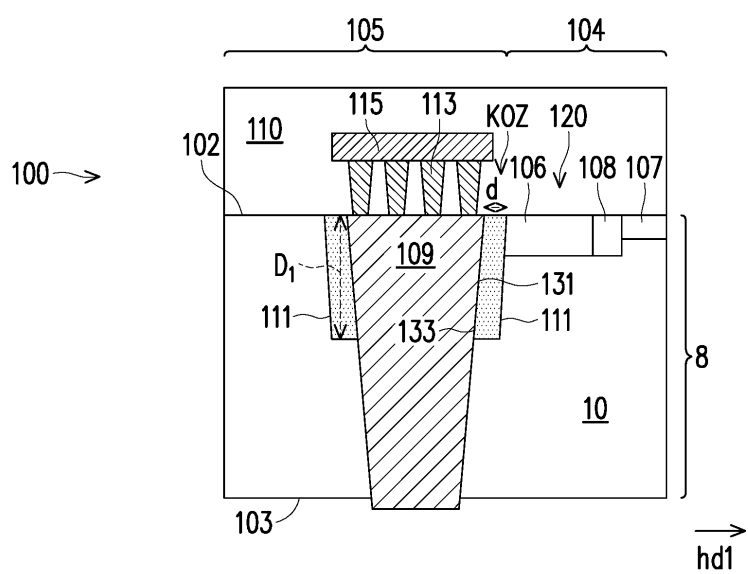


【圖5A】

(9)

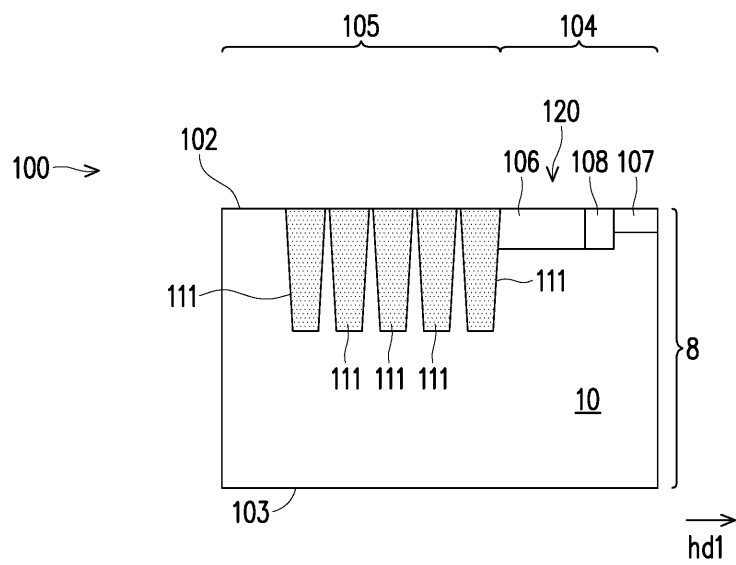


【圖6B】

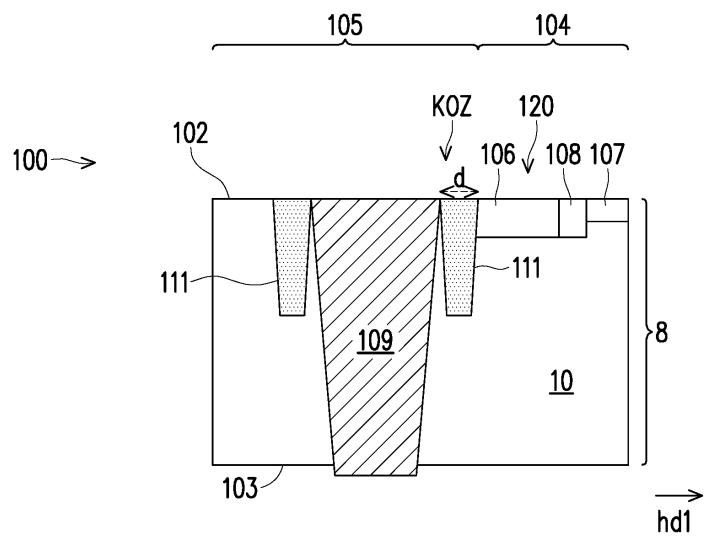


【圖6C】

(10)



【圖7A】

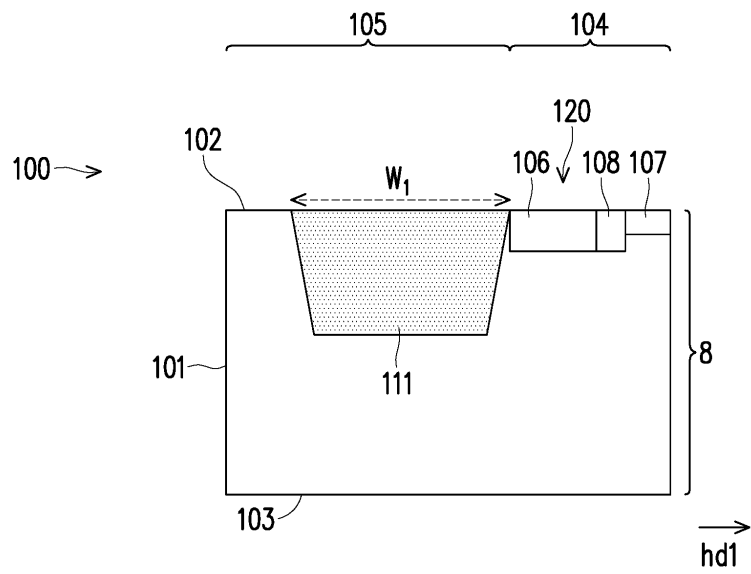


【圖7B】

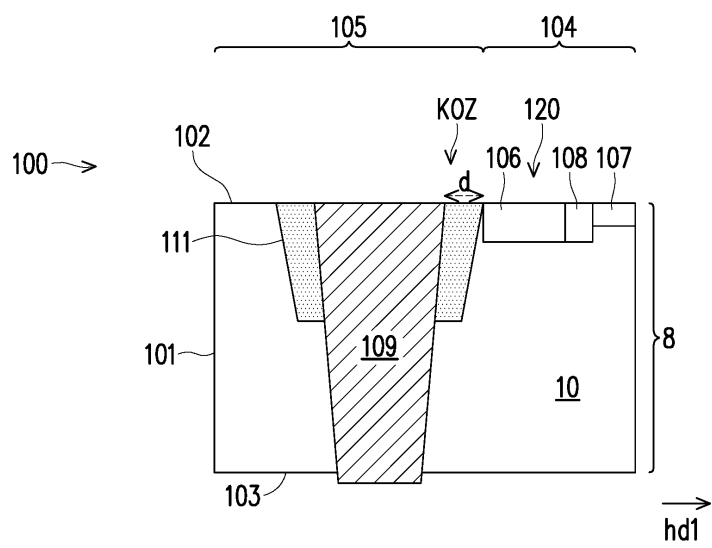
[illegible][illegible]

- 8123 -

(12)



【圖9A】

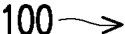


【圖9B】

(13)

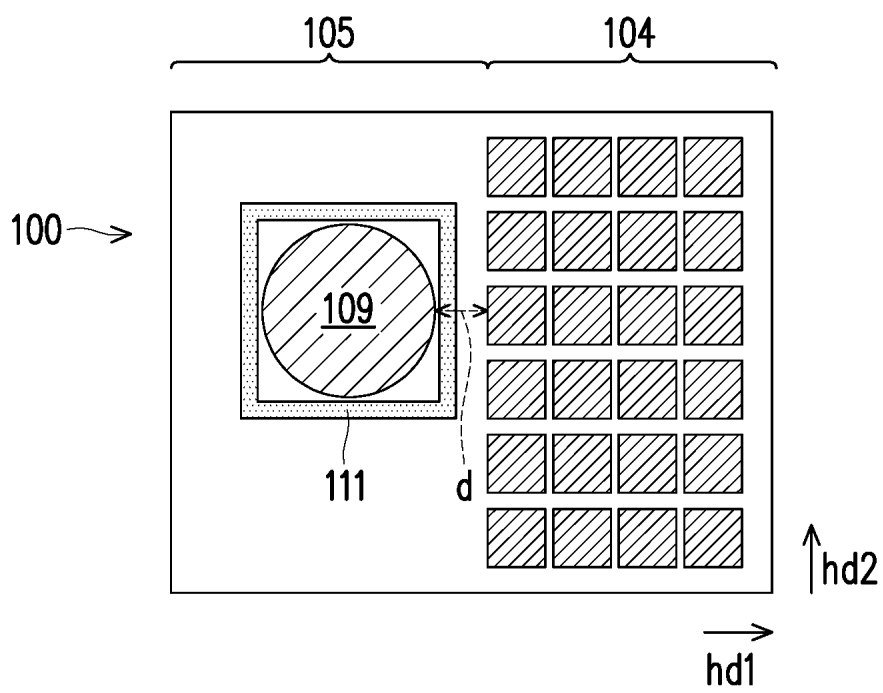


【圖10】



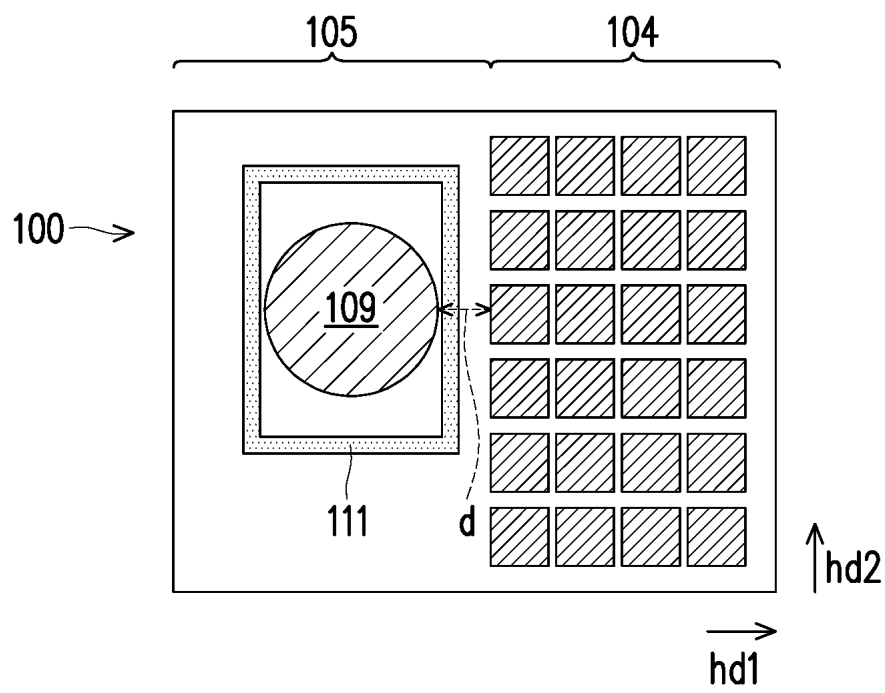
【圖11A】

(14)

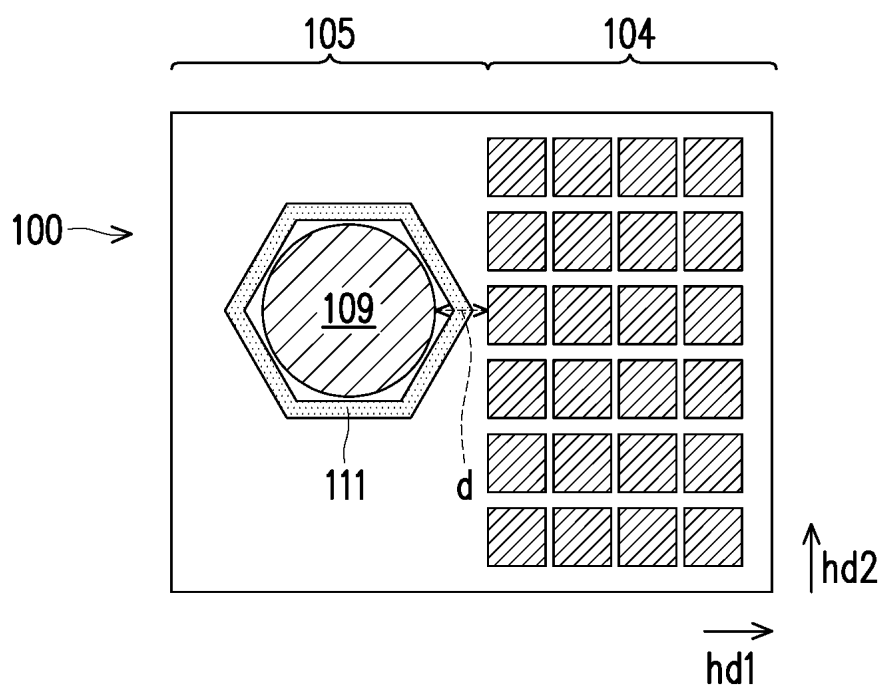


【圖11B】

(15)

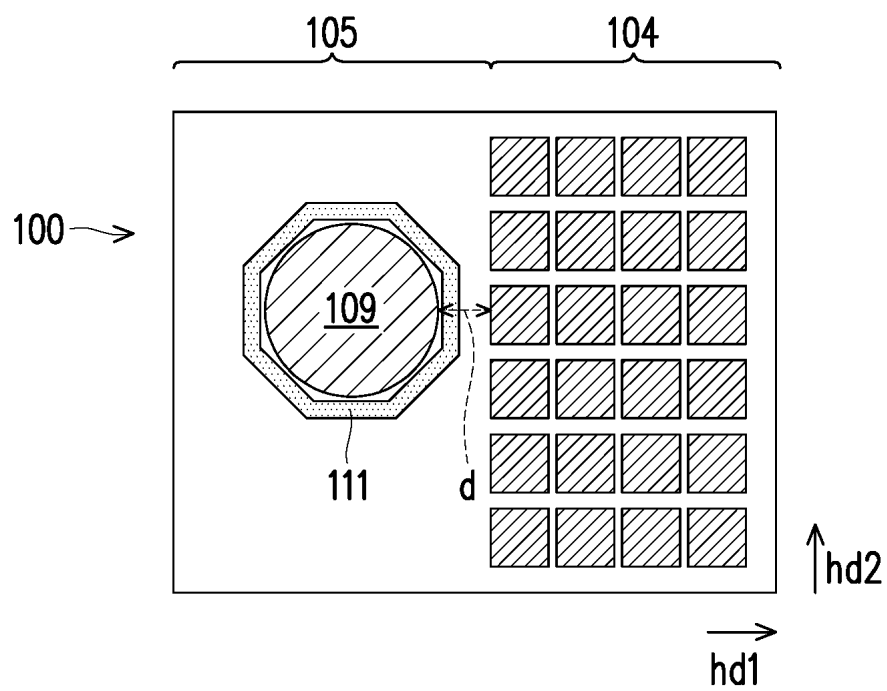


【圖11C】



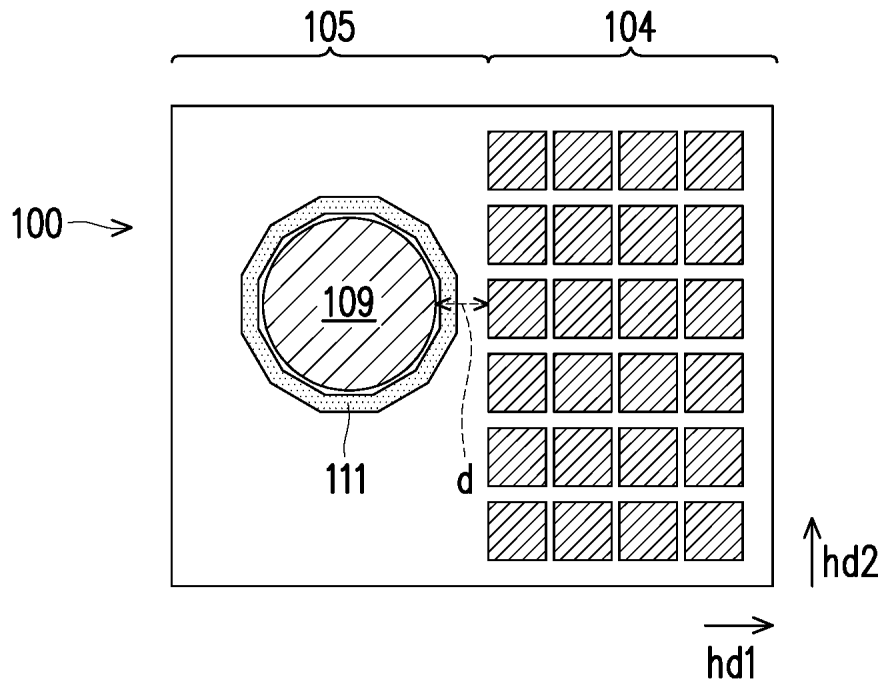
【圖11D】

(17)

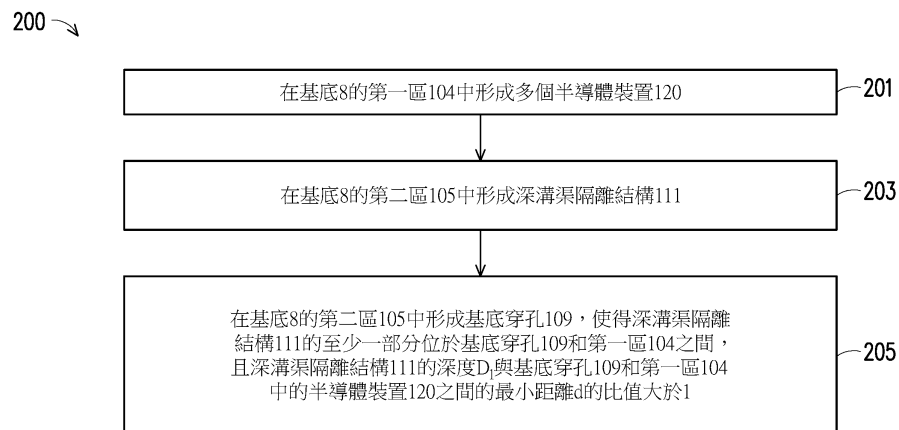


【圖 11E】

(18)



【圖11F】



【圖12】