

【11】證書號數：I938928

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10D89/60 (2025.01) H10W42/60 (2026.01)

發明

全 12 頁

【54】名稱：半導體裝置及形成其的方法

【21】申請案號：114112752

【22】申請日：中華民國 114 (2025) 年 04 月 02 日

【11】公開編號：202635017

【43】公開日期：中華民國 115 (2026) 年 08 月 16 日

【30】優先權：2025/02/07

美國

19/048,627

【72】發明人：黃麟洵 (TW) HUANG, LIN-YU；陳世範 (TW) CHEN, SHIH-FAN；許勝福 (TW) HSU, SHENG-FU

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW 202232715A

TW 202501775A

US 2012/0168906A1

審查人員：蔡夙勇

【57】申請專利範圍

1. 一種半導體裝置，包括：裝置電路；靜電放電 (ESD) 電路，耦合到所述裝置電路；以及 ESD 觸發電路，耦合到所述 ESD 電路和所述裝置電路，包括：基底；PNP ESD 觸發裝置，在所述基底中，包括：p 型摻雜集極，包括多個第一摻雜區域；以及 p 型摻雜射極，包括多個第二摻雜區域；淺溝槽隔離 (STI) 區域，在所述基底中且位於所述 p 型摻雜集極和所述 p 型摻雜射極之間，其中所述 STI 區域與所述多個第二摻雜區域接觸，其中所述多個第一摻雜區域包括 p 型井區以及在所述 p 型井區中的第一 p 型區域，以及其中所述 STI 區域與所述第一 p 型區域間隔開；以及阻擋保護氧化物 (RPO) 結構，在所述基底上，其中所述 RPO 結構位於所述 p 型摻雜集極的部分上方、所述 p 型摻雜射極的部分上方以及所述 STI 區域的部分上方。
2. 如請求項 1 所述的半導體裝置，其中所述多個第一摻雜區域更包括在所述第一 p 型區域中的第二 p 型區域，以及其中所述 STI 區域與所述第二 p 型區域間隔開。
3. 如請求項 2 所述的半導體裝置，其中所述 p 型井區的部分位於所述 STI 區域的邊緣和所述第一 p 型區域的邊緣之間的空間中。
4. 如請求項 2 所述的半導體裝置，其中所述 STI 區域的邊緣的部分與所述 p 型井區間隔開。
5. 如請求項 1 所述的半導體裝置，其中所述多個第二摻雜區域包括 n 型井區、在所述 n 型井區中的 n 型區域，以及在所述 n 型區域中的 p 型區域，以及其中所述 RPO 結構位於所述 n 型井區和所述 n 型區域上方。
6. 一種形成半導體裝置的方法，包括：在所述半導體裝置的基底中形成多個淺溝槽隔離 (STI) 區域；用於所述半導體裝置的 PNP 靜電放電 (ESD) 觸發裝置，在所述基底中且在所述多個 STI 區域的第一 STI 區域和第二 STI 區域之間形成 p 型摻雜射極，其中所述第一 STI 區域和所述第二 STI 區域鄰接所述 p 型摻雜射極的多個摻雜區域；用於所述

PNP ESD 觸發裝置，在所述基底中且在所述多個 STI 區域的所述第二 STI 區域和第三 STI 區域之間形成 p 型摻雜集極，其中所述 p 型摻雜集極的一個或多個摻雜區域包括 p 型井區以及在所述 p 型井區中的第一 p 型區域，以及其中所述第二 STI 區域和所述第三 STI 區域與所述第一 p 型區域間隔開；以及 在所述基底上形成多個阻擋保護氧化物結構 (RPO) 結構，其中所述多個 RPO 結構的第一 RPO 結構部分重疊所述第一 STI 區域，其中所述多個 RPO 結構的第二 RPO 結構部分重疊所述第二 STI 區域，以及 其中所述多個 RPO 結構的第三 RPO 結構部分重疊所述第三 STI 區域。

7. 如請求項 6 所述的方法，其中所述第二 RPO 結構重疊所述第二 STI 區域的邊緣與所述 p 型摻雜集極的所述一個或多個摻雜區域之間的第一空間，以及 其中所述第三 RPO 結構重疊所述第三 STI 區域的邊緣與所述 p 型摻雜集極的所述一個或多個摻雜區域之間的第二空間。
8. 如請求項 6 所述的方法，更包括用於所述 PNP ESD 觸發裝置，在所述基底中形成額外 p 型摻雜射極，其中所述額外 p 型摻雜射極形成於所述第三 STI 區域與所述多個 STI 區域的第四 STI 區域之間，以及 其中所述第三 STI 區域與所述第四 STI 區域鄰接所述額外 p 型摻雜射極的多個摻雜區域。
9. 一種半導體裝置，包括：基底；在所述基底中的第一多個淺溝槽隔離 (STI) 區域；在所述基底中的第二多個 STI 區域，其中所述第一多個 STI 區域在沿著所述基底的頂表面的橫向方向上具有比所述第二多個 STI 區域在所述橫向方向上的尺寸更大的尺寸；在所述基底中且位於所述第一多個 STI 區域的第一 STI 區域與所述第一多個 STI 區域的第二 STI 區域之間的第一摻雜結構；在所述基底中且位於所述第一多個 STI 區域的第二 STI 區域與所述第二多個 STI 區域的第一 STI 區域之間的第二摻雜結構，其中所述第二摻雜結構包括 p 型摻雜井以及在所述 p 型摻雜井中的一個或多個摻雜區域，且所述一個或多個摻雜區域包括第一 p 型區域，以及 其中所述第二多個 STI 區域的第一 STI 區域與所述第一 p 型區域間隔開；在所述基底中且位於所述第二多個 STI 區域的第一 STI 區域與所述第二多個 STI 區域的第二 STI 區域之間的第三摻雜結構，其中所述第三摻雜結構包括多個摻雜區域，以及 其中所述第二多個 STI 區域的第一 STI 區域與所述第二多個 STI 區域的第二 STI 區域與所述多個摻雜區域接觸；以及 在所述基底上的多個阻擋保護氧化物 (RPO) 結構，其中所述多個 RPO 結構中的 RPO 結構位於所述第二摻雜結構的部分上方以及位於所述第二多個 STI 區域的第一 STI 區域與所述一個或多個摻雜區域之間的空間的部分上方。
10. 如請求項 9 所述的半導體裝置，更包括：在所述基底中且位於所述第一摻雜結構下方的第一摻雜阻障區；以及 在所述基底中且位於所述第三摻雜結構下方的第二摻雜阻障區，其中所述第一摻雜阻障區和所述第二摻雜阻障區彼此間隔開並在所述橫向方向上排列。

圖式簡單說明

藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的態樣。應注意，根據行業中的標準慣例，各種特徵且非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1A-1C 為本文所述示例半導體裝置的圖示。

圖 2A 和 2B 為本文靜電放電 (electrostatic discharge, ESD) 觸發電路的實施例圖示。

圖 3A-3J 為本文在半導體裝置中形成 ESD 觸發電路的實施例圖示。

圖 4 為本文 ESD 觸發電路的實施例圖示。

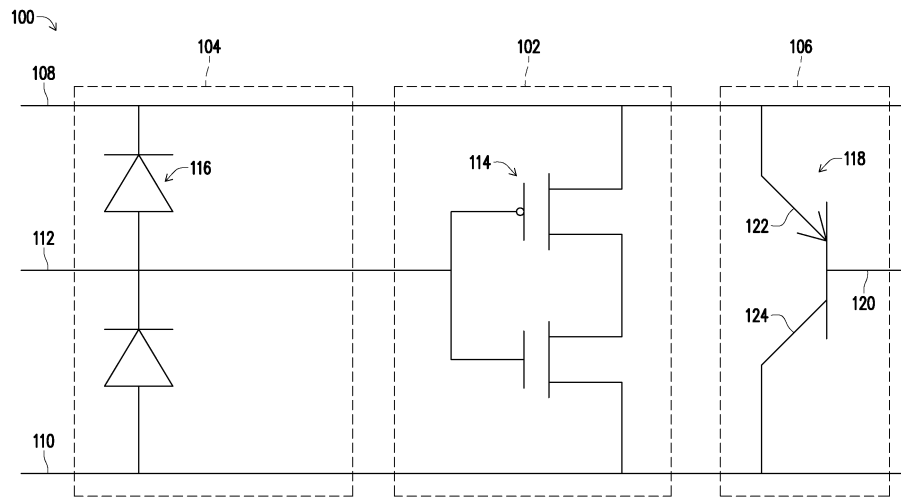
圖 5A-5C 為本文在半導體裝置中形成 ESD 觸發電路的實施例圖示。

圖 6 為本文 ESD 觸發電路的實施例圖示。

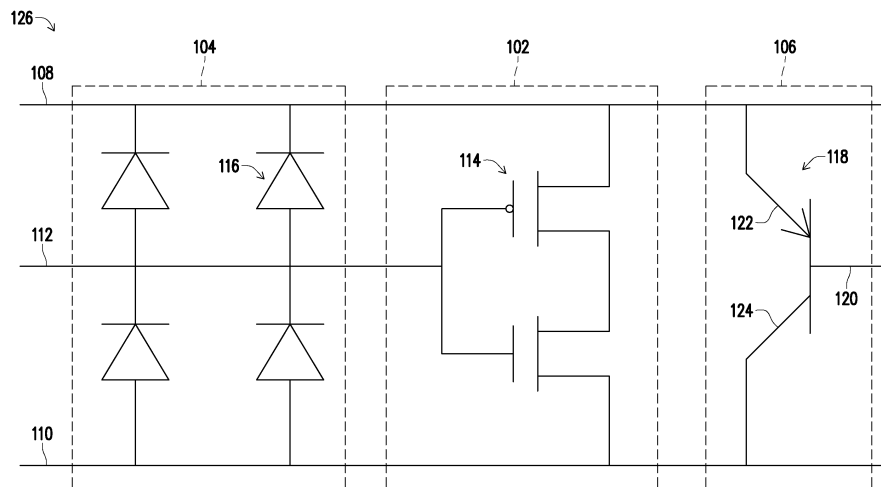
(3)

圖 7A 和 7B 為本文 ESD 觸發電路的實施例圖示。

圖 8 為與本文形成半導體裝置相關的示例製程流程圖。

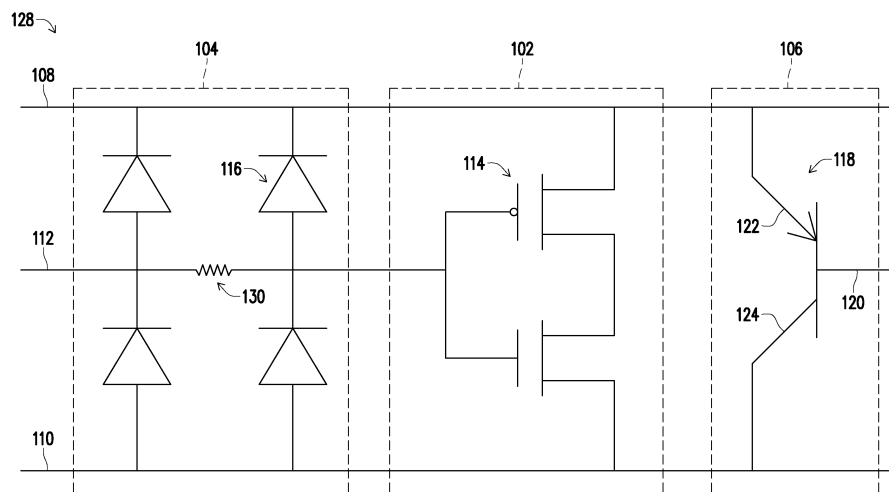


【圖1A】

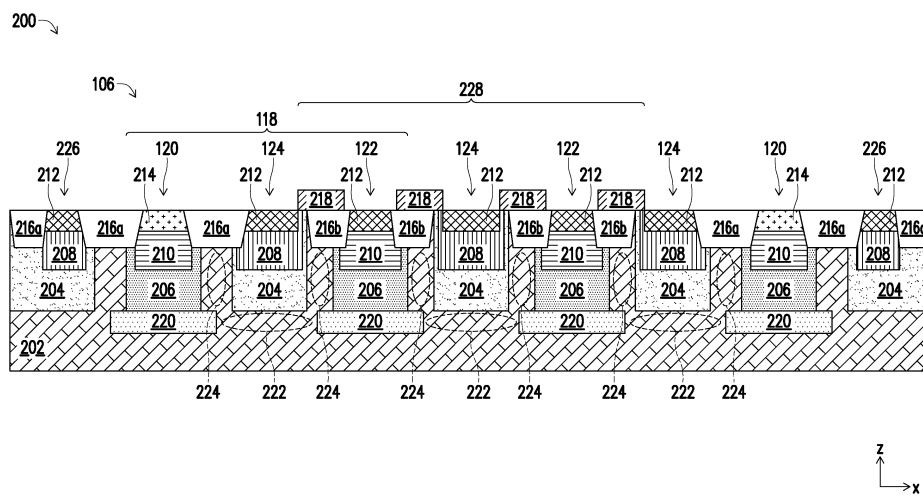


【圖1B】

(4)

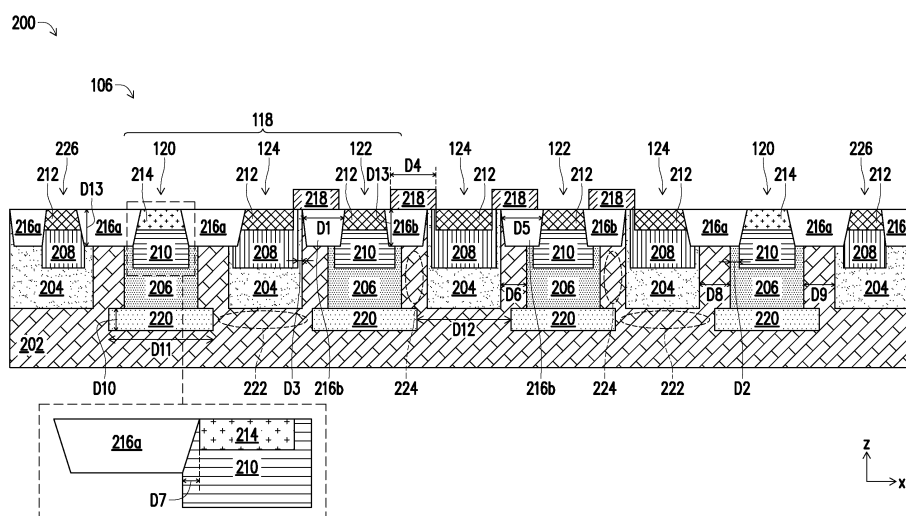


【圖1C】

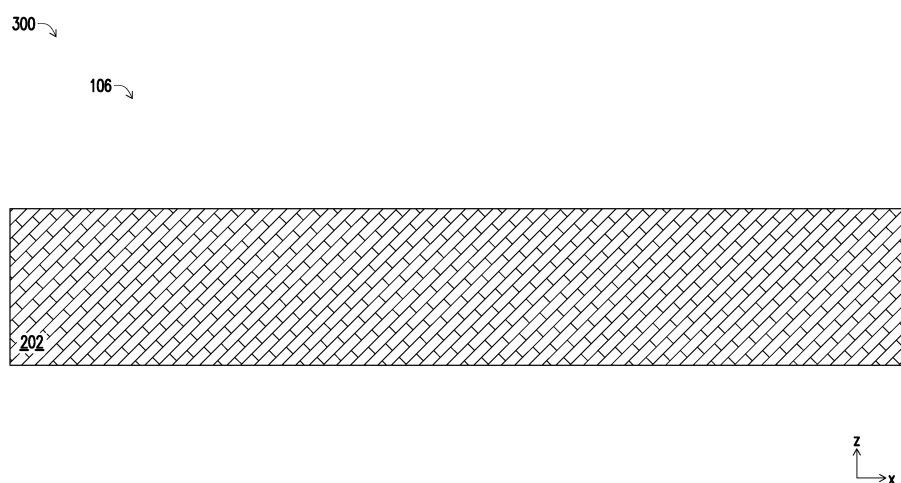


【圖2A】

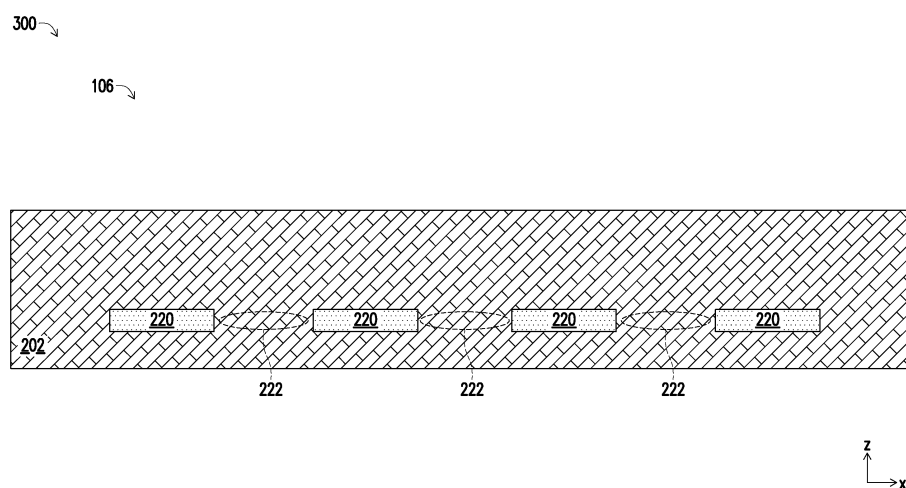
(5)



【圖2B】

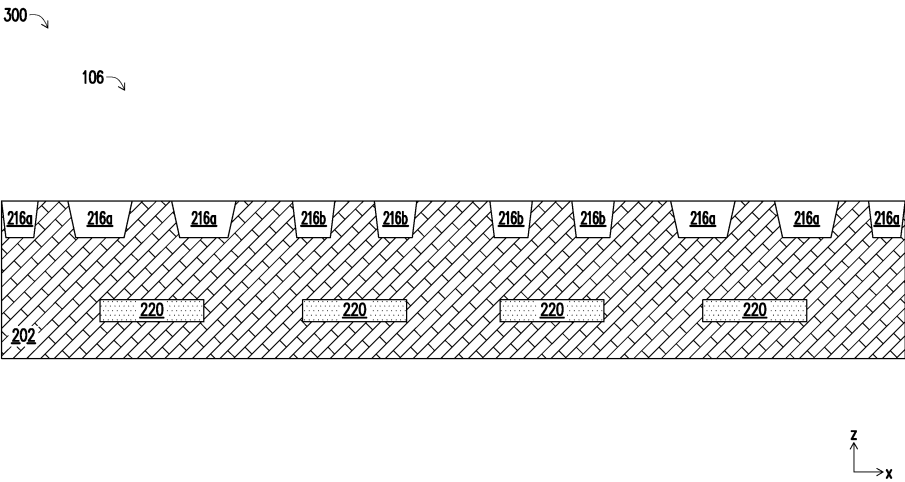


【圖3A】

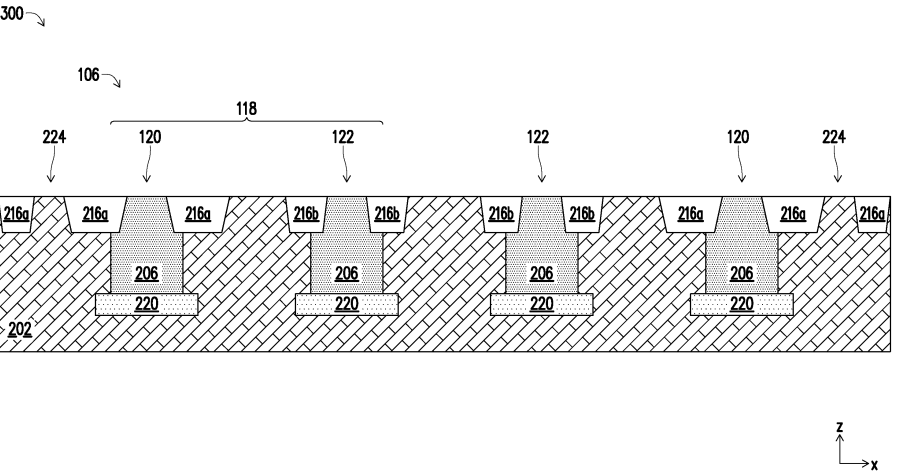


【圖3B】

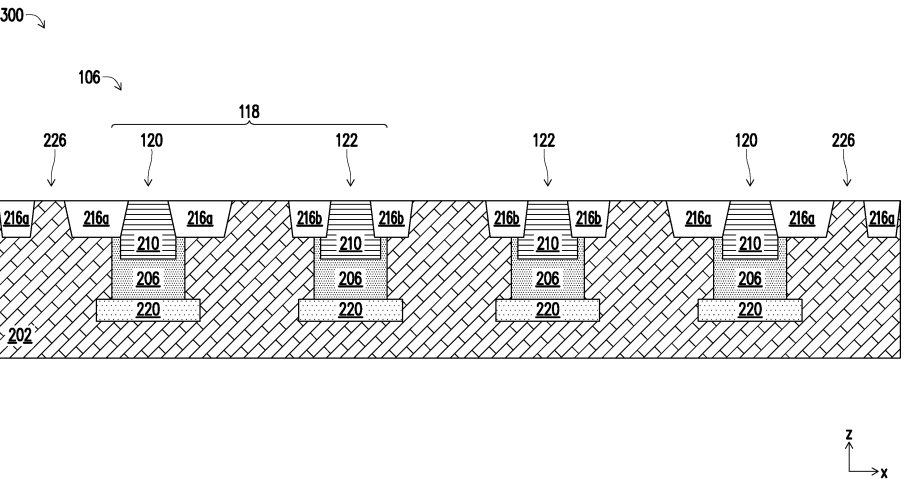
(6)



【圖3C】

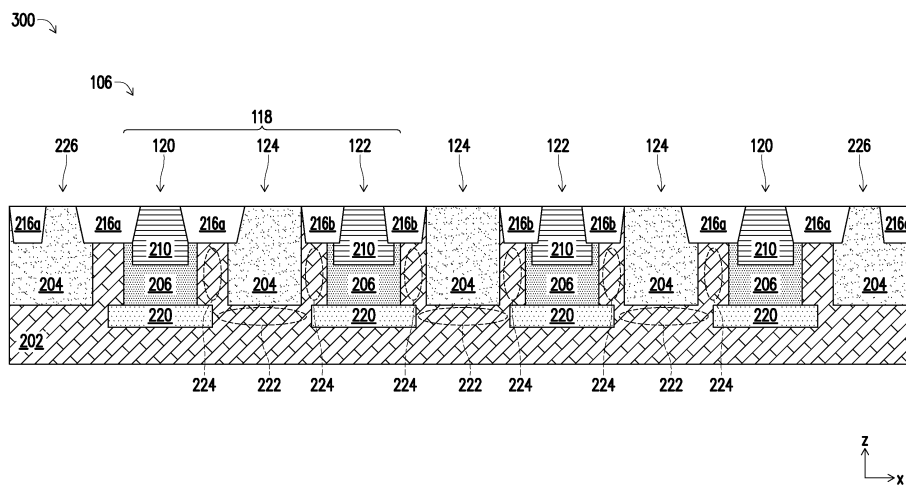


【圖3D】

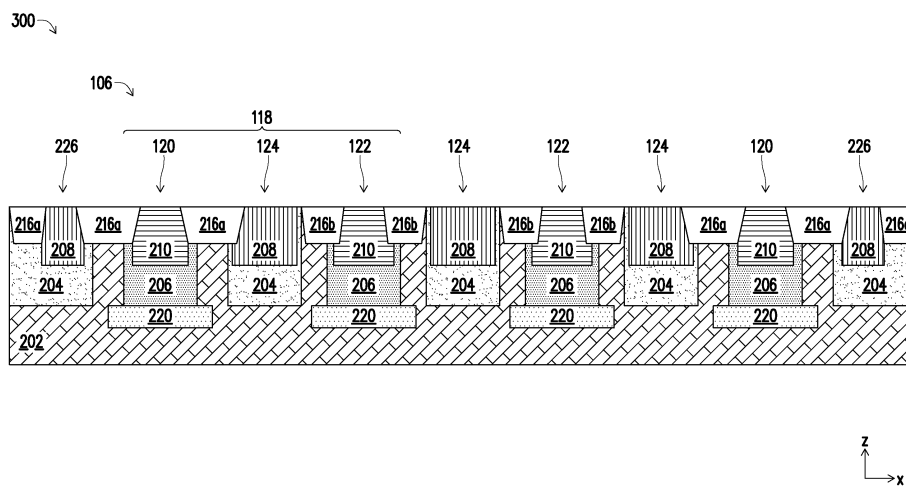


【圖3E】

(7)

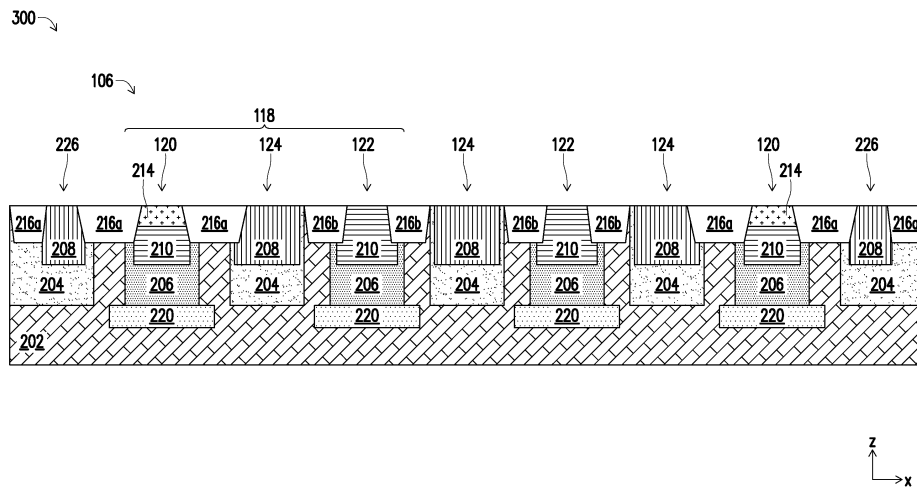


【圖3F】

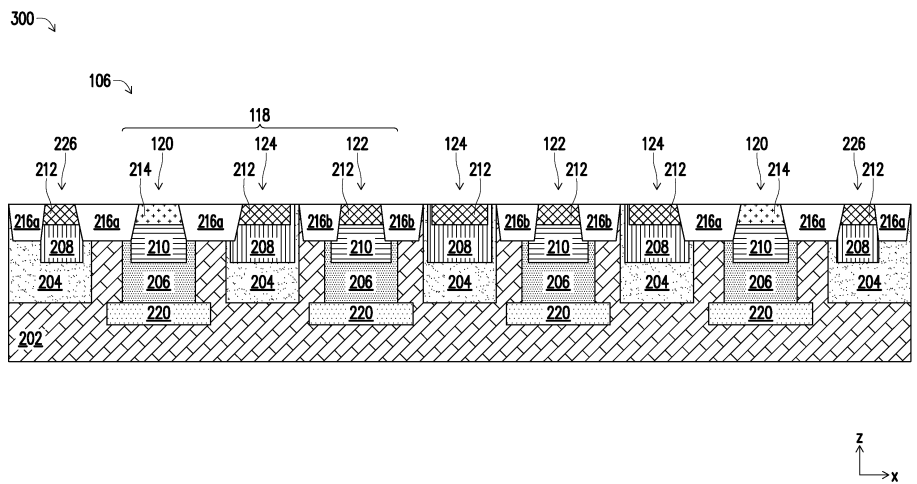


【圖3G】

(8)

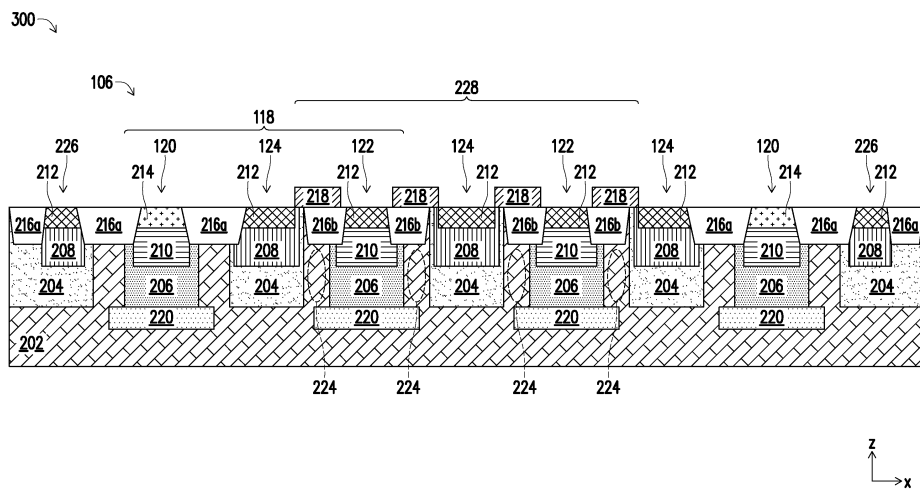


【圖3H】

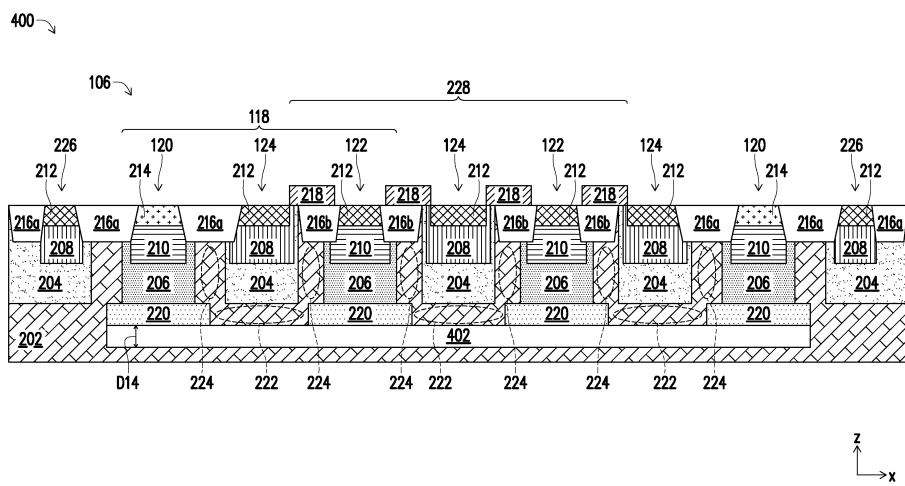


【圖3I】

(9)

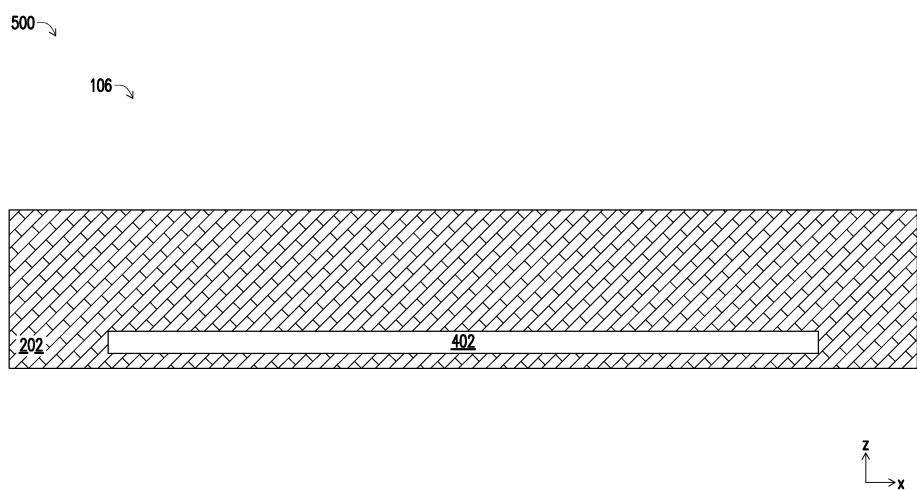


【圖3J】

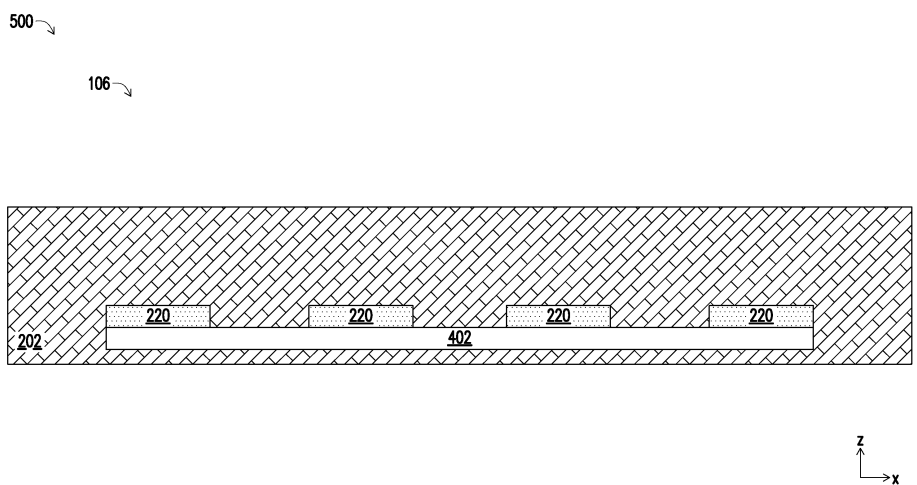


【图4】

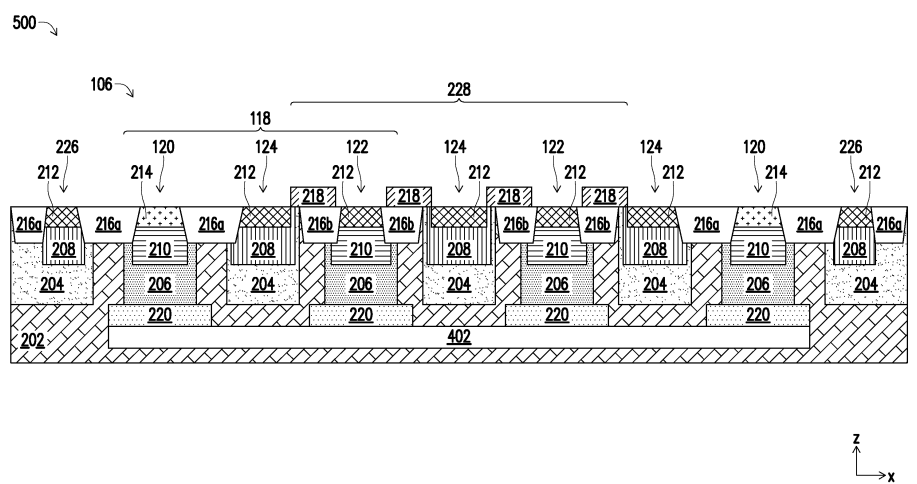
(10)



【圖5A】

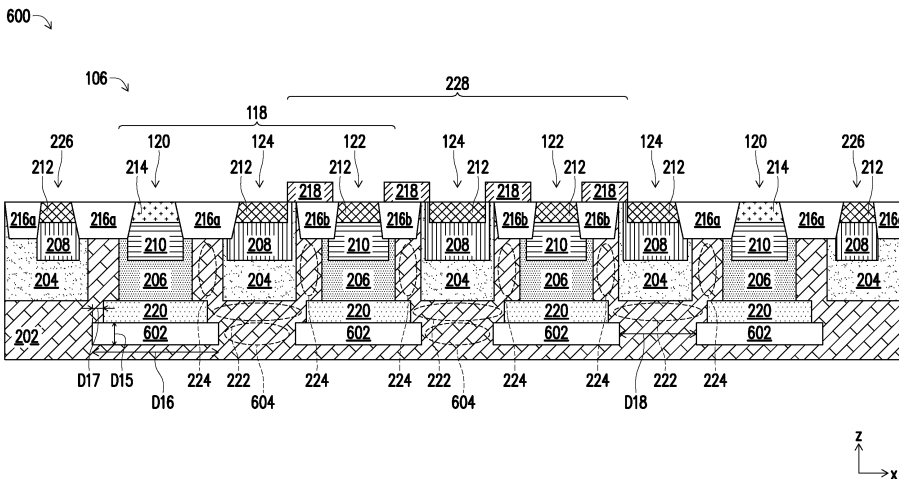


【圖5B】

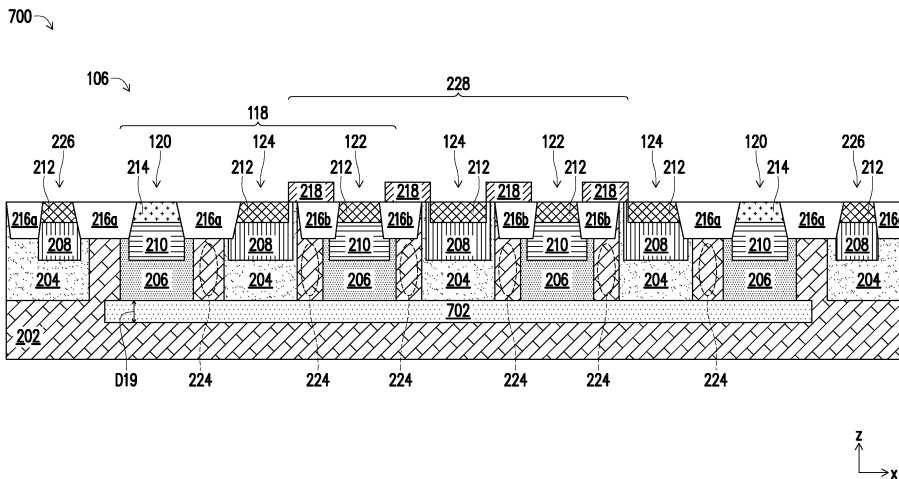


【圖5C】

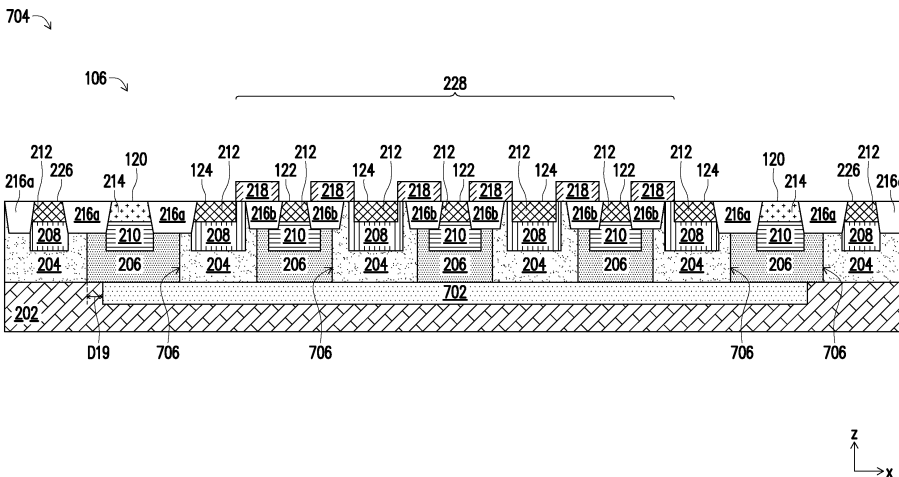
(11)



【圖6】

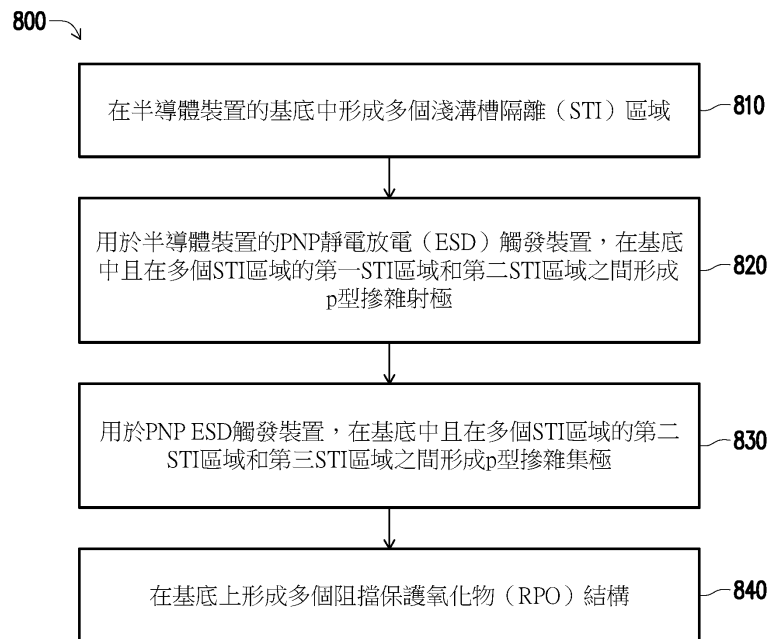


【圖7A】



【圖7B】

(12)



【圖8】