

【11】證書號數：I938930

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *H10D84/01 (2026.01)* *H10D84/03 (2025.01)*
 H10D89/60 (2025.01) *H10D12/01 (2025.01)*
 H10D12/00 (2025.01)

發明

全 9 頁

【54】名 稱：半導體元件及其製作方法

【21】申請案號：114112945 【22】申請日：中華民國 114 (2025) 年 04 月 07 日

【72】發 明 人：楊柏宇 (TW) YANG, PO-YU

【71】申 請 人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.
 新竹市新竹科學工業園區力行二路三號

【74】代 理 人：吳豐任；戴俊彥

【56】參考文獻：

US 2023/0154977A1

US 2025/0107145A1

審查人員：陳俊達

【57】申請專利範圍

1. 一種製作半導體元件的方法，其特徵在於，包含：
形成一第一凹槽於一基底內；
形成一閘極結構於該第一凹槽內；
去除該閘極結構以及該基底以形成一第二凹槽；以及
形成一場極板於該第二凹槽內；
其中，該方法另包含：
形成一基體區於該基底上；
形成一第一摻雜區於該基體區上；
形成複數個第二摻雜區於該第一凹槽兩側；
形成該第一凹槽；
形成一閘極介電層於該第一凹槽內；
形成該閘極結構於該閘極介電層上；
形成該第二凹槽；
形成一襯墊層於該第二凹槽內；
形成該場極板於該襯墊層上；
形成一保護層於該閘極結構上；
形成一源極電極於該基底上連接該場極板；以及
形成一汲極電極於該基底背面。
2. 如申請專利範圍第 1 項所述之方法，其中該基體區以及該等第二摻雜區包含相同導電型式。
3. 如申請專利範圍第 1 項所述之方法，其中該基體區以及該第一摻雜區包含不同導電型式。
4. 如申請專利範圍第 1 項所述之方法，其中該第一摻雜區以及該等第二摻雜區包含不同導電型式。
5. 如申請專利範圍第 1 項所述之方法，其中該等第二摻雜區深度大於該第一摻雜區深度。

(2)

6. 如申請專利範圍第 1 項所述之方法，其中該第一凹槽深度大於該基底區深度。
7. 一種半導體元件，其特徵在於，包含：
 - 一場極板設於一基底內；
 - 一第一閘極結構設於該場極板一側；
 - 一第二閘極結構設於該場極板另一側；
 - 一第一閘極介電層設於該第一閘極結構旁；
 - 一襯墊層設於該場極板以及該第一閘極結構之間，其中該襯墊層以及該第一閘極介電層包含不同厚度，且該第一閘極介電層之介電常數大於該襯墊層之介電常數；
 - 一源極電極設於該基底上並連接該場極板；以及
 - 一汲極電極設於該基底背面。
8. 如申請專利範圍第 7 項所述之半導體元件，另包含：
 - 一基體區設於該第一閘極結構以及該第二閘極結構兩側；
 - 一第一摻雜區以及一第二摻雜區設於該第一閘極結構一側；
 - 一第三摻雜區以及一第四摻雜區設於該第二閘極結構一側；以及
 - 一保護層設於該第一閘極結構以及該第二閘極結構上。
9. 如申請專利範圍第 7 項所述之半導體元件，另包含一第二閘極介電層設於該第二閘極結構旁，其中該第一閘極介電層以及該第二閘極介電層包含相同材料。
10. 如申請專利範圍第 7 項所述之半導體元件，其中該第一閘極介電層包含高介電常數介電層。
11. 如申請專利範圍第 7 項所述之半導體元件，其中該第一閘極介電層厚度小於該襯墊層厚度。

圖式簡單說明

第 1 圖至第 7 圖為本發明一實施例製作半導體元件之方法示意圖。

第 8 圖為本發明一實施例之一半導體元件之結構示意圖。

第 9 圖為本發明一實施例之一半導體元件之結構示意圖。

(3)

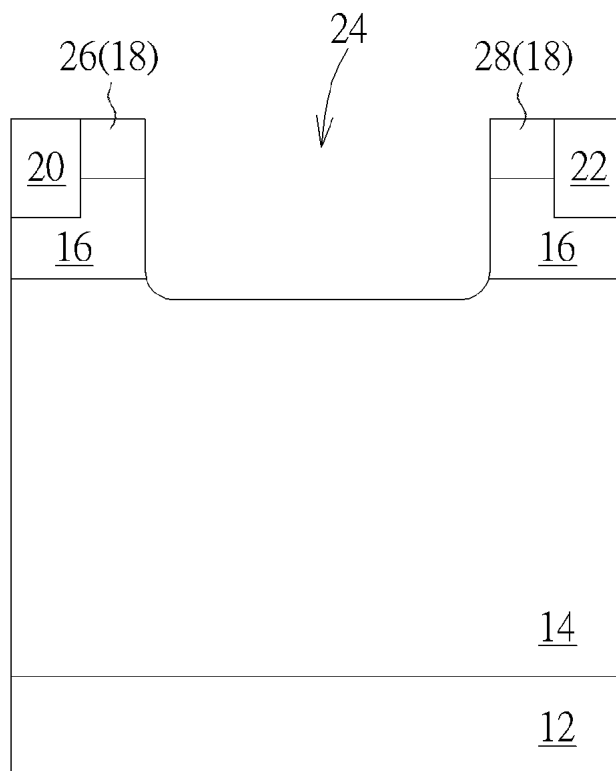
	<u>14</u>
	<u>12</u>

第1圖

<u>20</u>	<u>18</u>	<u>22</u>
	<u>16</u>	
		<u>14</u>
		<u>12</u>

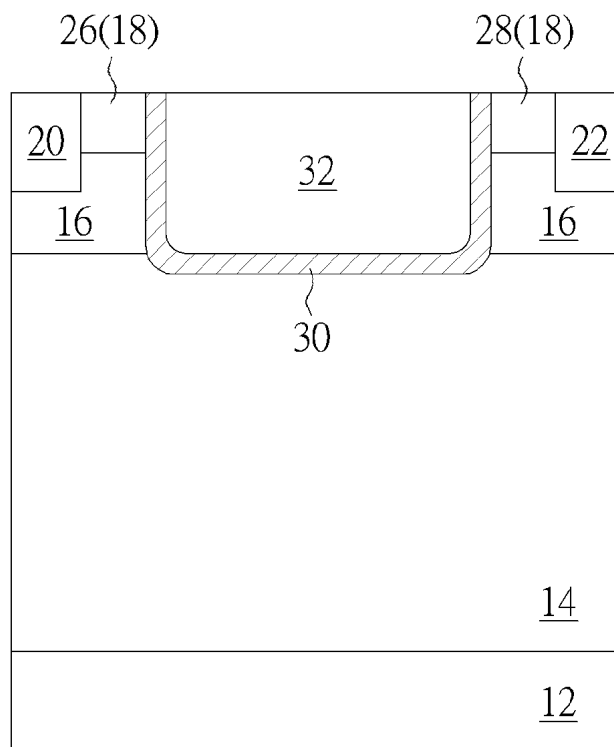
第2圖

(4)

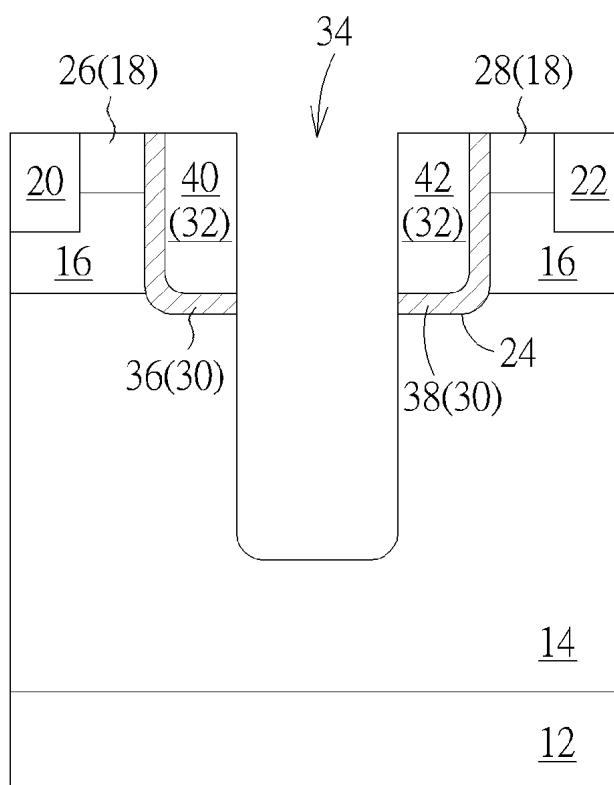


第3圖

(5)

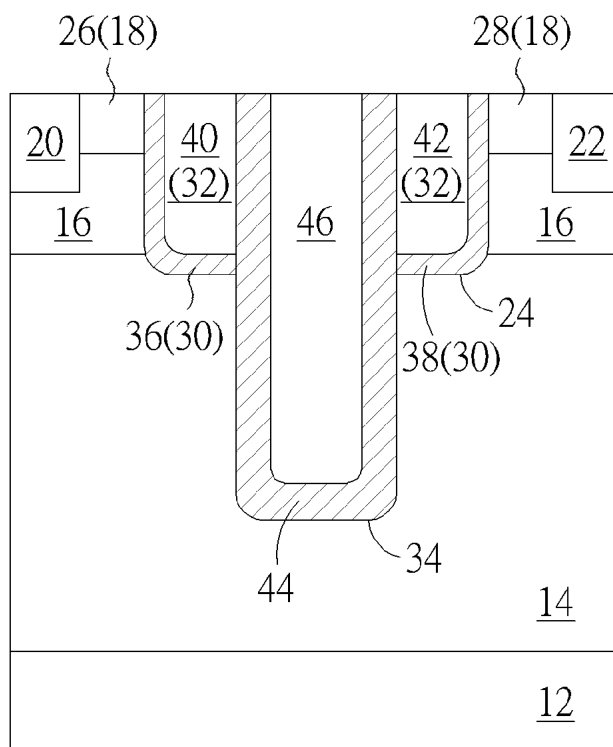


第4圖



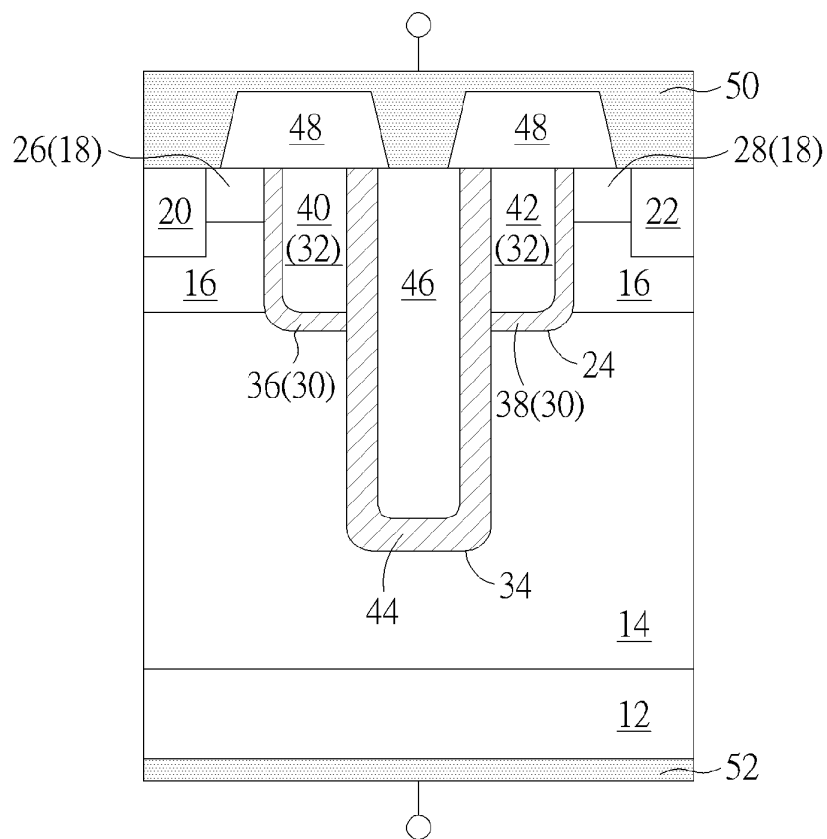
第5圖

(6)



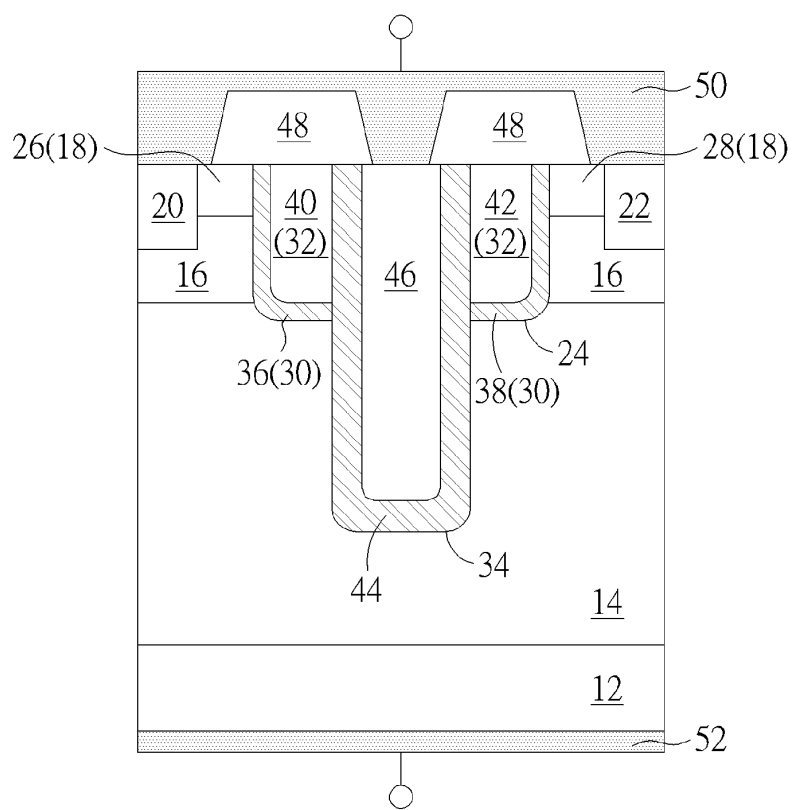
第6圖

(7)



第7圖

(9)



第9圖