

【11】證書號數：I938933

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D1/60 (2025.01) H10D1/66 (2025.01)
H10N97/00 (2023.01) H10B12/00 (2023.01)

發明

全 25 頁

【54】名稱：半導體結構和其形成方法

【21】申請案號：114113137

【22】申請日：中華民國 114 (2025) 年 04 月 08 日

【11】公開編號：202608199

【43】公開日期：中華民國 115 (2026) 年 02 月 16 日

【30】優先權：2024/08/08

美國

18/797,842

【72】發明人：鄭忠 (TW) CHENG, CHEUNG；江文智 (TW) CHIANG, WEN-CHIH；田子容 (TW) TIEN, TZU JUNG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202310049A

TW 202017193AA

US 2023/0006030A1

US 2024/0213304A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種半導體結構，包括：
一底部電極結構，包括一半導體裝置中的一互連層的複數個後端導電結構縱列，其中該些後端導電結構縱列界定該半導體結構的複數個溝槽；
一絕緣體層，位於該些溝槽的側壁和底表面上，包括複數個間斷區段，以及其中該些間斷區段之中的各者被包括於該些溝槽之中的對應一者中；以及
一頂部電極結構，位於該些溝槽中的該絕緣體層上。
2. 如請求項 1 所述之半導體結構，其中該底部電極結構進一步包括：
一水平延伸導電結構，位於該些後端導電結構縱列下方和該些溝槽下方，其中該水平延伸導電結構橫向橫跨該些後端導電結構縱列和該些溝槽。
3. 如請求項 1 所述之半導體結構，其中該絕緣體層連續延伸於該些溝槽之間。
4. 如請求項 2 所述之半導體結構，進一步包括：
一底部接觸件結構，位於該水平延伸導電結構下方，其中該底部接觸件結構耦合至該水平延伸導電結構，以及
其中該底部接觸件結構耦合至該半導體裝置的該互連層下方的一裝置層中的一電晶體結構。
5. 如請求項 1 所述之半導體結構，其中該頂部電極結構包括位於該些溝槽上方的一合併區段，以及其中該合併區段耦合至該半導體結構的一頂部接觸件結構。
6. 如請求項 1 所述之半導體結構，其中該頂部電極結構包括複數個間斷縱列，其中該些間斷縱列之中的各者被包括於該些溝槽之中的對應一者中；以及
其中該些間斷縱列之中的各者耦合至該半導體結構的個別頂部接觸件結構。
7. 一種半導體結構，包括：

(2)

一底部電極結構，包括一半導體裝置中的一互連層的複數個後端導電結構縱列，其中該些後端導電結構縱列界定該半導體結構的複數個溝槽，以及其中該些後端導電結構縱列之中的各者包括多個通孔和多個金屬化結構的交替配置；
一絕緣體層，位於該些溝槽的側壁和底表面上；以及
一頂部電極結構，位於該些溝槽中的該絕緣體層上，其中該頂部電極結構包括延伸進該些溝槽的多個氣隙。

8. 如請求項 7 所述之半導體結構，其中該絕緣體層包括一多層堆疊，且該多層堆疊包括：
一第一低介電常數介電層；
一高介電常數介電層，位於該第一低介電常數介電層上；以及
一第二低介電常數介電層，位於該高介電常數介電層上。
9. 如請求項 7 所述之半導體結構，其中該底部電極結構進一步包括：
一第一水平延伸導電結構，位於該些後端導電結構縱列下方和該些溝槽下方，其中該第一水平延伸導電結構橫向橫跨該些後端導電結構縱列和該些溝槽；以及
其中該半導體結構進一步包括：
一底部接觸件結構，位於該第一水平延伸導電結構下方，其中該底部接觸件結構耦合至該第一水平延伸導電結構；
多個第二個別接觸件結構，耦合至該些溝槽之中的各者中的該頂部電極結構；以及
一第二水平延伸導電結構，位於該些第二個別接觸件結構上方且耦合至該些第二個別接觸件結構之中的各者。
10. 一種形成半導體結構的方法，包括：
在一半導體裝置的一裝置層上方形成該半導體裝置的一互連層的複數個介電層；
在該些介電層中形成：
複數個第一後端導電結構；以及
複數個第二後端導電結構，
其中該些第二後端導電結構排列成複數個垂直延伸縱列，且該些垂直延伸縱列對應於一溝槽電容器結構的一底部電極結構；
蝕刻穿過該溝槽電容器結構的該些垂直延伸縱列之中相鄰成對者之間的該些介電層，以形成該溝槽電容器結構的複數個溝槽，
其中該些垂直延伸縱列界定該些溝槽的多個側壁；
在該些溝槽的該些側壁上形成該溝槽電容器結構的一絕緣體層；和
在該些溝槽中的該絕緣體層上形成該溝槽電容器結構的一頂部電極結構。

圖式簡單說明

當結合附圖閱讀時，從以下詳細描述中可以最好地理解本公開的各方面。應注意，根據工業中的標準方法，各種特徵未按比例繪製。實際上，為了清楚地討論，可任意增加或減少各種特徵的尺寸。

第 1 圖繪示本文描述的示例半導體裝置。

第 2A 圖和第 2B 圖繪示本文描述的溝槽電容器結構的示例實施方式。

第 3A 圖至第 3D 圖繪示本文描述的形成半導體裝置的示例實施方式。

第 4A 圖至第 4I 圖繪示本文描述的形成溝槽電容器結構的示例實施方式。

第 5 圖繪示本文描述的溝槽電容器結構的示例實施方式。

第 6 圖繪示本文描述的溝槽電容器結構的示例實施方式。

第 7 圖繪示本文描述的溝槽電容器結構的示例實施方式。

第 8 圖繪示本文描述的溝槽電容器結構的示例實施方式。

第 9A 圖至第 9D 圖繪示本文描述的形成溝槽電容器結構的示例實施方式。

第 10 圖繪示本文描述的溝槽電容器結構的示例實施方式。

(3)

第 11A 圖至第 11C 圖繪示本文描述的溝槽電容器結構的示例實施方式。

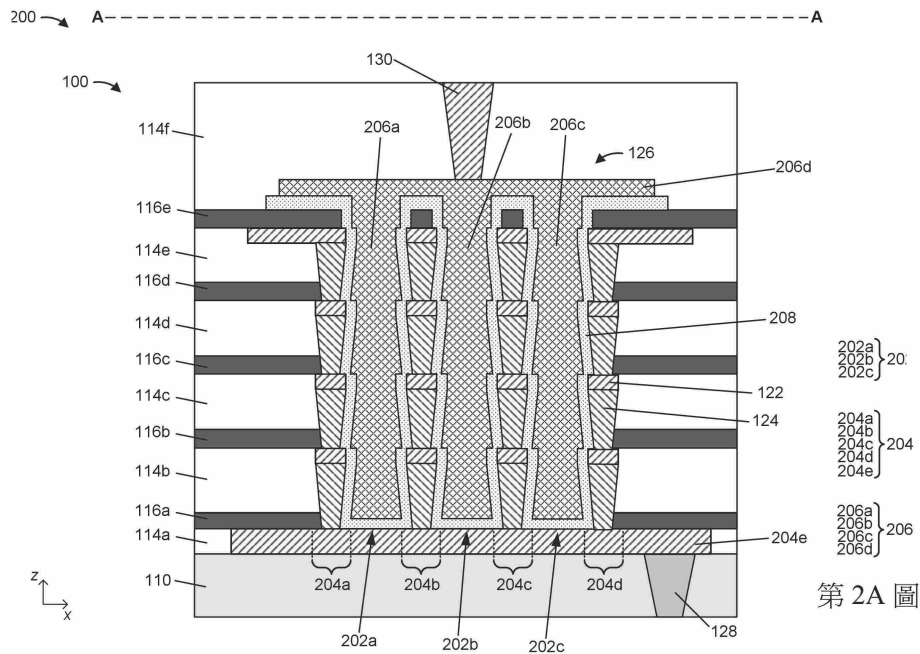
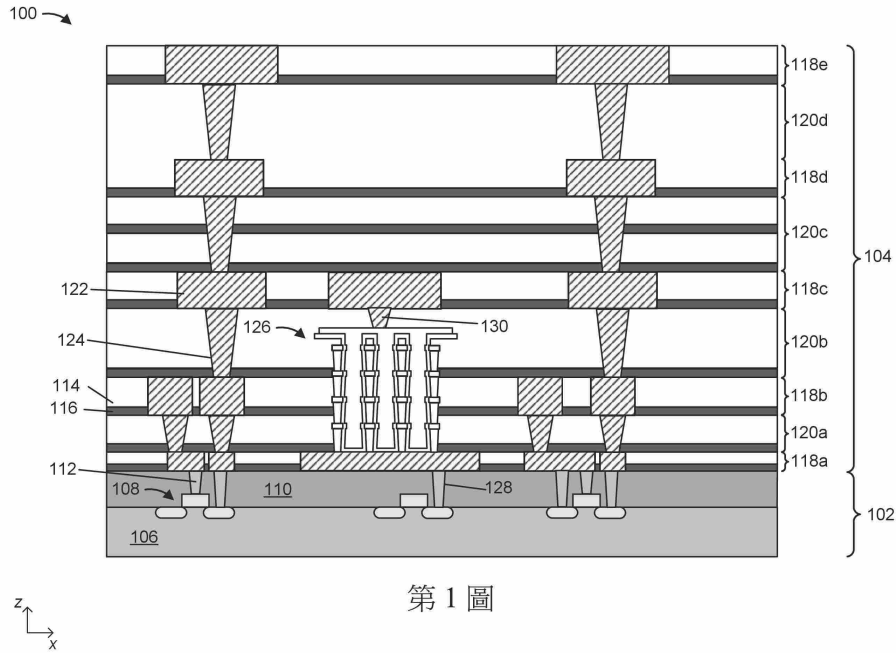
第 12A 圖和第 12B 圖繪示本文描述的示例半導體裝置。

第 13A 圖至第 13F 圖繪示本文描述的半導體裝置的顯示像素的子像素和相關溝槽電容器結構的示例實施方式的俯視圖佈局。

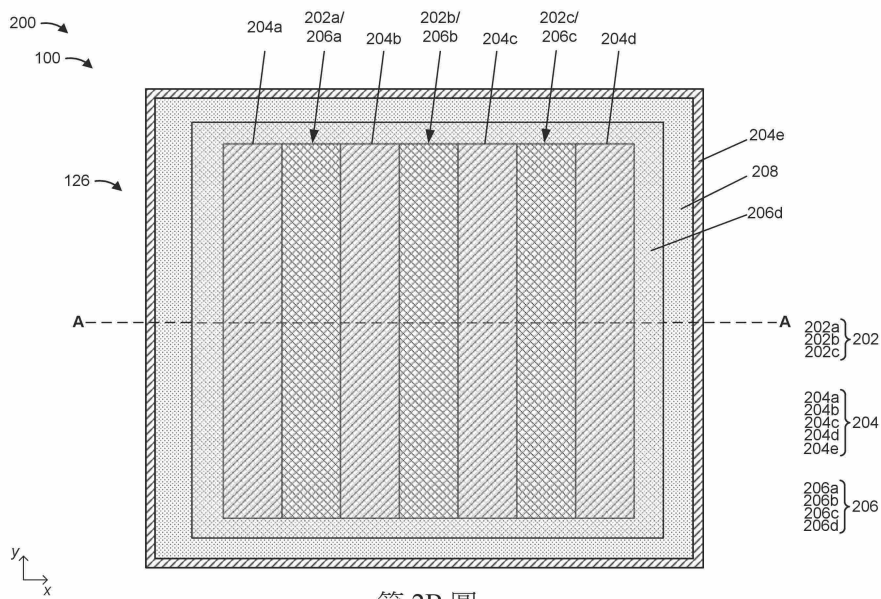
第 14 圖繪示本文描述的示例半導體裝置。

第 15 圖繪示本文描述的示例半導體裝置。

第 16 圖繪示本文描述的形成電容器結構相關的示例製程流程圖。



(4)



第 2B 圖

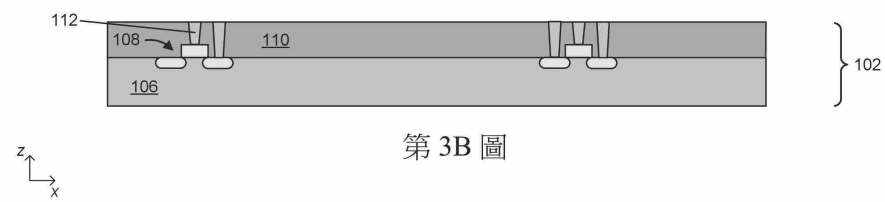


第 3A 圖

(5)

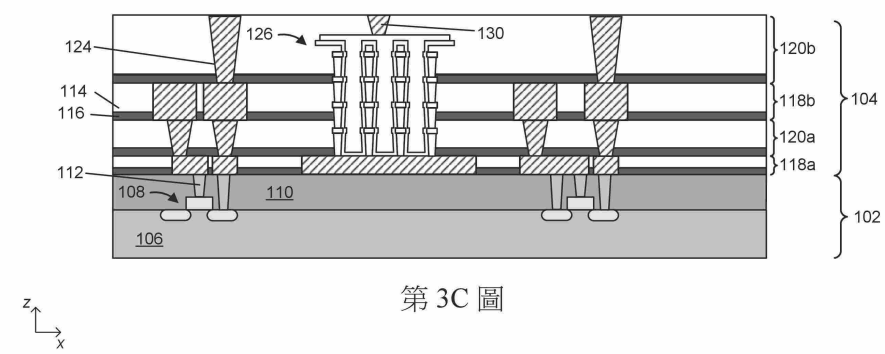
300 →

100 →

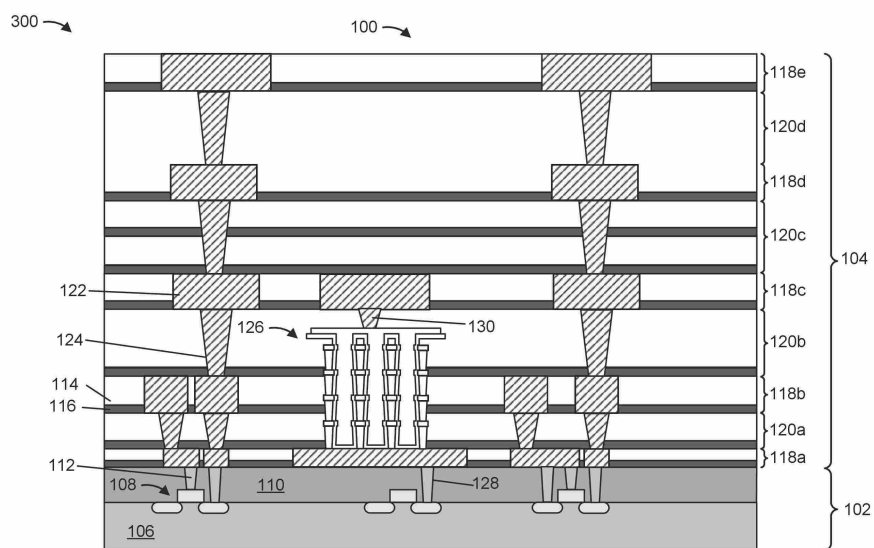


300 →

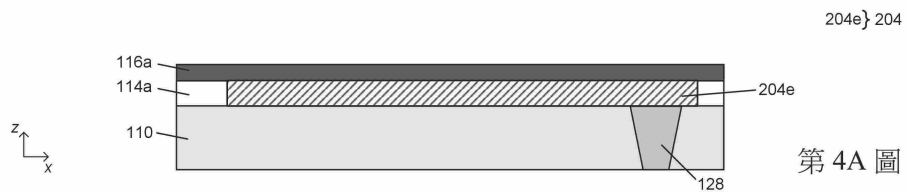
100 →



(6)

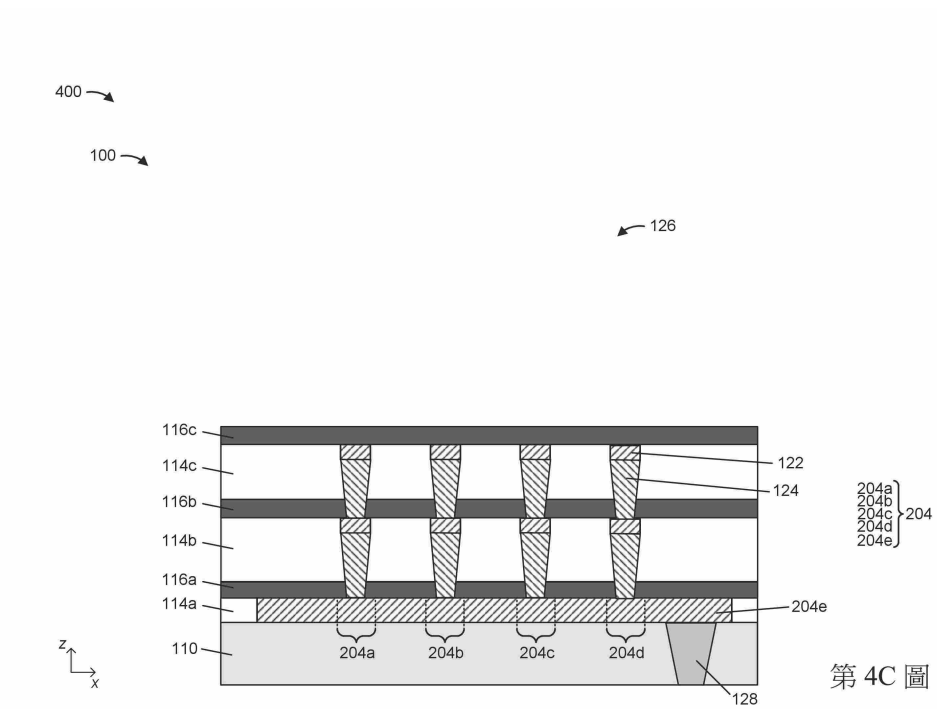
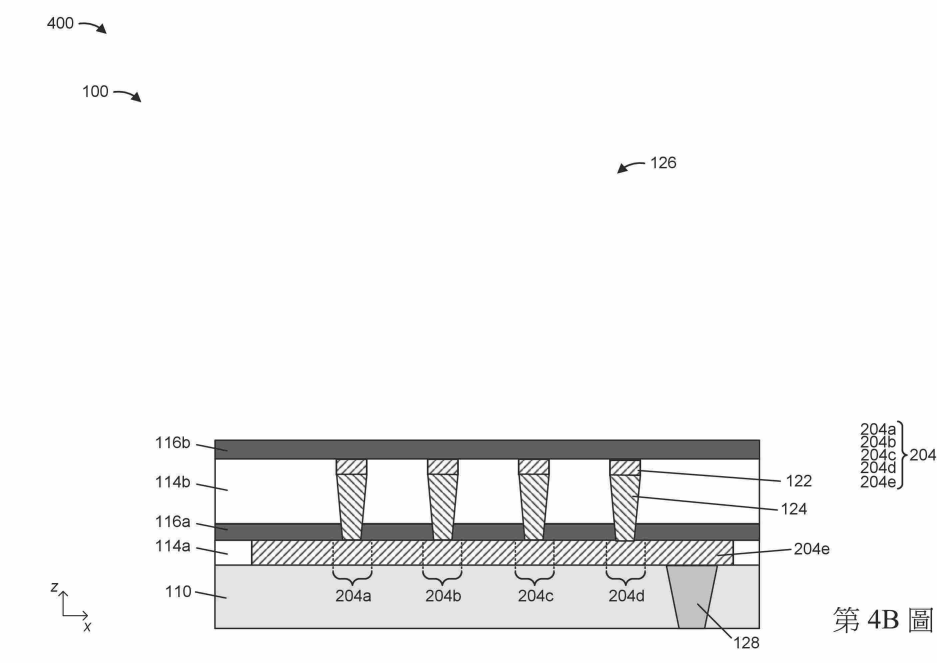


第 3D 圖

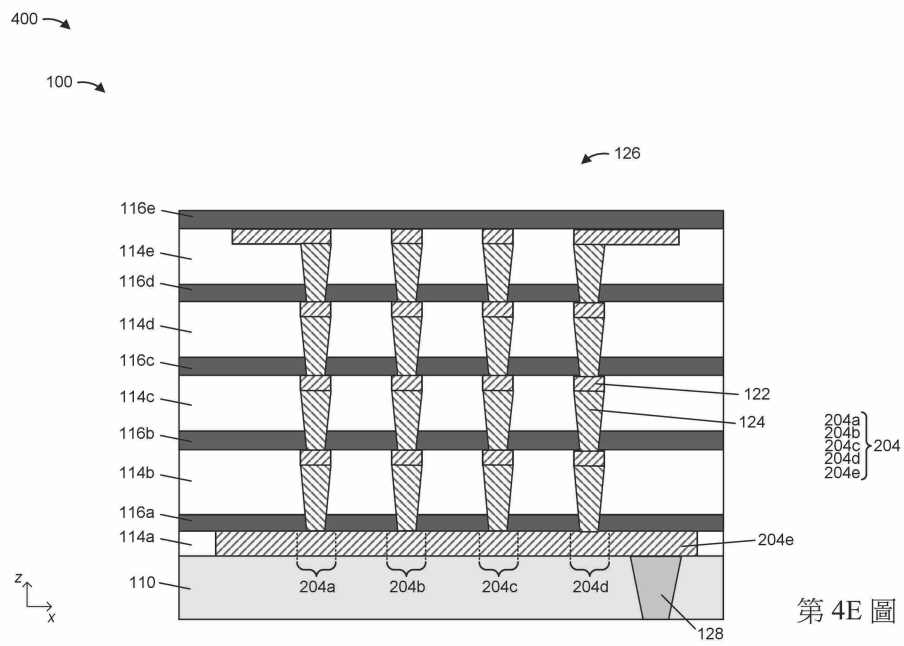
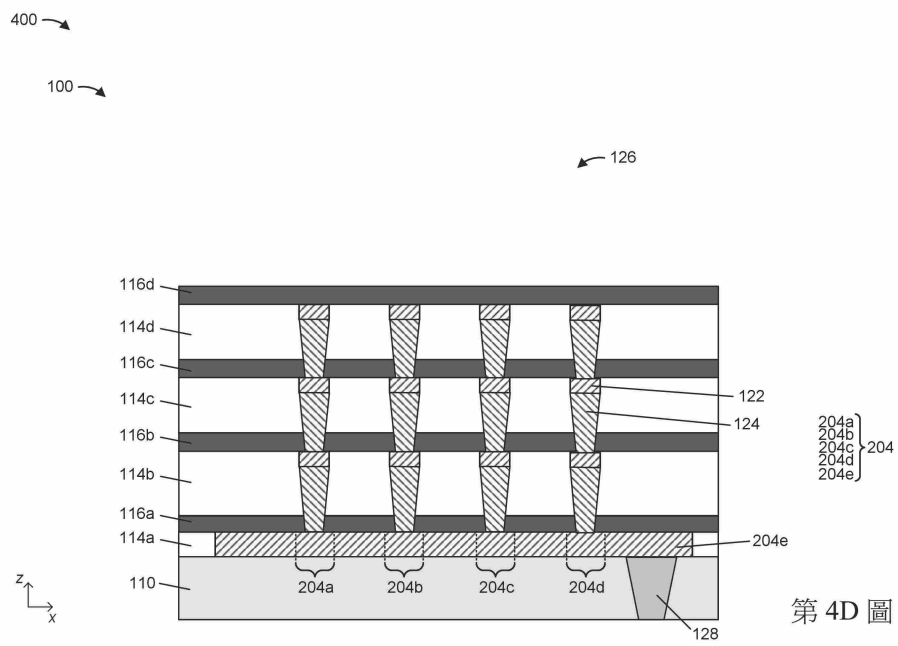


第 4A 圖

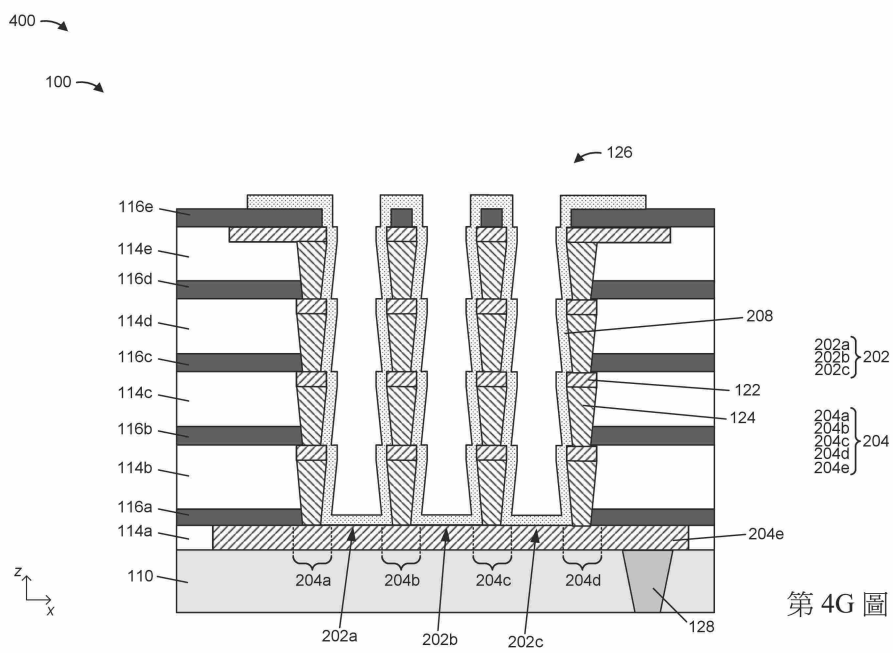
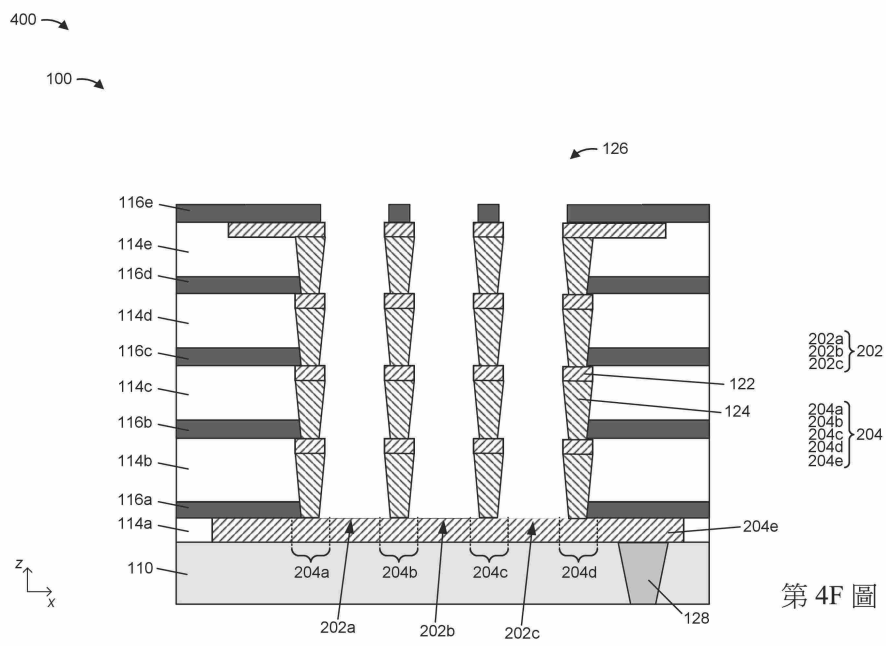
(7)



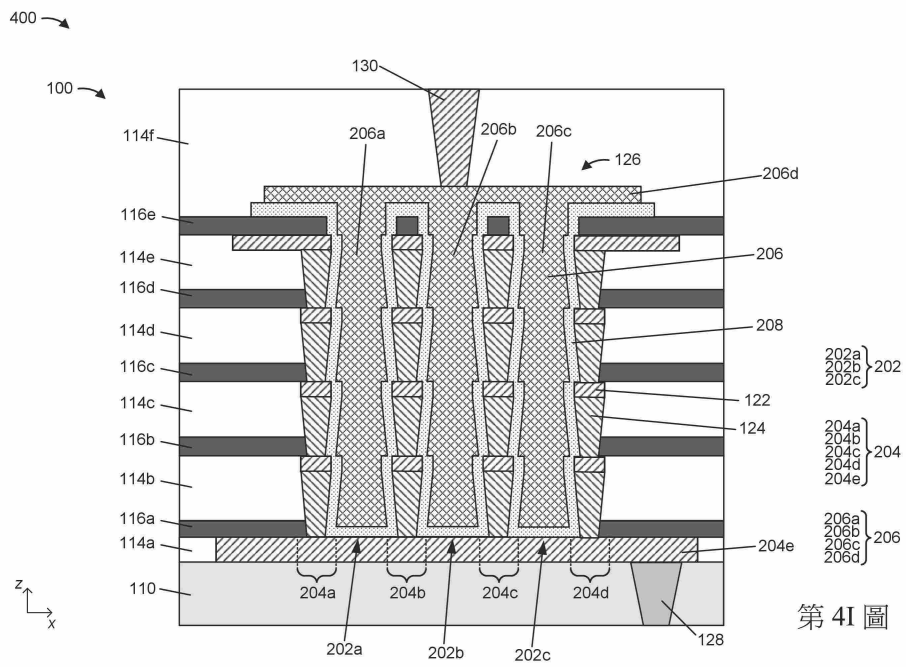
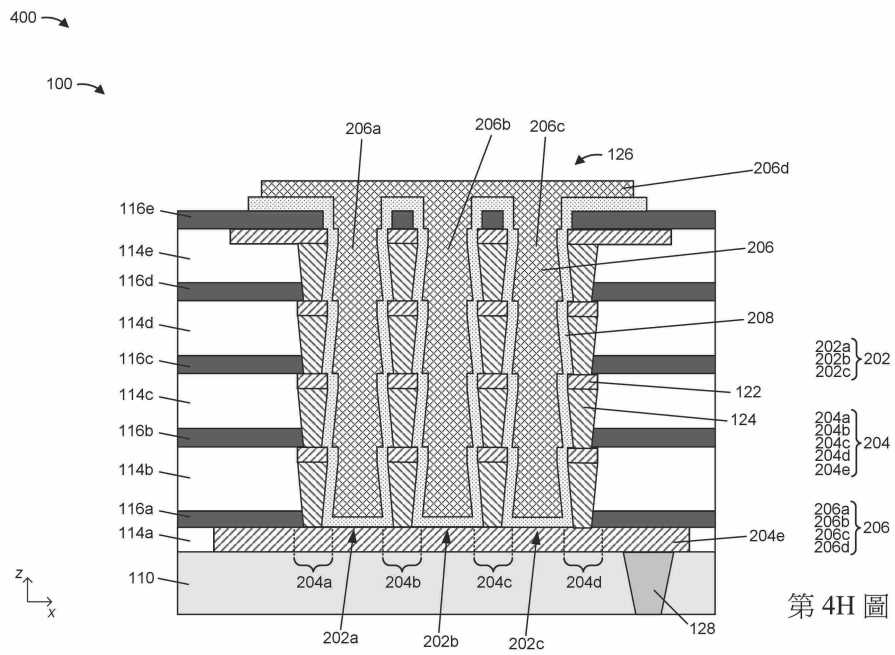
(8)



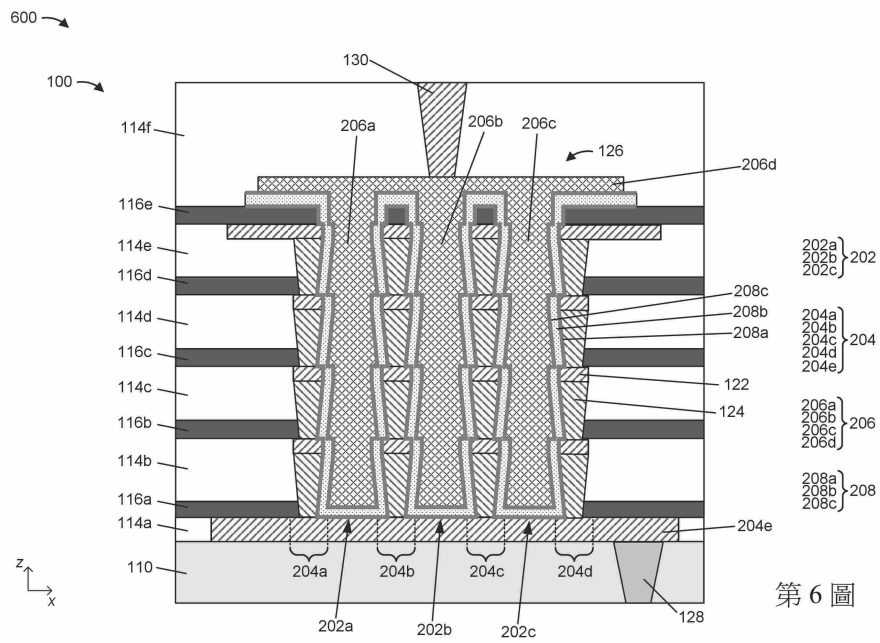
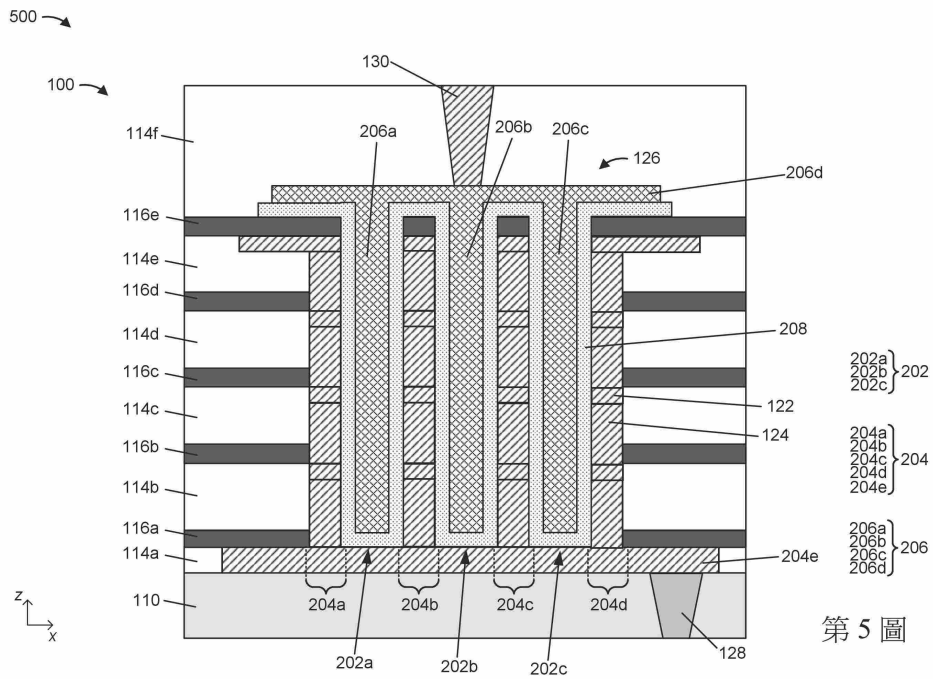
(9)



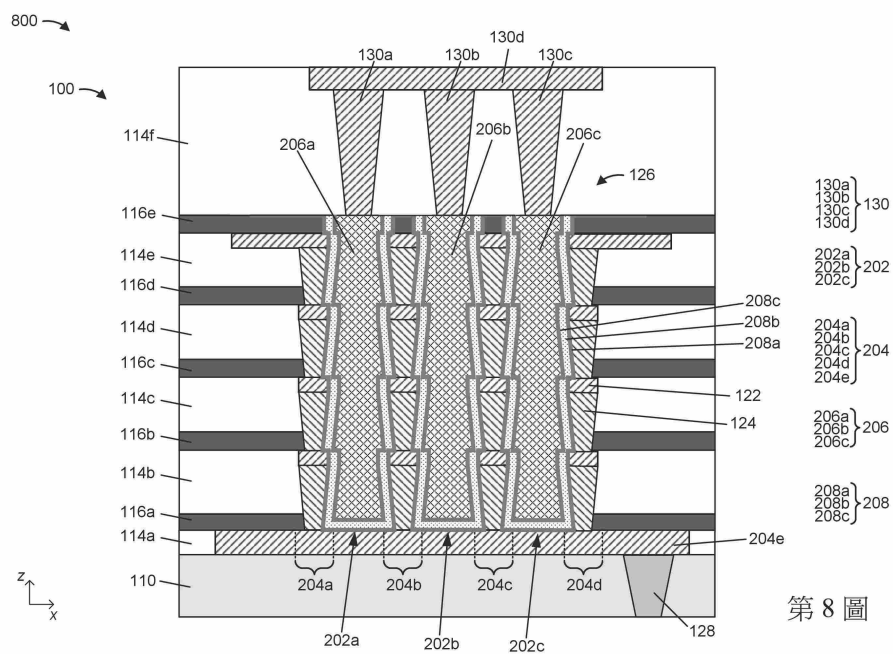
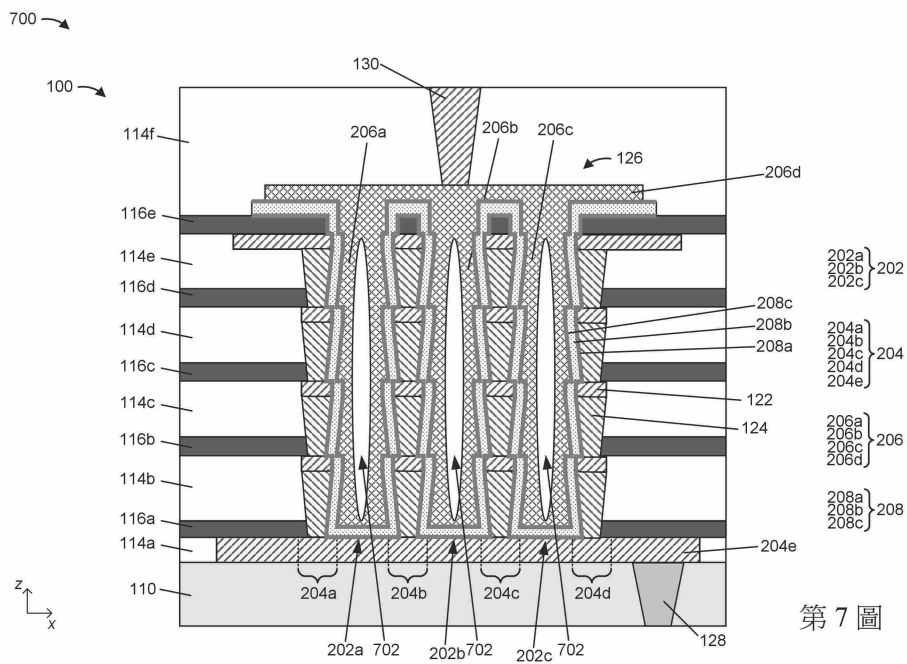
(10)



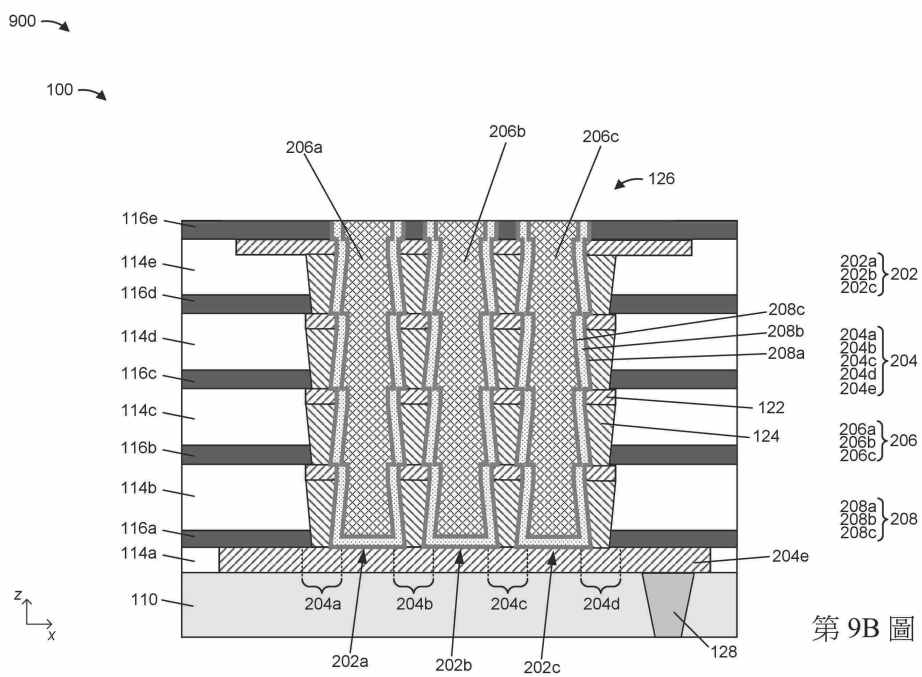
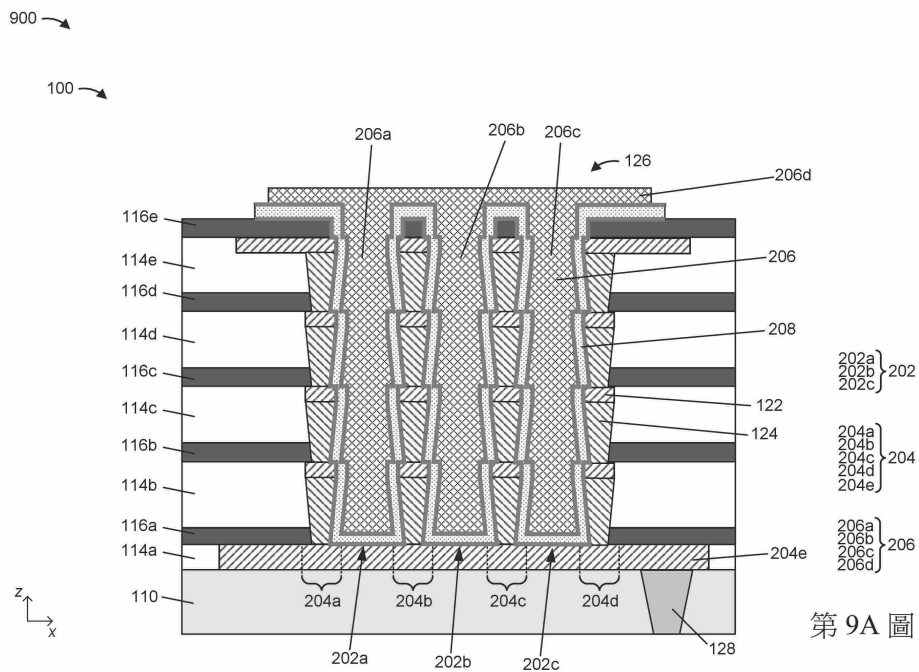
(11)



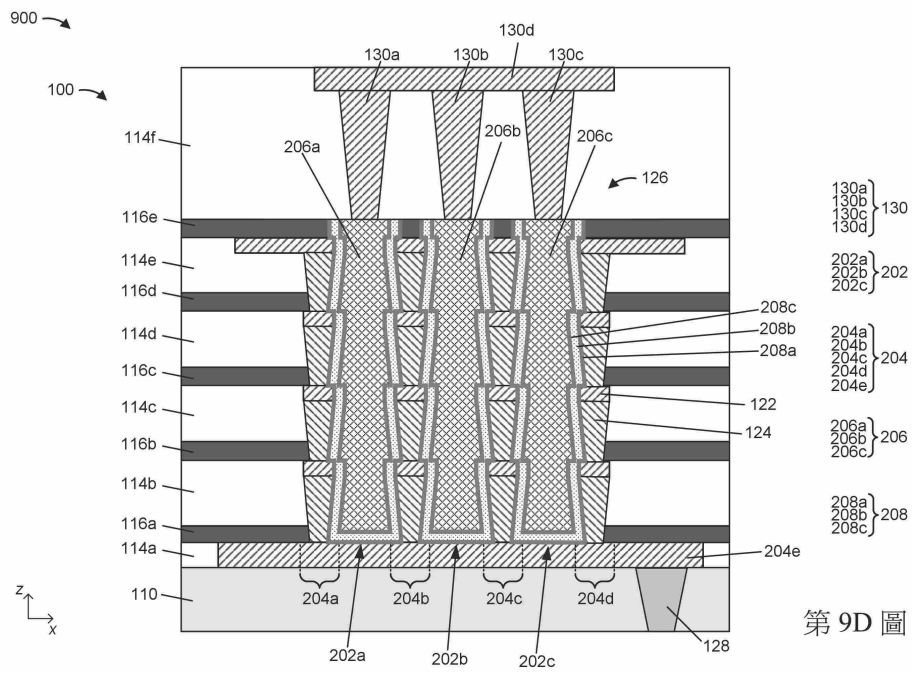
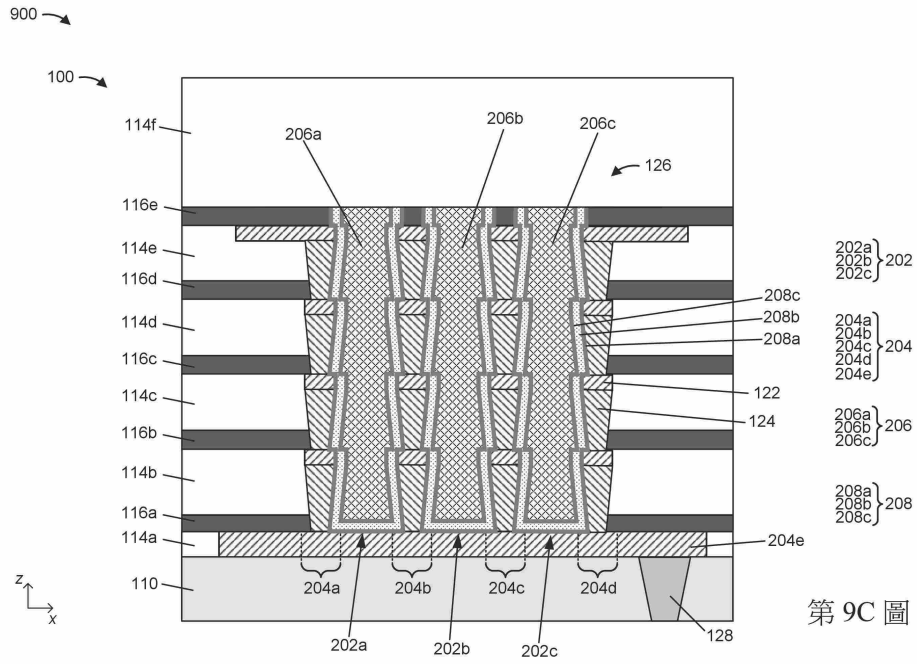
(12)



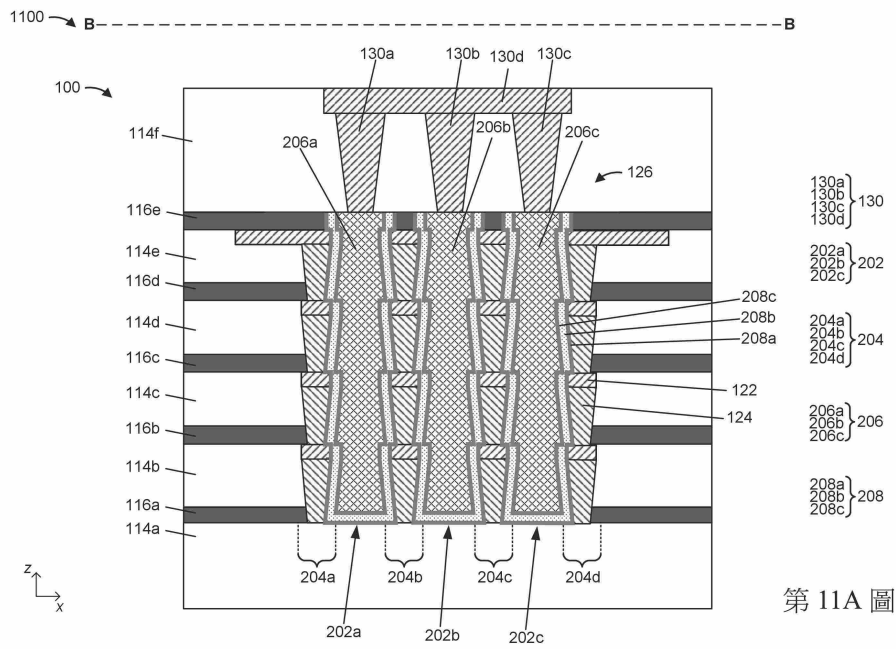
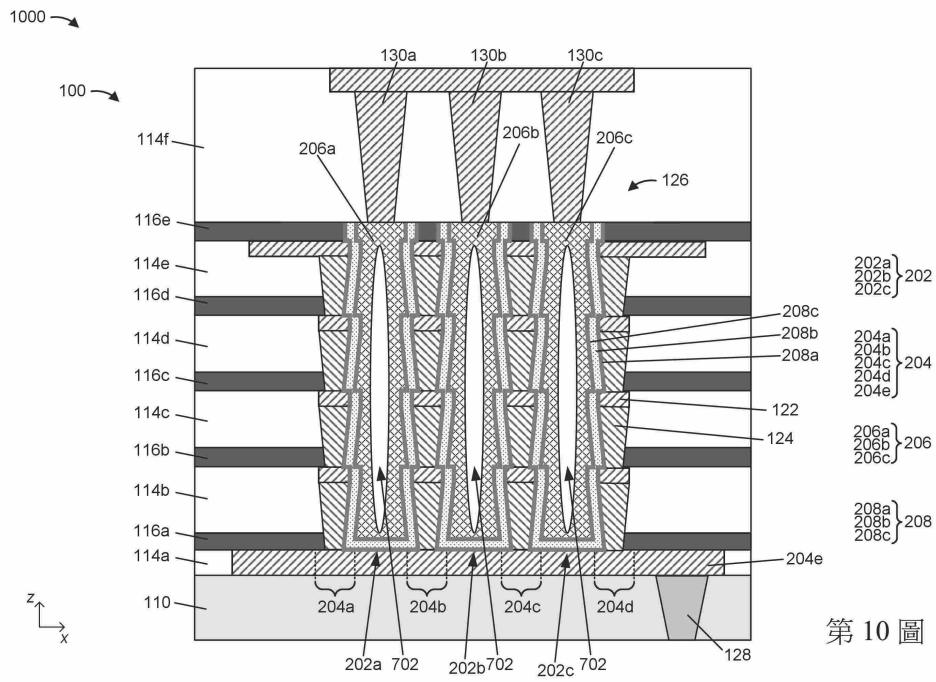
(13)



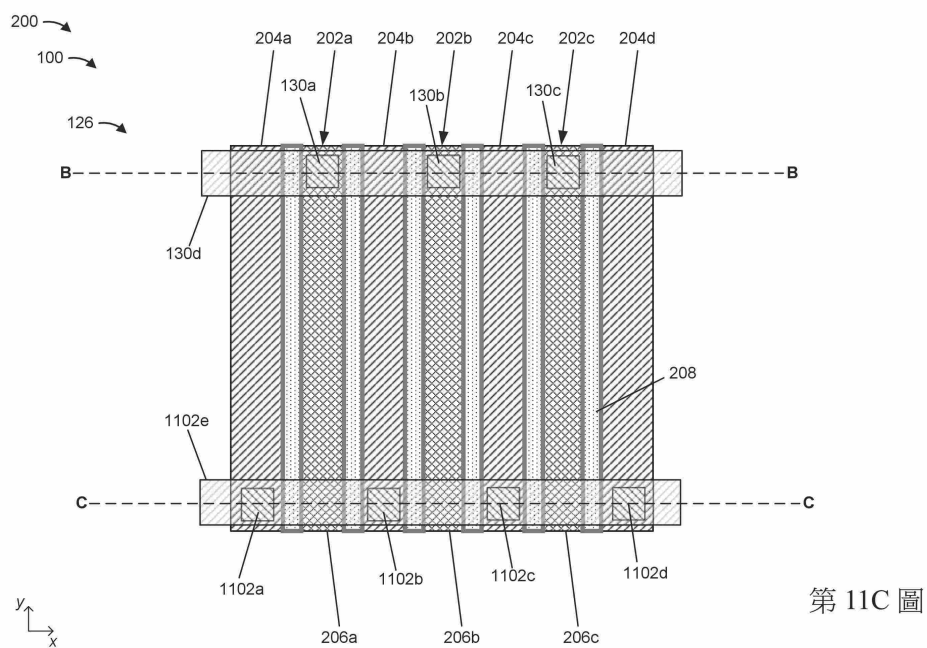
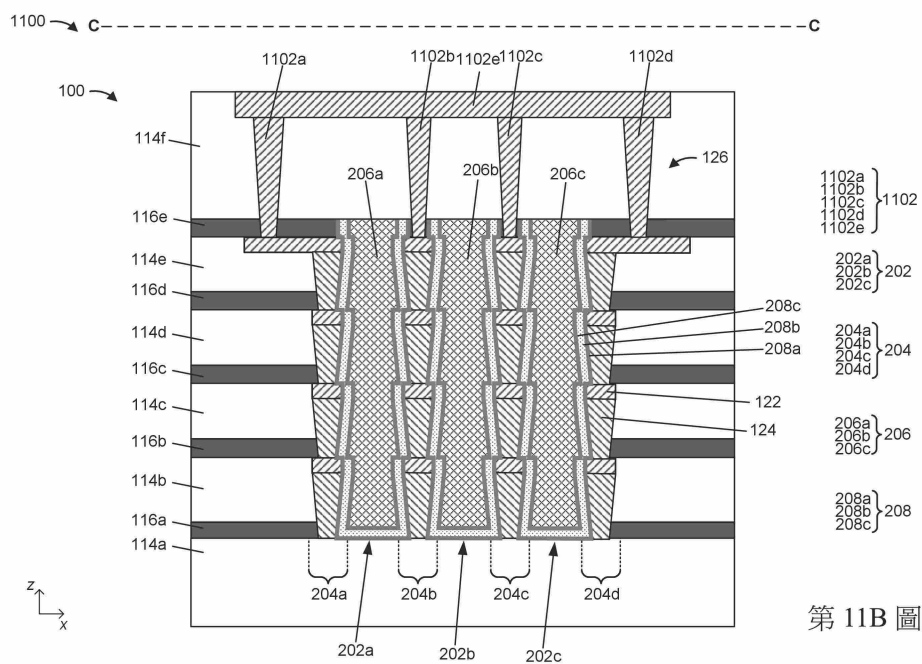
(14)



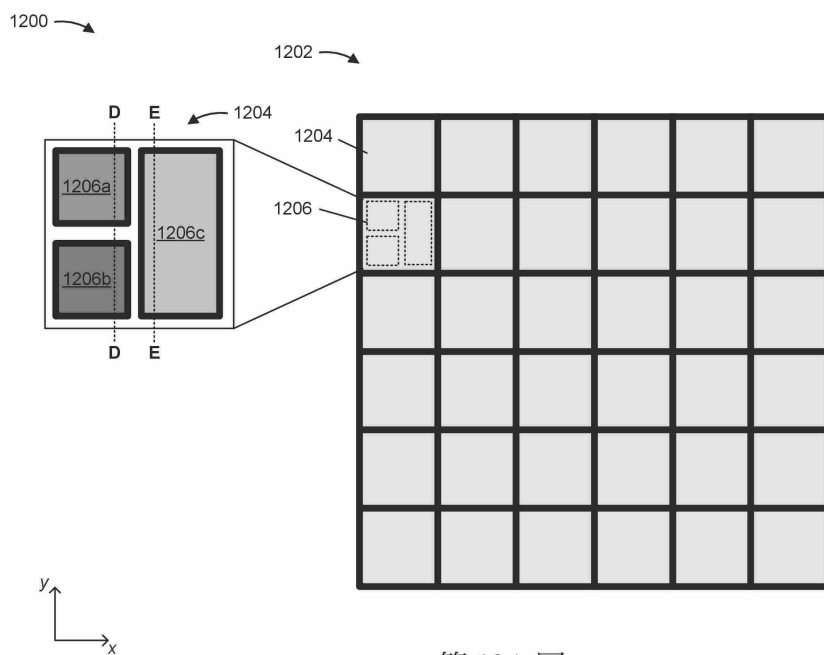
(15)



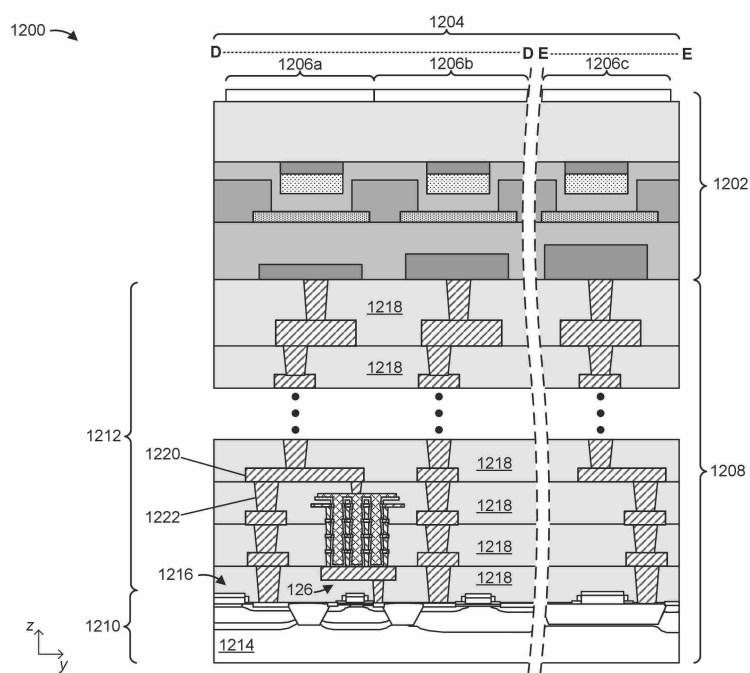
(16)



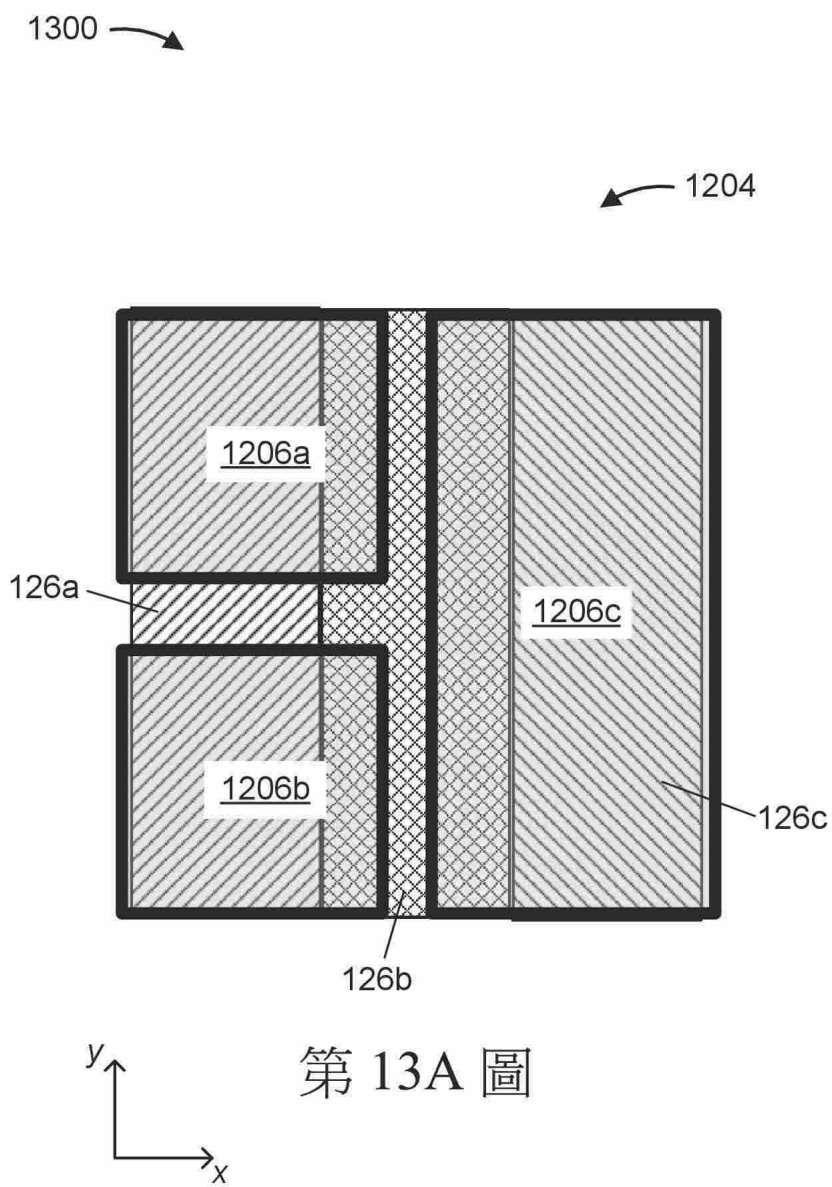
(17)



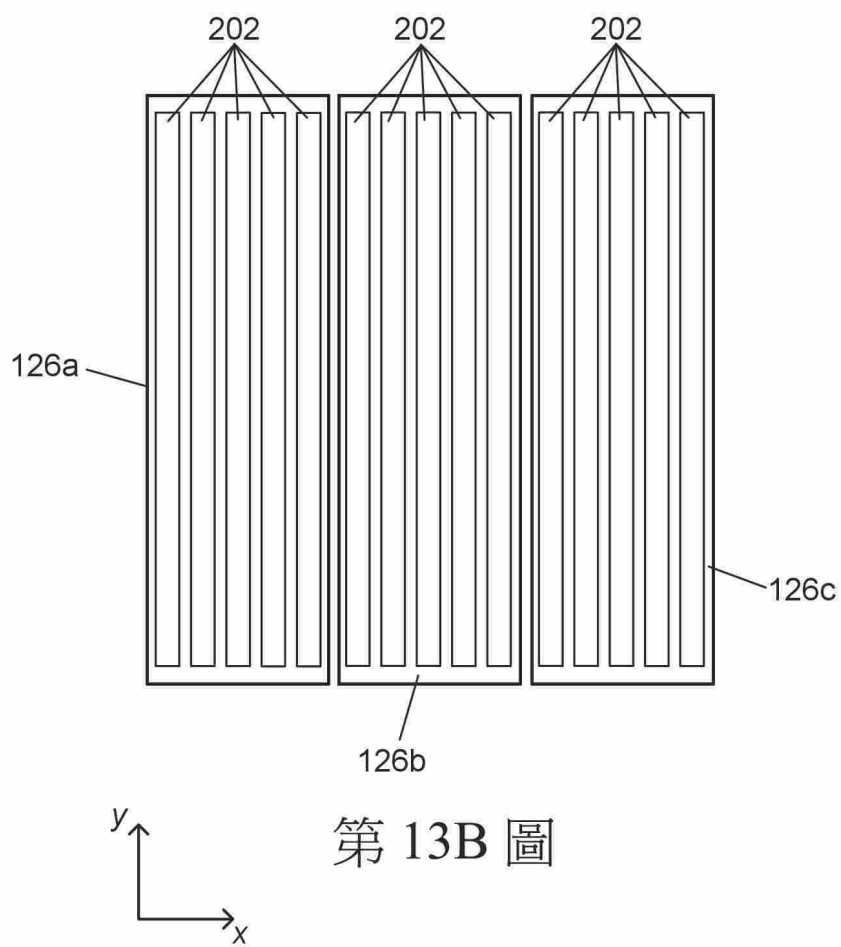
第 12A 圖



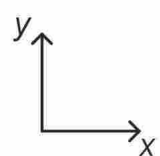
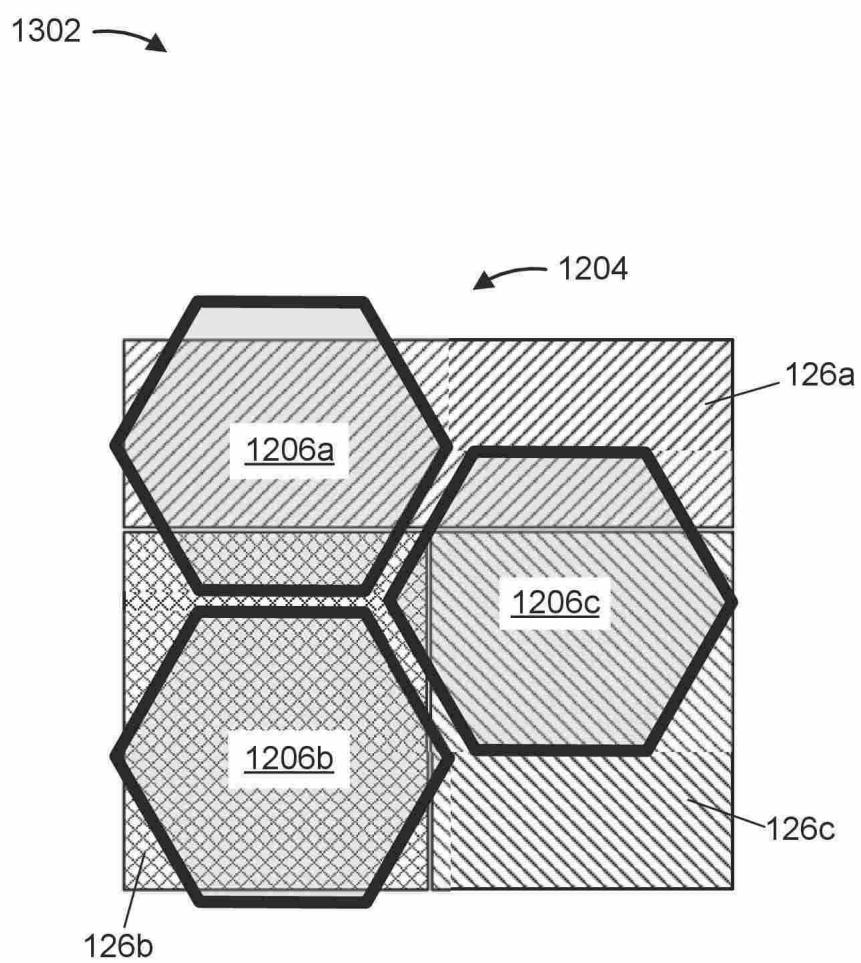
第 12B 圖



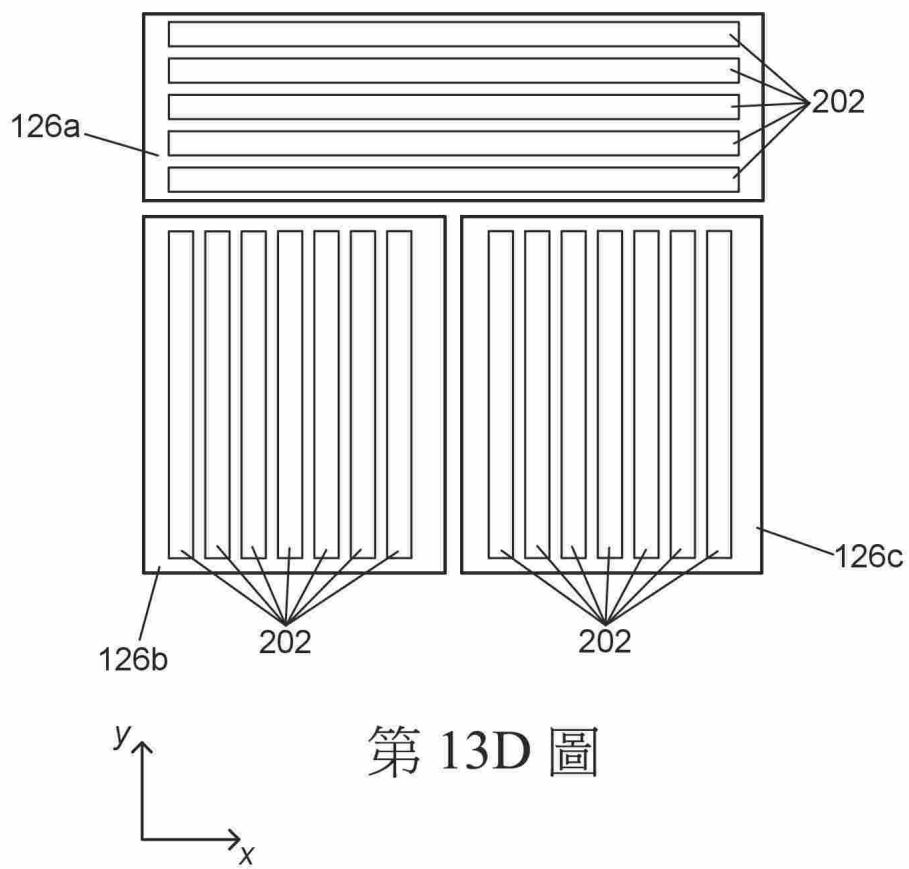
(19)



第 13B 圖



第 13C 圖

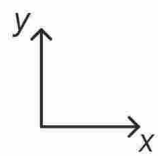
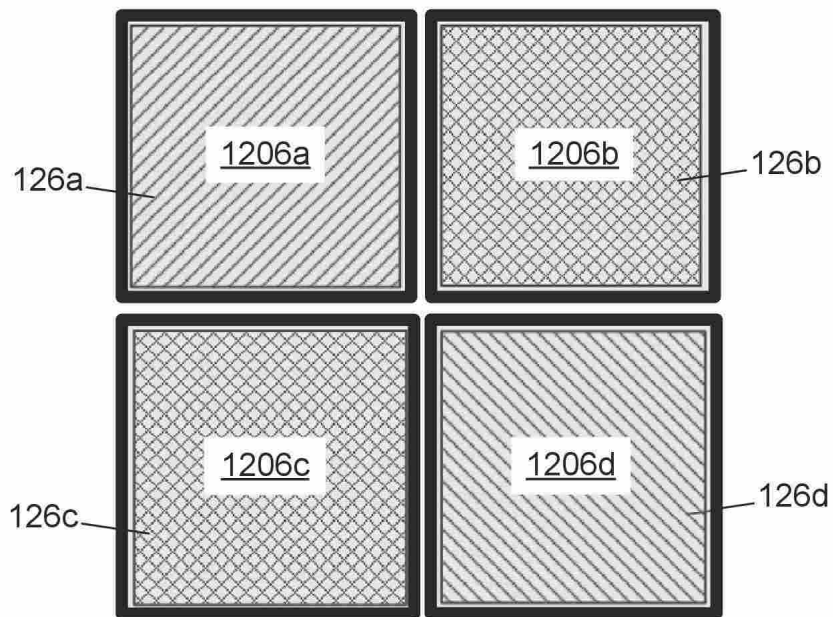


第 13D 圖

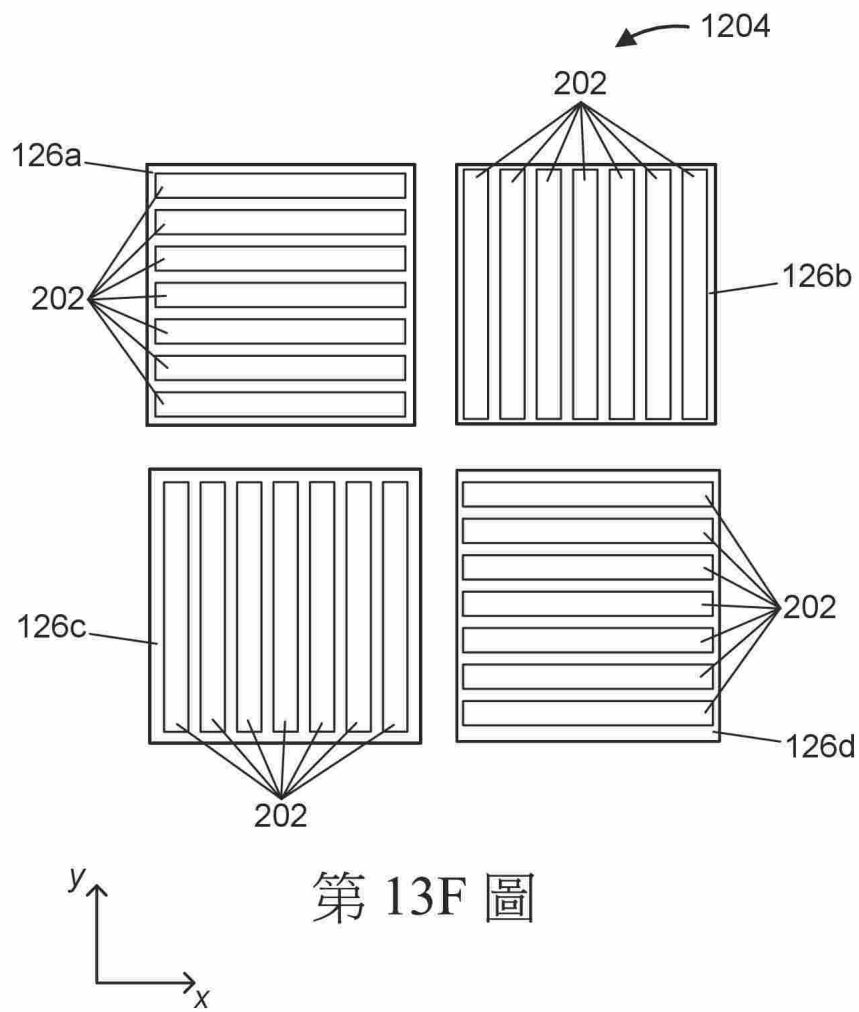
(22)

1304

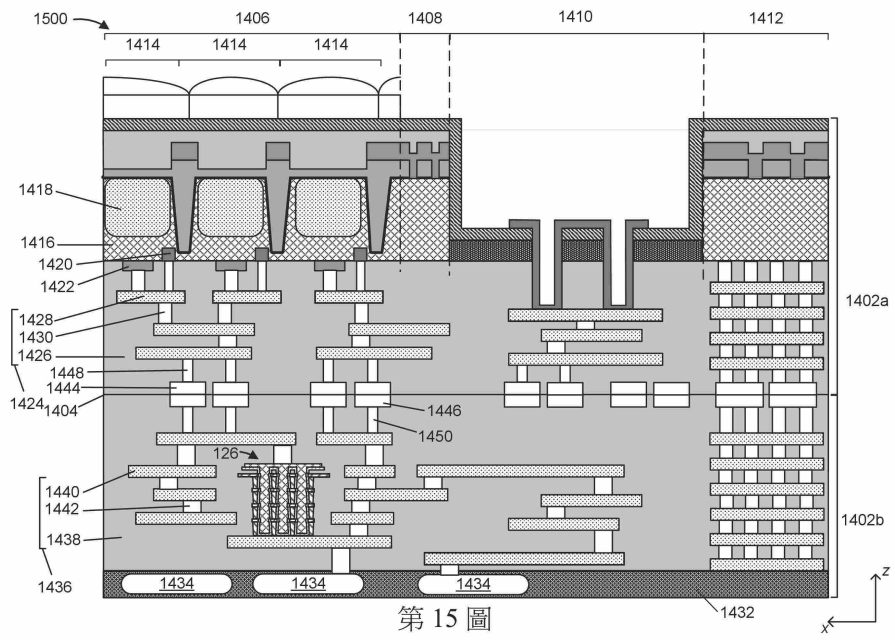
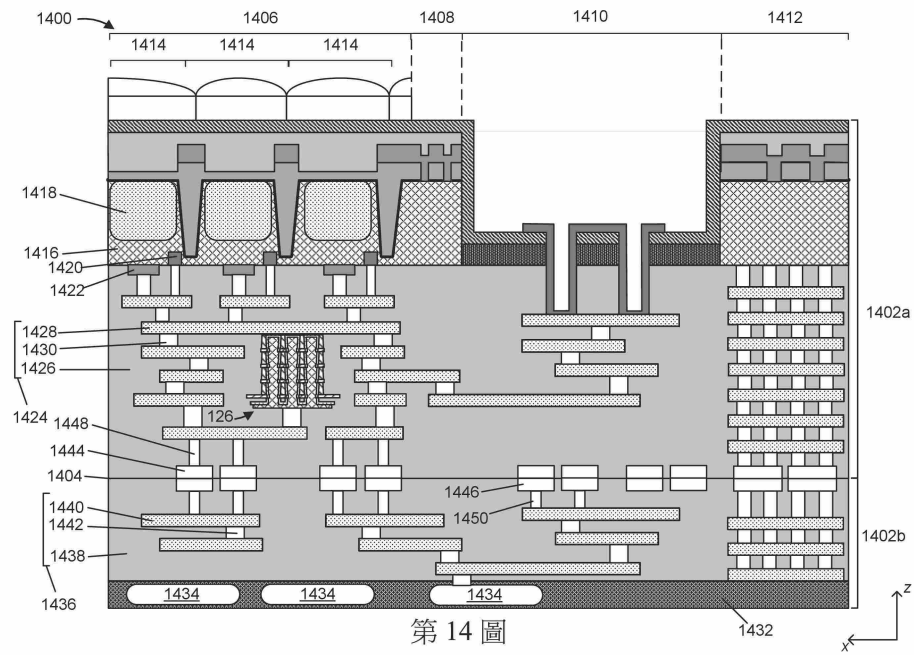
1204



第 13E 圖

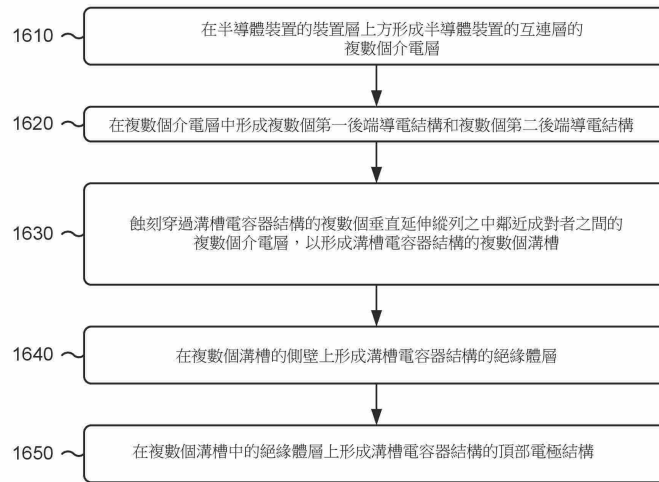


(24)



(25)

1600 →



第 16 圖