

【11】證書號數：I938946

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/00 (2026.01) H10W72/20 (2026.01)
H10W20/20 (2026.01)

發明

全 3 頁

【54】名稱：半導體元件及其製作方法

【21】申請案號：114114165 【22】申請日：中華民國 114 (2025) 年 04 月 15 日

【72】發明人：許閔翔 (TW) HSU, MIN-SHIANG；王裕平 (TW) WANG, YU-PING；林建廷 (TW) LIN, CHIEN-TING

【71】申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.
新竹市新竹科學工業園區力行二路三號

【74】代理人：吳豐任；戴俊彥

【56】參考文獻：

TW 202450048A

審查人員：董柏昌

【57】申請專利範圍

1. 一種製作半導體元件的方法，其特徵在於，包含：
提供一第一中介層包含複數個第一被動元件，其中該等第一被動元件包含深溝渠電容；
提供一第二中介層包含複數個第一主動元件，其中該等第一主動元件包含靜態隨機存取記憶體、中壓元件、高壓元件、畫素電路，低壓驅動電路的低壓元件以及圖形處理器；以及
將該第一中介層接合至該第二中介層以形成一第一堆疊結構。
2. 如申請專利範圍第 1 項所述之方法，另包含接合複數個不同功能之晶粒於該第二中介層上。
3. 如申請專利範圍第 2 項所述之方法，另包含形成複數個微凸塊於該等晶粒以及該第二中介層之間。
4. 如申請專利範圍第 1 項所述之方法，另包含形成複數個直接鍵結內連線於該第一中介層以及該第二中介層之間。
5. 如申請專利範圍第 1 項所述之方法，另包含：
提供一第三中介層包含複數個第二主動元件；
提供一第四中介層包含複數個第二被動元件；以及
將該第三中介層接合至該第四中介層以形成一第二堆疊結構。
6. 如申請專利範圍第 5 項所述之方法，另包含：
提供一承載基板；
形成複數個穿模導孔於該承載基板內；
將該第一堆疊結構以及該第二堆疊結構接合至該承載基板上；以及
形成一封模層環繞該第一堆疊結構以及該第二堆疊結構。
7. 如申請專利範圍第 1 項所述之方法，其中該第一中介層包含一矽晶圓。
8. 一種半導體元件，其特徵在於，包含：
一第一堆疊結構，包含：

(2)

一第一中介層包含複數個被動元件，其中該等被動元件包含深溝渠電容；以及

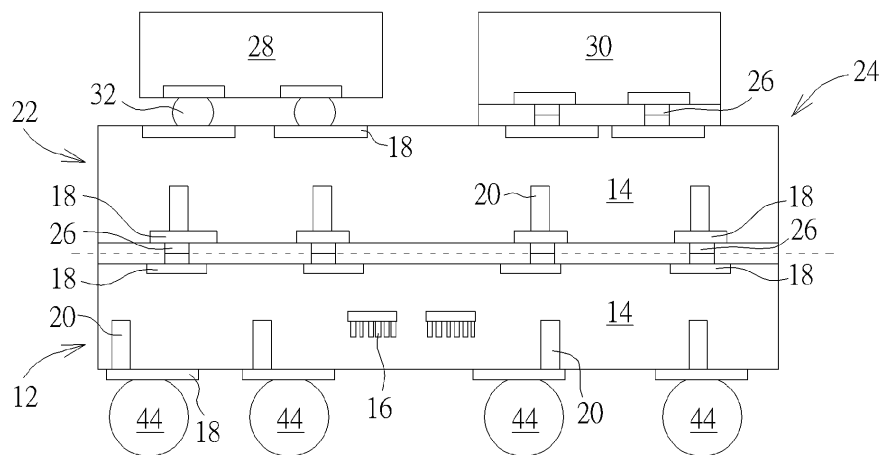
一第二中介層接合至該第一中介層，其中該第二中介層包含複數個主動元件，其中該等主動元件包含靜態隨機存取記憶體、中壓元件、高壓元件、畫素電路，低壓驅動電路的低壓元件以及圖形處理器。

9. 如申請專利範圍第 8 項所述之半導體元件，另包含複數個不同功能之晶粒設於該第二中介層上。
 10. 如申請專利範圍第 9 項所述之半導體元件，另包含複數個微凸塊設於該等晶粒以及該第二中介層之間。
 11. 如申請專利範圍第 8 項所述之半導體元件，另包含複數個直接鍵結內連線設於該第一中介層以及該第二中介層之間。
 12. 如申請專利範圍第 8 項所述之半導體元件，另包含：
 - 一第二堆疊結構包含：
 - 一第三中介層包含複數個第二主動元件；
 - 一第四中介層接合至該第三中介層，其中該第四中介層包含複數個第二被動元件；以及
 - 複數個直接鍵結內連線連接該第三中介層以及該第四中介層之間。
 13. 如申請專利範圍第 12 項所述之半導體元件，另包含：
 - 一承載基板；
 - 複數個穿模導孔設於該承載基板內；
 - 該第一堆疊結構以及該第二堆疊結構設於該承載基板上；以及
 - 一封模層環繞該第一堆疊結構以及該第二堆疊結構。
 14. 如申請專利範圍第 8 項所述之半導體元件，其中該第一中介層包含一矽晶圓。
 15. 如申請專利範圍第 8 項所述之半導體元件，其中該第二中介層包含一矽晶圓。
- 圖式簡單說明

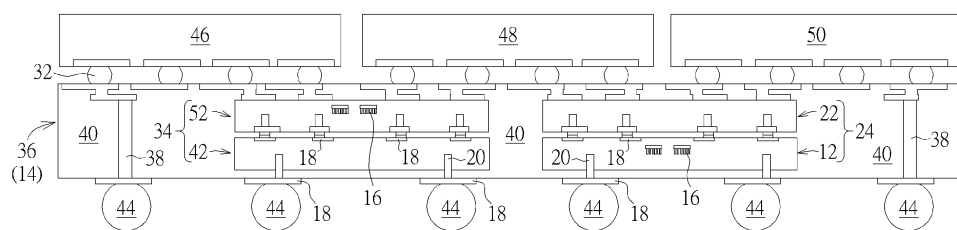
第 1 圖為本發明一實施例之一半導體元件之結構示意圖。

第 2 圖為本發明一實施例之一半導體元件之結構示意圖。

(3)



第1圖



第2圖