

【11】證書號數：I938960

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/40 (2026.01) H10D1/68 (2025.01)
發明 全 13 頁

【54】名稱：半導體裝置及其形成方法

【21】申請案號：114115313

【22】申請日：中華民國 114 (2025) 年 04 月 23 日

【11】公開編號：202619109

【43】公開日期：中華民國 115 (2026) 年 05 月 01 日

【30】優先權：2024/10/30

美國

63/713,631

2025/02/27

美國

19/064,980

【72】發明人：張文苓 (TW) CHANG, WEN-LING；余立中 (TW) YU, LI-CHUNG；謝怡姍 (TW) HSIEH, YI-SHAN；劉子霆 (TW) LIU, TZU-TING；沈香谷 (TW) SHEN, HSIANG-KU；陳殿豪 (TW) CHEN, DIAN-HAU

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：洪澄文；洪茂

【56】參考文獻：

TW 202209450A

TW 202230670A

TW 202341291A

TW 202420503A

TW 202431977A

TW 202441724A

US 2023/0369389A1

US 2023/0395631A1

US 2024/0312891A1

US 2024/0355815A1

審查人員：李景松

【57】申請專利範圍

1. 一種半導體裝置，包括：
一互連結構，位於一基板上方，其中該互連結構包括設置在一介電層中的一導電特徵；
一第一鈍化層，設置在該互連結構上方，其中該第一鈍化層的介電常數大於該介電層的介電常數；
一蝕刻停止層，設置在該第一鈍化層上方；
一第二鈍化層，設置在該蝕刻停止層上方；
複數個孔和複數個溝槽，從該第二鈍化層的一上表面延伸到該第二鈍化層中，其中該些孔中的至少一者包括在一第一方向上的一第一寬度和在垂直於該第一方向的一第二方向上的一第二寬度，且該些溝槽中的至少一者包括在該第一方向上小於該第一寬度的一第三寬度和在該第二方向上大於該第二寬度的一第四寬度，其中該些溝槽在一平面圖中與該蝕刻停止層重疊；
一第一電容器結構，包括設置在該第二鈍化層上方並延伸到該些孔中的一第一導電層、一第一絕緣層和一第二導電層，其中該第二導電層位於該第一導電層和該第一絕緣層上方，且該第二鈍化層的該上表面上方的該第二導電層的至少一部分具有一彎曲的頂表面；以及
一第二電容器結構，包括設置在該第二鈍化層上方並延伸到該些溝槽中的一第三導電層、一第二絕緣層和一第四導電層。

2. 如請求項 1 所述之半導體裝置，其中該第一導電層的底部位於該蝕刻停止層上方，且該第三導電層的底部位於該蝕刻停止層下方。
3. 如請求項 1 所述之半導體裝置，其中該第三導電層與該蝕刻停止層接觸，且該第一導電層透過該第二鈍化層與該蝕刻停止層隔開。
4. 如請求項 1 所述之半導體裝置，更包括一導電穿孔，穿透該第二鈍化層、該第一鈍化層和該第一電容器結構或該第二電容器結構中的一者，以電耦接到該互連結構的該導電特徵。
5. 如請求項 4 所述之半導體裝置，其中該導電穿孔被該蝕刻停止層橫向包圍，且該導電穿孔與該蝕刻停止層之間具有一橫向間隙，其中該橫向間隙被該第二鈍化層填滿。
6. 如請求項 5 所述之半導體裝置，其中該蝕刻停止層包括金屬材料或導電金屬氮化物材料。
7. 如請求項 1 所述之半導體裝置，其中該些孔在該平面圖中不與該蝕刻停止層重疊。
8. 一種半導體裝置，包括：
 - 一裝置，設置在一基板上方，其中該裝置包括複數個源極/汲極特徵，且該些源極/汲極特徵中的每一者包括複數個層，該些層包含具有不同濃度的相同半導體材料；
 - 一第一介電層，設置在該裝置上方；
 - 一蝕刻停止層，設置在該第一介電層上方；
 - 一第二介電層，設置在該蝕刻停止層上方；
 - 複數個孔和複數個溝槽，從該第二介電層的一上表面延伸到該第二介電層中，其中該些孔設置在一第一區域中，該些溝槽設置在一第二區域中，其中該些孔中的至少一者包括在一第一方向上的一第一寬度和在垂直於該第一方向的一第二方向上的一第二寬度，且該些溝槽中的至少一者包括在該第一方向上的一第三寬度和在該第二方向上的一第四寬度，其中該第一寬度與該第二寬度之間的差小於該第三寬度與該第四寬度之間的差；以及
 - 一電容器結構，包括設置在該第二介電層的該上表面上方並延伸到該些孔和該些溝槽中的一第一導電層、一絕緣層和一第二導電層，其中該第一區域的一第一佔位面積大於該第二區域的一第二佔位面積。
9. 如請求項 8 所述之半導體裝置，其中該些溝槽的底部低於該些孔的底部。
10. 如請求項 8 所述之半導體裝置，更包括一導電穿孔，穿透該電容器結構，且該第二區域位於該導電穿孔和該第一區域之間。
11. 如請求項 10 所述之半導體裝置，其中該導電穿孔被該第一區域和該第二區域橫向包圍。
12. 如請求項 8 所述之半導體裝置，其中該些溝槽的底部低於該蝕刻停止層，且該些孔的底部高於該蝕刻停止層。
13. 如請求項 8 所述之半導體裝置，更包括：
 - 一絕緣填充層，設置在該電容器結構和該第二介電層上方；
 - 一鈍化結構，設置在該絕緣填充層上方，其中一導電穿孔穿透該絕緣層並包括在該鈍化結構中延伸的一突出部；以及
 - 一導電接合結構，設置在該鈍化結構中，其中該導電接合結構從該鈍化結構中暴露並電耦接到該導電穿孔。
14. 一種形成半導體裝置的方法，該方法包括：
 - 在一基板上方形成一互連結構，其中該互連結構包括設置在一介電層中的一導電特徵；
 - 在該互連結構上方形成一第一鈍化層，其中該第一鈍化層的介電常數大於該介電層的介電常數；
 - 在該第一鈍化層上方形成一蝕刻停止層；

(3)

在該蝕刻停止層上方形成一第二鈍化層；

進行一蝕刻製程以在該第二鈍化層中形成複數個孔和複數個溝槽，其中該些孔中的至少一者包括在一第一方向上的一第一寬度和在垂直於該第一方向的一第二方向上的一第二寬度，且該些溝槽中的至少一者包括在該第一方向上小於該第一寬度的一第三寬度和在該第二方向上大於該第二寬度的一第四寬度；以及

在該第二鈍化層上方形成一第一電容器結構和一第二電容器結構，其中該第一電容器結構包括延伸到該些孔中的一第一導電層、一第一絕緣層和一第二導電層，其中該第二導電層設置在該第一導電層和該第一絕緣層上方，且該第二鈍化層上方的該第二導電層的至少一部分具有一彎曲的頂表面，其中該第二電容器結構包括延伸到該些溝槽中的一第三導電層、一第二絕緣層和一第四導電層，其中該些溝槽在一平面圖中與該蝕刻停止層重疊。

15. 如請求項 14 所述之方法，其中該蝕刻製程在形成該些孔時具有一第一蝕刻速率，在形成該些溝槽時具有一第二蝕刻速率，其中該第二蝕刻速率大於該第一蝕刻速率。

圖式簡單說明

根據以下的詳細說明並配合所附圖式以更好地了解本揭露實施例的概念。應注意的是，根據本產業的標準慣例，圖式中的各種特徵未必按照比例繪製。事實上，可能任意地放大或縮小各種特徵的尺寸，以做清楚的說明。

第 1 圖是根據一些實施例之包括裝置層和互連結構的半導體裝置的透視圖。

第 2 圖是根據一些實施例之半導體裝置的互連結構的剖視圖。

第 3 圖示出根據一些實施例之包括鈍化結構中的互連結構的半導體裝置的剖視圖。

第 4 圖是根據一些實施例之以平面圖形式示出用於在半導體裝置的單位面積中佈置電容器結構的區域的示意圖。

第 5A 圖、第 5B 圖和第 5C 圖分別示出根據一些實施例之第 4 圖中所示區域中的孔型電容器、溝槽型電容器和混合型電容器的放大圖。

第 6 圖至第 12 圖示出根據一些實施例之製造半導體裝置的中間階段的剖視圖。

第 13 圖示出根據一些實施例之包括鈍化結構中的電容器結構的半導體裝置的剖視圖。

第 14 圖示出根據一些實施例之包括鈍化結構中的電容器結構的半導體裝置的剖視圖。

第 15 圖示出根據一些實施例之包括鈍化結構中的電容器結構的半導體裝置的剖視圖。

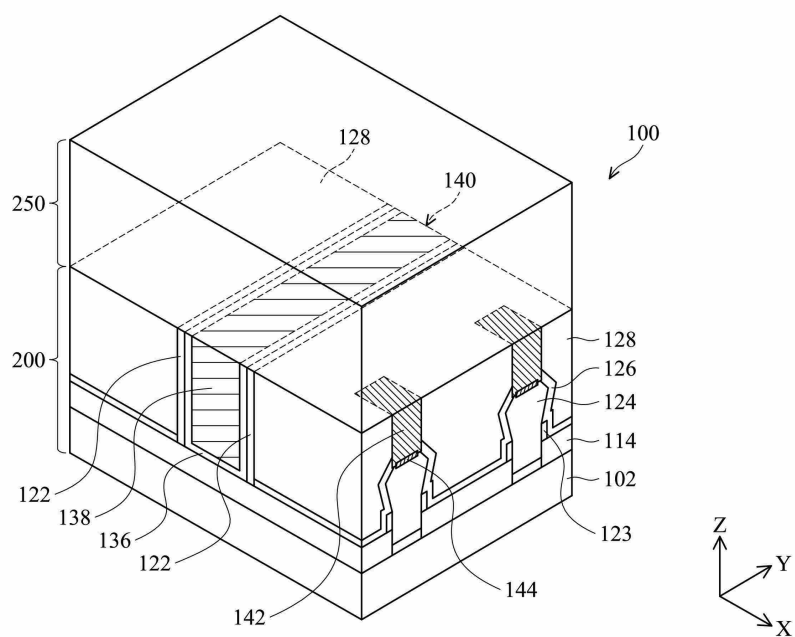
第 16 圖示出根據一些實施例之包括鈍化結構中的電容器結構的半導體裝置的剖視圖。

第 17 圖示出根據一些實施例之包括鈍化結構中的電容器結構的半導體裝置的剖視圖。

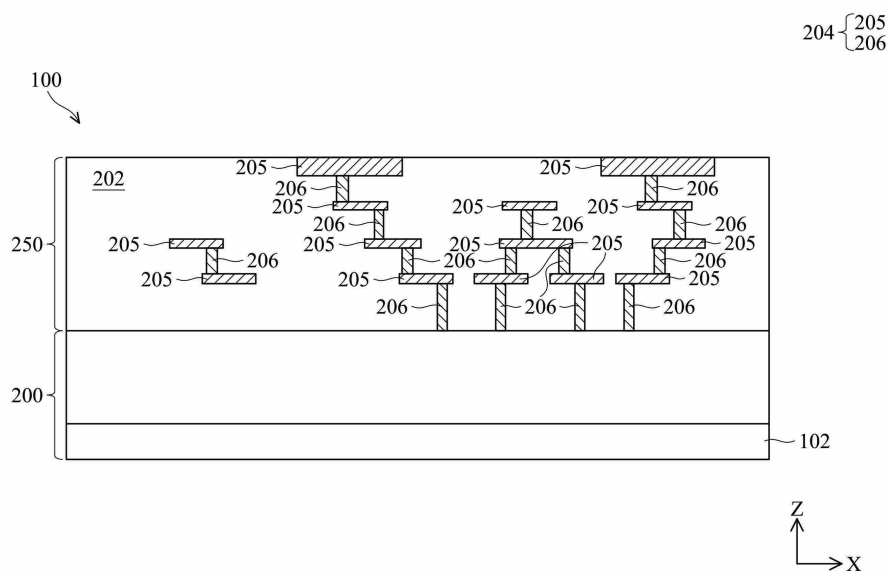
第 18 圖示出根據一些實施例之半導體封裝的剖視圖。

第 19 圖示出根據一些實施例之包括電容器結構和背面互連結構的半導體裝置的剖視圖。

(4)

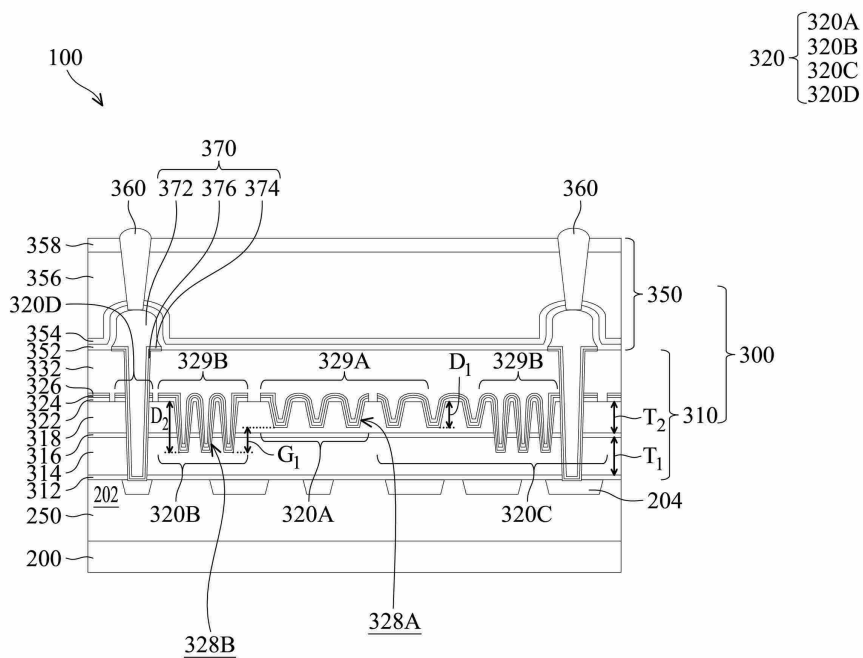


第 1 圖

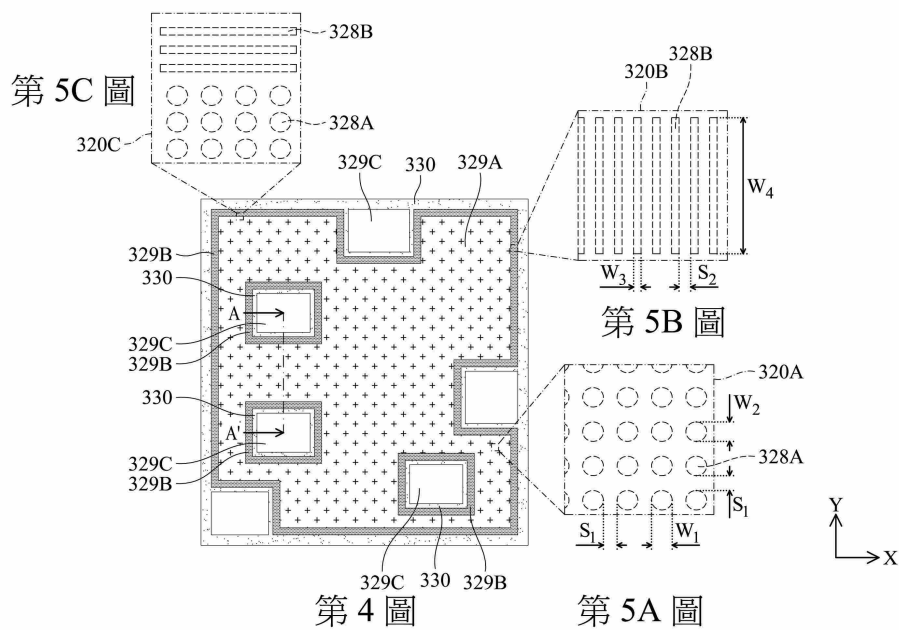


第 2 圖

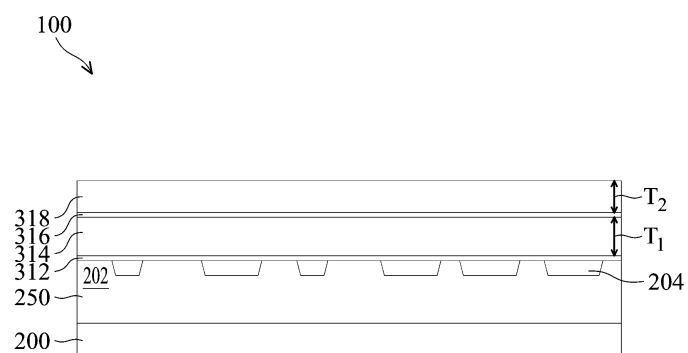
(5)



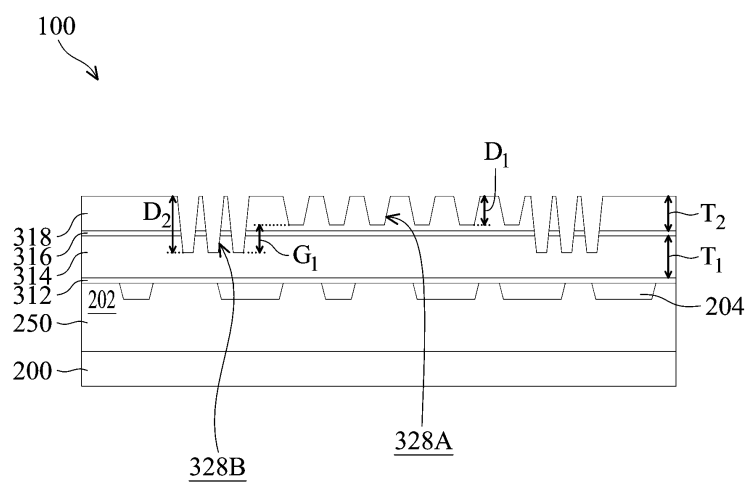
第 3 圖



(6)



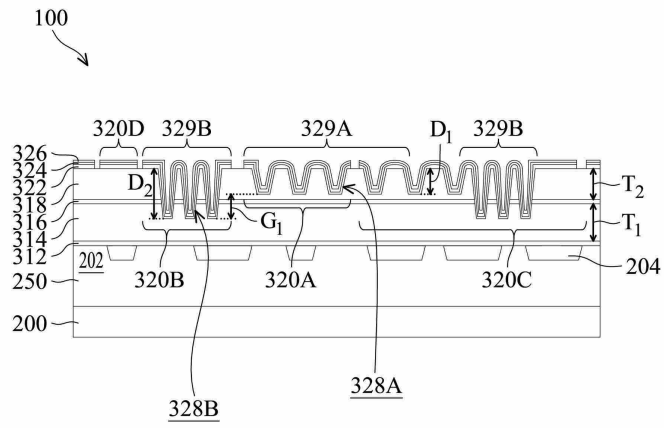
第 6 圖



第 7 圖

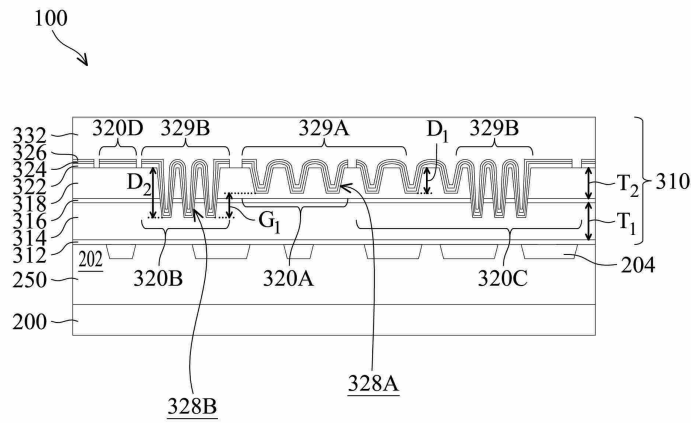
(7)

320 { 320A
320B
320C
320D



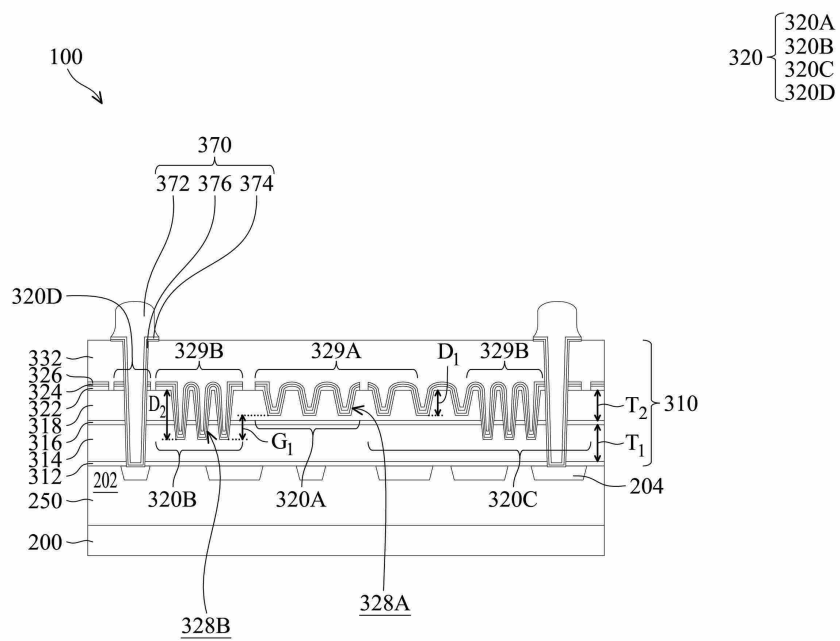
第 8 圖

320 { 320A
320B
320C
320D

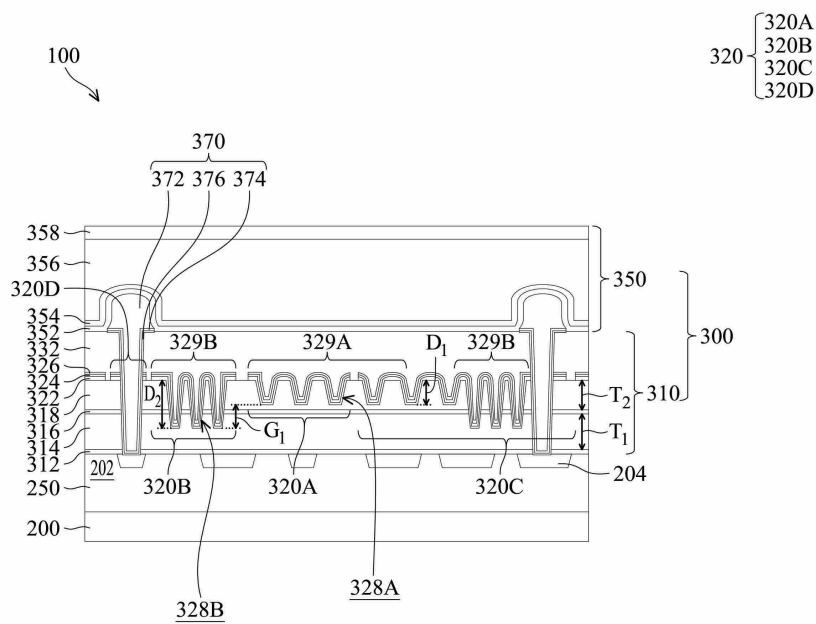


第 9 圖

(8)

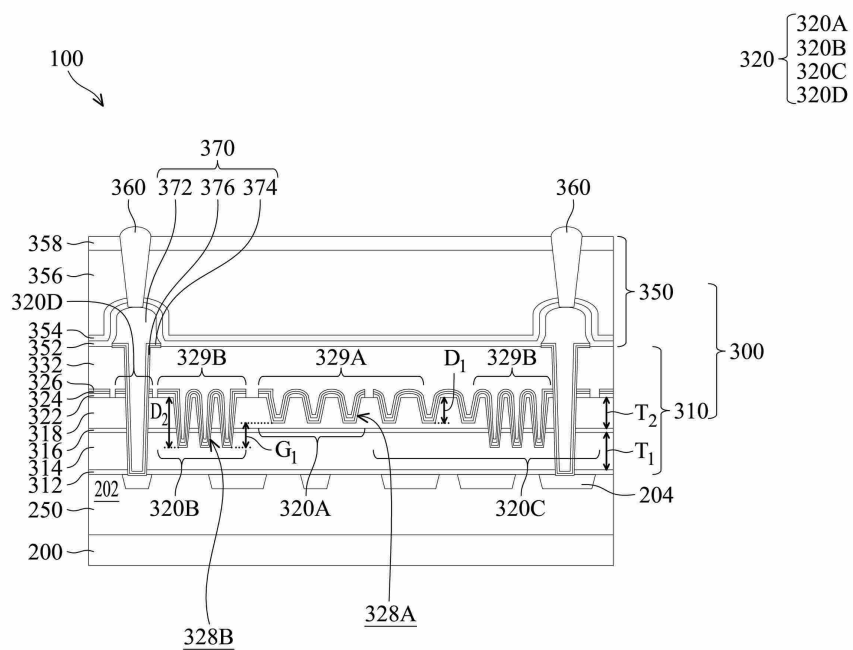


第 10 圖

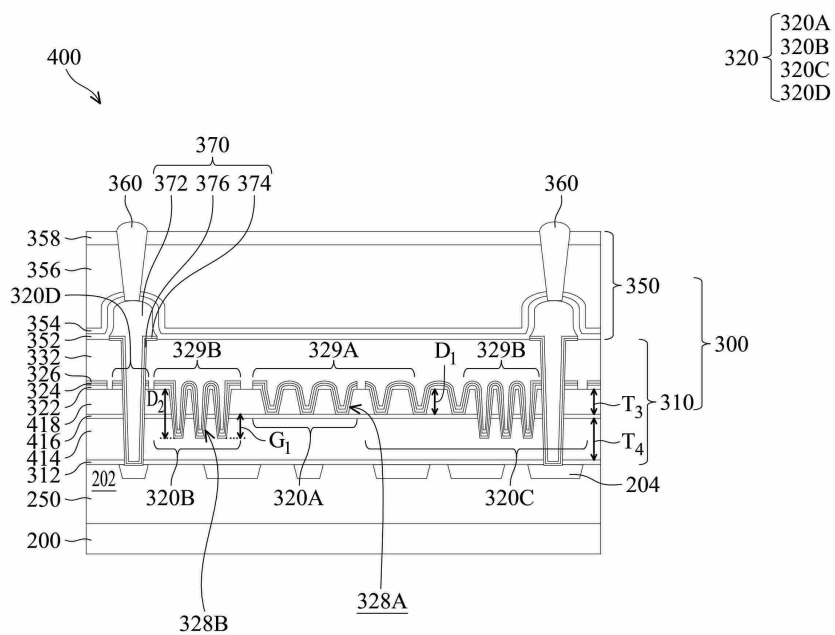


第 11 圖

(9)

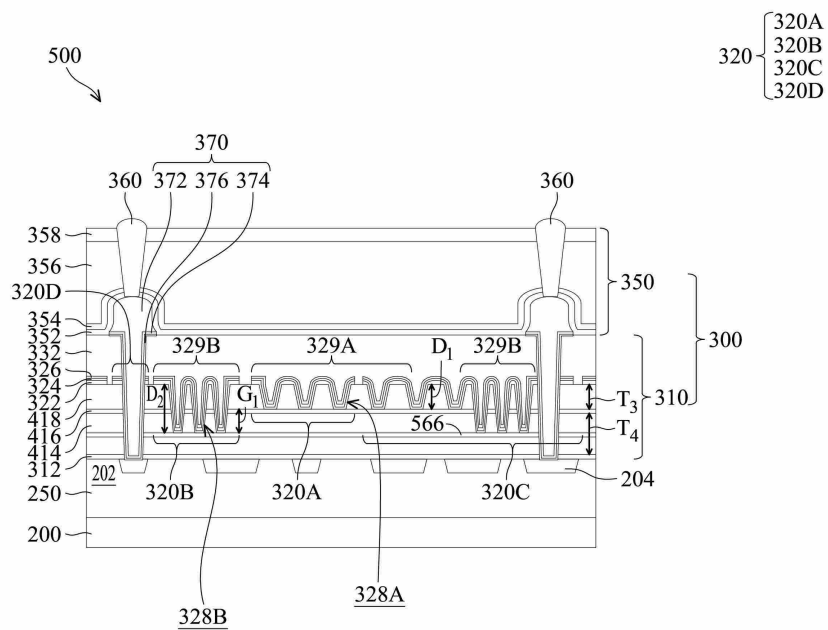


第 12 圖

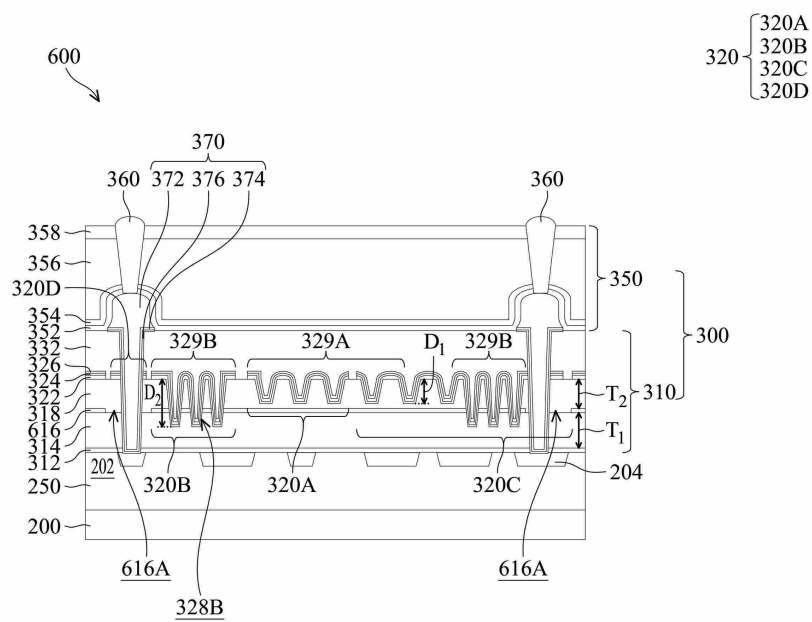


第 13 圖

(10)

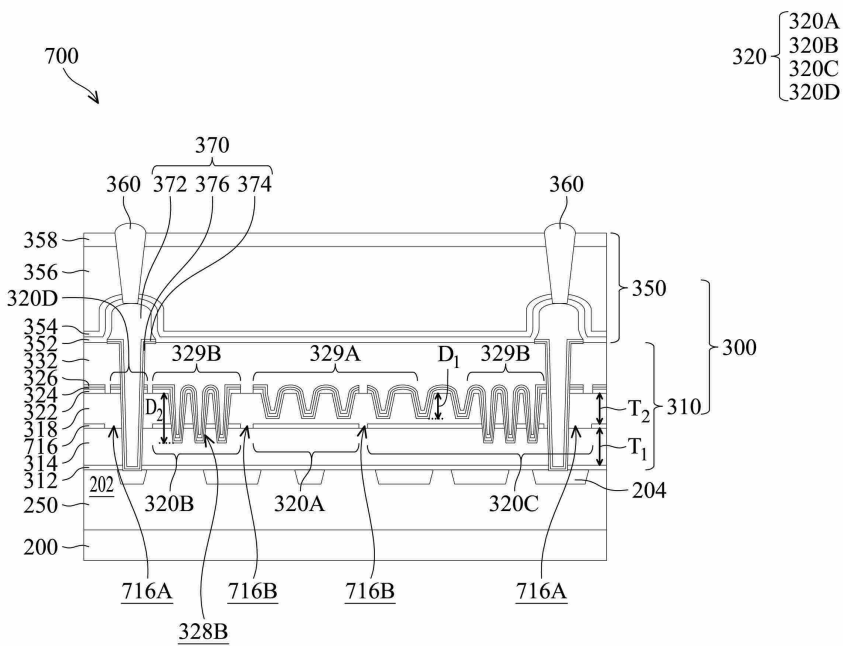


第 14 圖

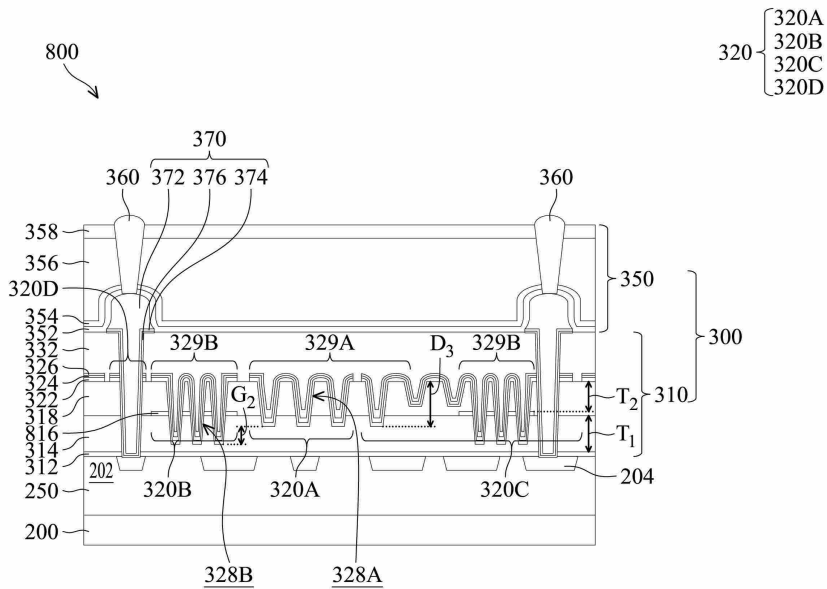


第 15 圖

(11)

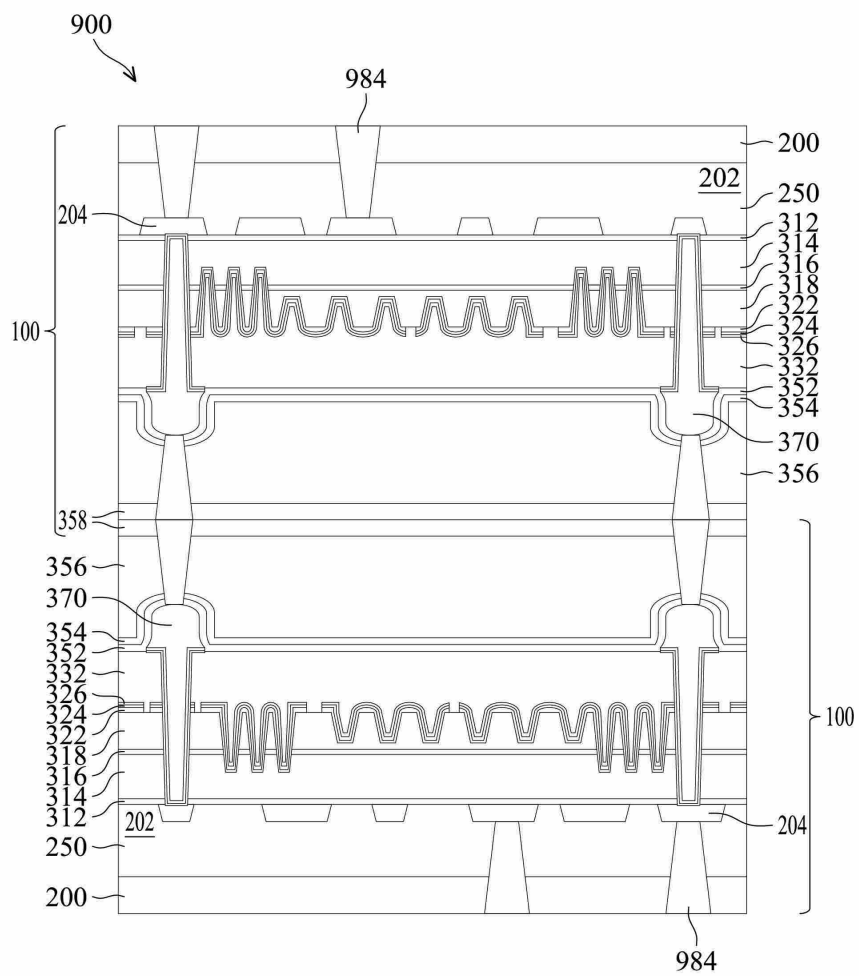


第 16 圖



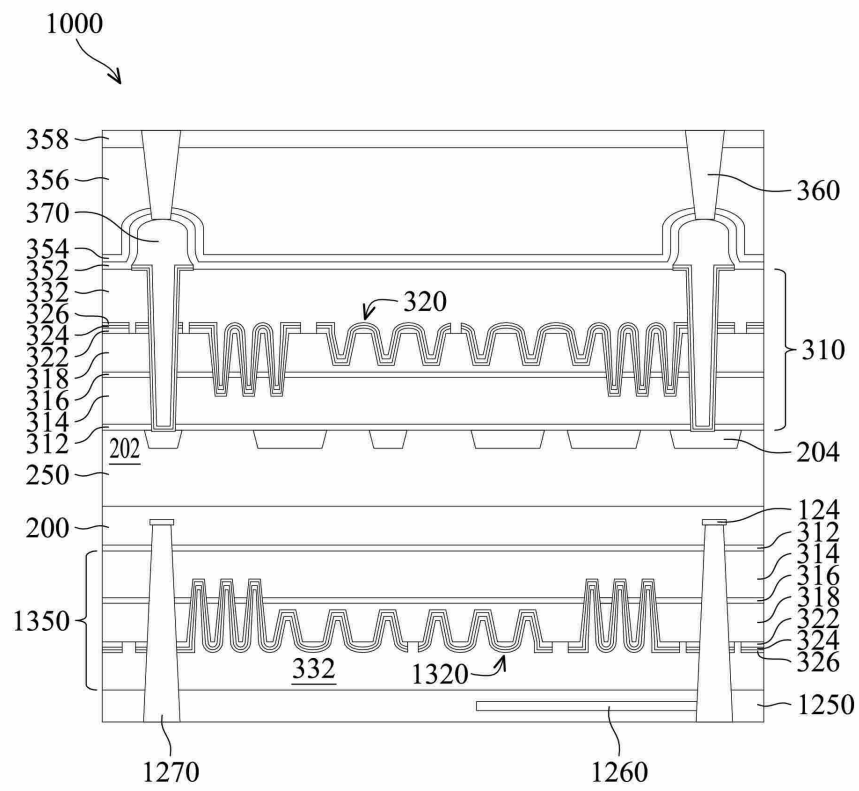
第 17 圖

(12)



第 18 圖

(13)



第 19 圖