

【11】證書號數：I938962

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/49 (2026.01) H10W20/43 (2026.01)
H10W20/00 (2026.01)

發明

全 25 頁

【54】名稱：積體電路、裝置以及製造積體電路的方法

【21】申請案號：114115457

【22】申請日：中華民國 114 (2025) 年 04 月 24 日

【11】公開編號：202619111

【43】公開日期：中華民國 115 (2026) 年 05 月 01 日

【30】優先權：2024/10/28

美國

63/712,848

2025/03/05

美國

19/071,004

【72】發明人：黃敬餘 (TW) HUANG, CHING-YU；林威呈 (TW) LIN, WEI-CHENG；曾健庭 (TW) TZENG, JIANN-TYNG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW 202224119A

TW 202230692A

TW 202404029A

TW 202427754A

US 2024/0136287A1

US 2024/0332293A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種積體電路，包括：

基板，具有前側和與前側相對的背側，所述基板包括在所述前側上的至少一主動區；

電路，位於所述基板的所述前側上；

前側金屬化層，配置在所述電路上方；

背側金屬化層，配置在所述基板的背側下方；

第一電源取用胞元，位於所述電路的第一側上，並經配置以從所述背側金屬化層傳遞一個或多個電壓到所述前側金屬化層，所述背側金屬化層電性耦合到所述至少一主動區；以及

穿透通孔、第一金屬覆蓋汲極接觸件和第一通孔至汲極接觸件，其中所述背側金屬化層通過所述穿透通孔、所述第一金屬覆蓋汲極接觸件和所述第一通孔至汲極接觸件電性耦合到所述前側金屬化層，其中所述第一金屬覆蓋汲極接觸件電性連接到 P 型磊晶層，且所述背側金屬化層包括本體以及區段，其中所述區段從所述本體延伸並包括用於連接到所述穿透通孔的微移，所述區段的寬度短於所述本體的寬度。

2. 如請求項 1 所述的積體電路，包括第二電源取用胞元，位於所述電路的第二側上，所述第二側與所述電路的第一側相對，並經配置以從所述背側金屬化層傳遞所述一個或多個電壓到所述前側金屬化層。

3. 如請求項 1 所述的積體電路，包括第一背側通孔、P 型磊晶層、第二金屬覆蓋汲極接觸件和第二通孔至汲極接觸件，其中所述背側金屬化層通過所述第一背側通孔、所述 P 型磊晶層、所述第二金屬覆蓋汲極接觸件和所述第二通孔至汲極接觸件電性耦合到所述前側金屬化層，使得所述一個或多個電壓的第一電壓通過所述第一背側通孔、所述 P 型磊

晶層、所述第二金屬覆蓋汲極接觸件和所述第二通孔至汲極接觸件在所述背側金屬化層和所述前側金屬化層之間傳導。

4. 如請求項 3 所述的積體電路，包括第二背側通孔、N 型磊晶層、第三金屬覆蓋汲極接觸件和第三通孔至汲極接觸件，其中所述背側金屬化層通過所述第二背側通孔、所述 N 型磊晶層、所述第三金屬覆蓋汲極接觸件和所述第三通孔至汲極接觸件電性耦合到所述前側金屬化層，使得所述一個或多個電壓的第二電壓通過所述第二背側通孔、所述 N 型磊晶層、所述第三金屬覆蓋汲極接觸件和所述第三通孔至汲極接觸件在所述背側金屬化層和所述前側金屬化層之間傳導。
5. 如請求項 1 所述的積體電路，其中所述一個或多個電壓的電壓 VDD 通過所述穿透通孔、所述第一金屬覆蓋汲極接觸件和所述第一通孔至汲極接觸件在所述背側金屬化層和所述前側金屬化層之間傳導。
6. 一種積體電路，包括：
 - 基板，具有前側和與所述前側相對的背側；
 - 電路，位於所述基板的前側；
 - 第一前側金屬化層，配置在所述基板上；
 - 背側金屬化層，配置在所述基板的背側下方；以及
 - 第一電源取用胞元，位於所述電路的第一側，並包括穿透通孔、金屬覆蓋汲極接觸件和通孔至汲極接觸件，通孔至汲極接觸件從所述背側金屬化層電性連接到所述第一前側金屬化層，
 其中所述背側金屬化層包括本體以及區段，所述區段從所述本體延伸並包括用於連接到所述穿透通孔的微移，所述區段的寬度短於所述本體的寬度。
7. 如請求項 6 所述的積體電路，包括第二前側金屬化層配置在所述第一前側金屬化層上方、第一通孔和第二通孔，其中所述第一前側金屬化層通過所述第一通孔電性連接到所述第二前側金屬化層，且所述第二前側金屬化層通過所述第二通孔電性連接到所述第一前側金屬化層中的電源軌。
8. 如請求項 6 所述的積體電路，包括第二電源取用胞元，位於所述電路的第二側，所述第二側與所述電路的第一側相對，且配置為從所述背側金屬化層向所述前側金屬化層傳遞第一電壓 VDD 或第二電壓 VSS。
9. 一種製造積體電路的方法，包括：
 - 提供基板，具有前側和與所述前側相對的背側；
 - 在所述基板的前側形成主動區；
 - 在所述主動區中形成磊晶層主動區；
 - 形成電性連接到所述主動區的金屬覆蓋汲極接觸件；
 - 形成電性連接到所述金屬覆蓋汲極接觸件的通孔至汲極接觸件；
 - 形成前側金屬化層在所述通孔至汲極接觸件上方並電性連接到所述通孔至汲極接觸件；
 - 以及
 - 形成背側金屬化層在所述基板的背側下方並電性耦合到所述主動區的至少一主動區，其中電晶體形成於所述基板的前側的電路中，且第一電源取用胞元形成於所述電路的第一側，以從所述背側金屬化層向所述前側金屬化層傳遞一個或多個電壓，其中形成所述背側金屬化層包括形成背側金屬化層區段，所述背側金屬化層包括本體以及區段，所述區段從所述本體延伸並包括用於連接到所述穿透通孔的微移，所述區段的寬度短於所述本體的寬度。

圖式簡單說明

本揭露的各方面在閱讀附圖時從以下詳細描述中最能被理解。需注意，依據業界標準做法，各種特徵並非按比例繪製。事實上，各種特徵的尺寸可能為了討論清晰度而被任意增加或減少。此外，圖示為本揭露實施例的例示，並非意在構成限制。

圖 1 是依據一些實施例示意性說明包括電路（如時脈胞元或時脈電路）和電源取用胞元或電路的裝置的圖。

圖 2 是依據一些實施例示意性說明時脈胞元和位於時脈胞元一側的電源取用胞元的圖。

圖 3 是依據一些實施例示意性說明時脈胞元，以及位於時脈胞元對向側的第一電源取用胞元和第二電源取用胞元的圖。

圖 4 是依據一些實施例示意性說明時脈胞元，以及比時脈胞元更長的第一電源取用胞元和第二電源取用胞元的圖。

圖 5 依據一些實施例是示意性說明時脈胞元，以及位於時脈胞元短側的第一電源取用胞元和第二電源取用胞元的圖。

圖 6 是依據一些實施例示意性說明時脈胞元，以及位於時脈胞元短側的第一電源取用胞元和第二電源取用胞元的圖。

圖 7 是依據一些實施例示意性說明時脈胞元和環繞時脈胞元所有側的電源取用胞元的圖。

圖 8 是依據一些實施例示意性說明包括參考電路、單側電源取用胞元電路和雙側電源取用胞元電路的電路選項的圖。

圖 9 是依據一些實施例示意性說明包括基板的裝置的圖，所述基板包括用於電源電壓 VDD 的 N 型阱主動區和用於電源電壓 VSS 的 P 型阱主動區。

圖 10 包括依據一些實施例示意性說明圖 9 的裝置的圖，所述裝置包括 VB 型電源取用結構、第一前側金屬化層 M0 和第一背側金屬化層 BM0。

圖 11 是依據一些實施例示意性說明沿著圖 10 中 A-A 線取自圖 10 的裝置的剖面的圖。

圖 12 是依據一些實施例示意性說明包括位於電源取用胞元旁邊或相鄰的時脈胞元的裝置的圖。

圖 13 是依據一些實施例示意性說明沿著圖 12 中 B-B 線取自 VDD 電源取用胞元的剖面的圖。

圖 14 是依據一些實施例示意性說明包括 FTV 型電源取用胞元結構、第一前側金屬化層 M0 和第一背側金屬化層 BM0 用於傳遞電源電壓 VDD 的裝置的圖。

圖 15 是依據一些實施例示意性說明沿著圖 14 中 C-C 線取自圖 14 的裝置的剖面的圖。

圖 16 是依據一些實施例示意性說明包括 FTV 型電源取用胞元結構、第一前側金屬化層 M0 和第一背側金屬化層 BM0 用於傳遞電源電壓 VSS 的裝置的圖。

圖 17 是依據一些實施例示意性說明沿著圖 16 中 D-D 線取自圖 16 的裝置的剖面的圖。

圖 18 是依據一些實施例示意性說明包括 FTV 型電源取用胞元結構、第一前側金屬化層 M0 和第一背側金屬化層 BM0 用於傳遞電源電壓 VDD 的裝置的圖。

圖 19 是依據一些實施例示意性說明沿著圖 18 中 E-E 線取自圖 18 的裝置的剖面的圖。

圖 20 是依據一些實施例示意性說明包括 FTV 型電源取用胞元結構、第一前側金屬化層 M0 和第一背側金屬化層 BM0 用於傳遞電源電壓 VSS 的裝置的圖。

圖 21 是依據一些實施例示意性說明沿著圖 20 中 F-F 線取自圖 20 的裝置的剖面的圖。

圖 22 是依據一些實施例說明 VB 型電源取用胞元和 FTV 型電源取用胞元特徵的圖。

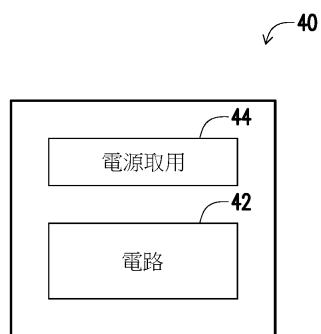
圖 23 是依據一些實施例示意性說明包括時脈胞元和環繞時脈胞元所有側面的電源取用胞元的裝置的圖。

圖 24 是依據一些實施例示意性說明製造積體電路的方法的圖。

圖 25 是依據一些實施例示意性說明配置為提供裝置（包括電子裝置和半導體裝置）和本揭露方法的電腦系統實施例的方塊圖。

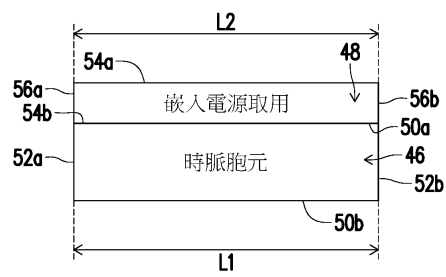
圖 26 是依據一些實施例半導體裝置製造系統和與其相關聯的半導體裝置製造流程的方塊圖。

(4)

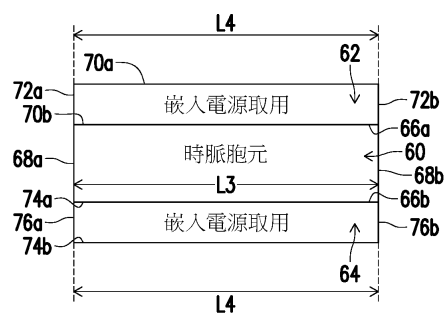


【圖1】

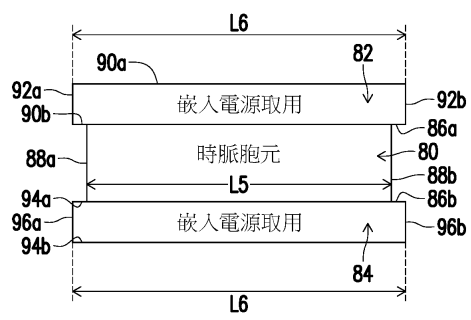
(5)



【圖2】

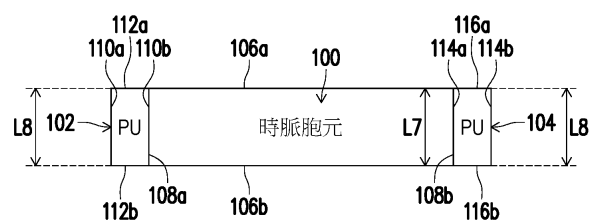


【圖3】

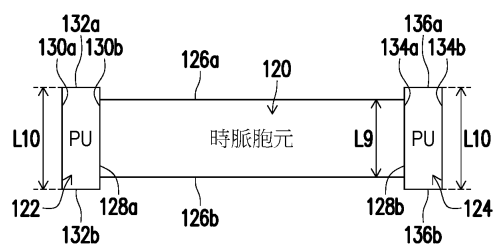


【圖4】

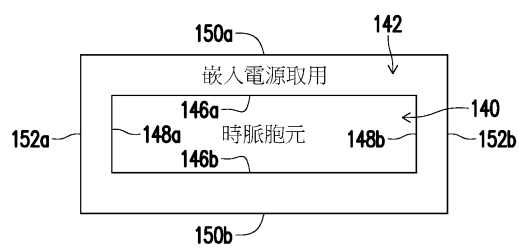
(6)



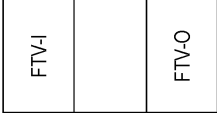
【圖5】



【圖6】

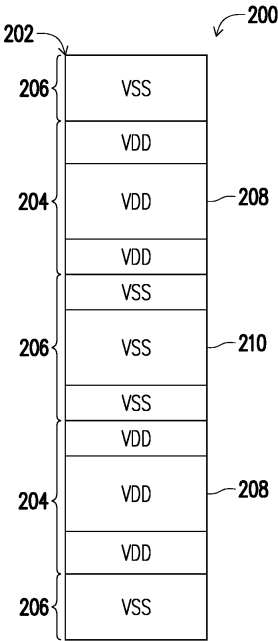


【圖7】

160 電路選項	162 參考電路			164 單側電源取用			166 雙側電源取用		
FTV	I&O	I	O	I&O	I	O	I&O	I	O
胞元高度	6X	4X	4X	7X	5X	5X	8X	6X	6X
FTV-I&O 佈局	頂視圖 			頂視圖 			頂視圖 		
	參考值	參考值	參考值	-2.5%	-2.2%	-2.3%	-3.9%	-3.5%	-3.5%

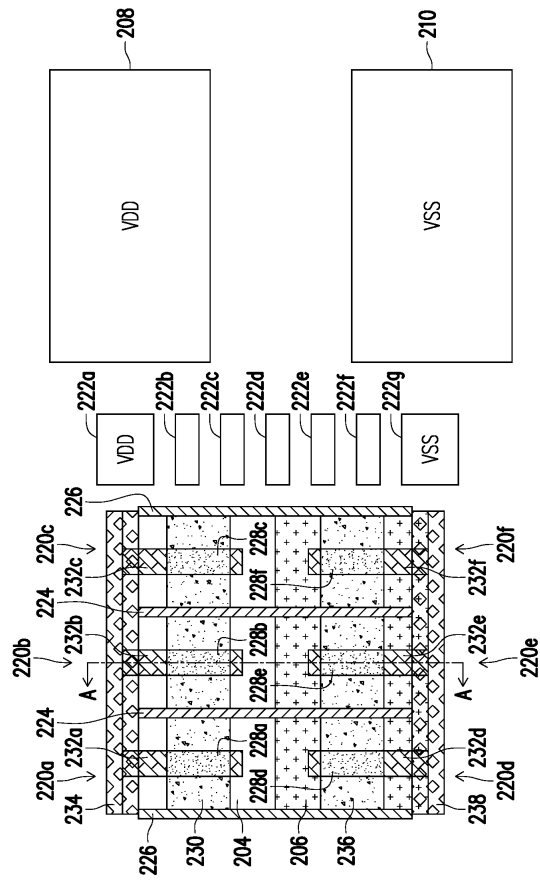
【圖8】

(8)

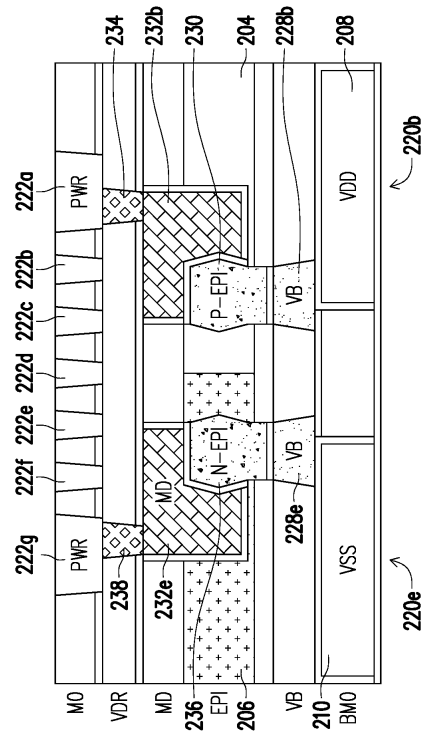


【圖9】

(9)

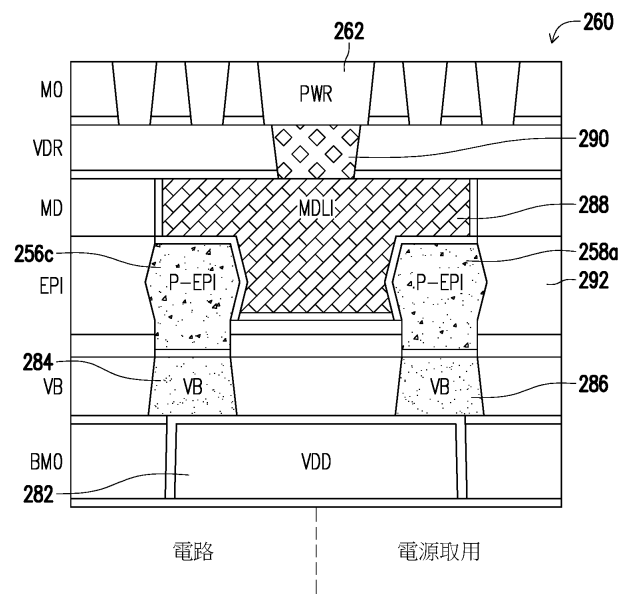


【図10】

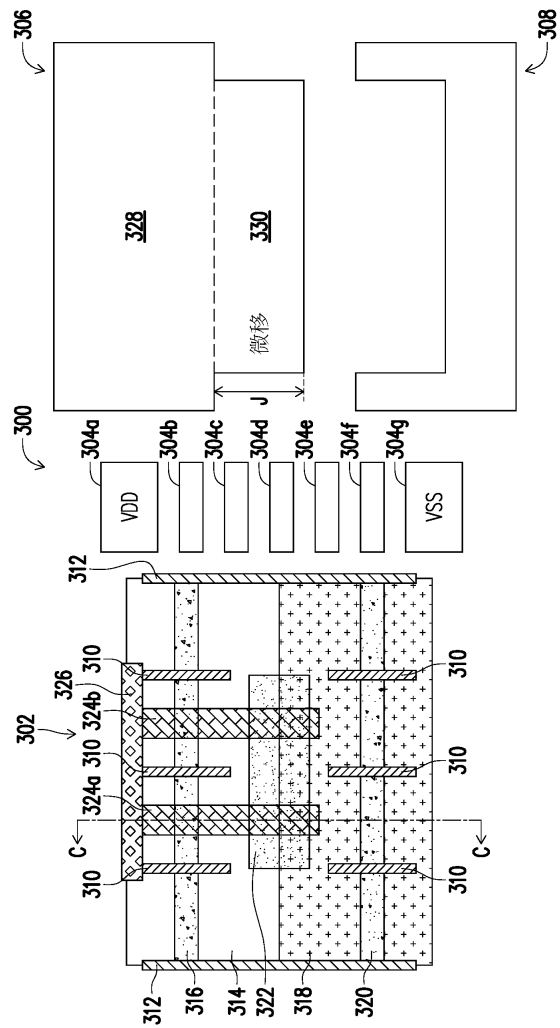


【圖11】

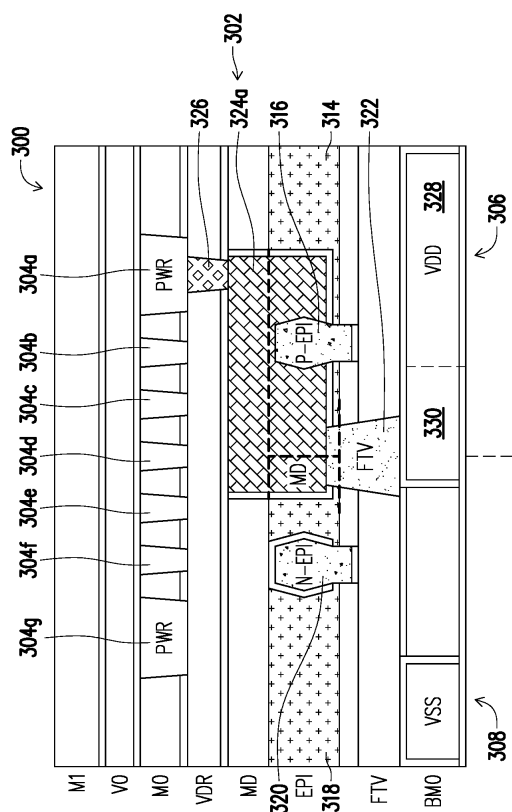
(12)



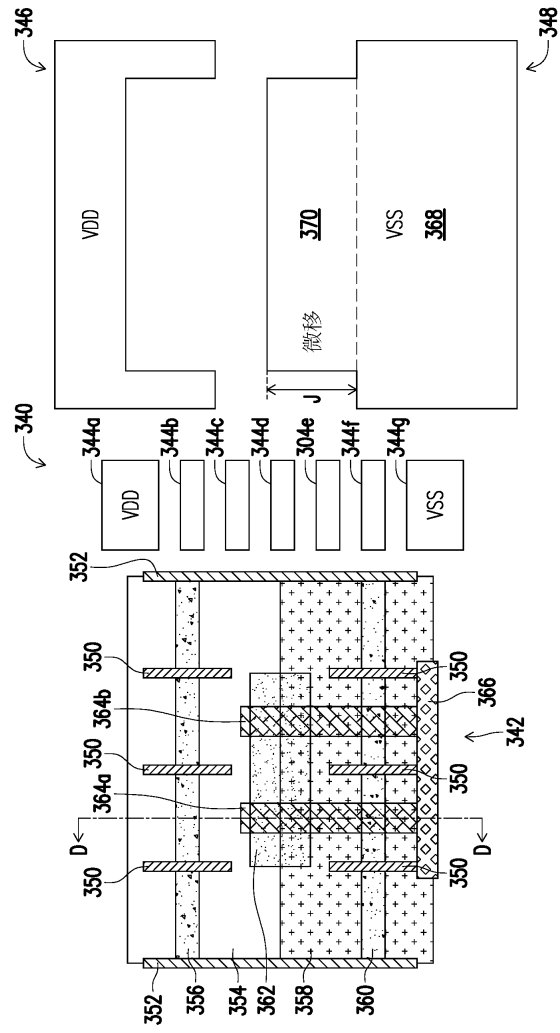
【圖13】



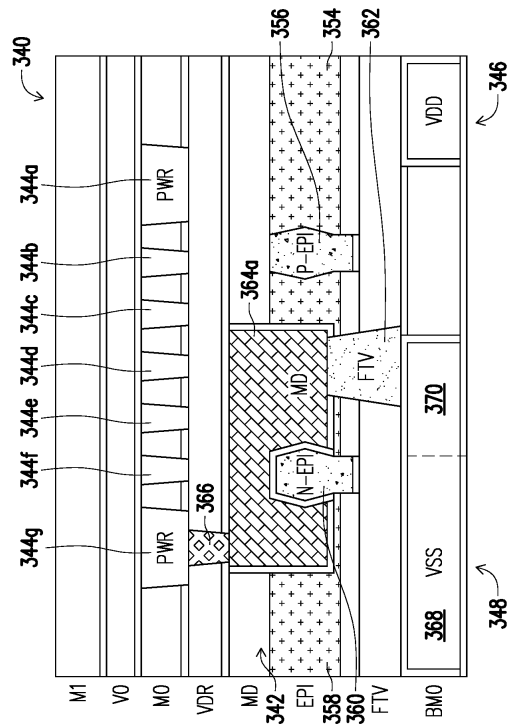
【圖14】



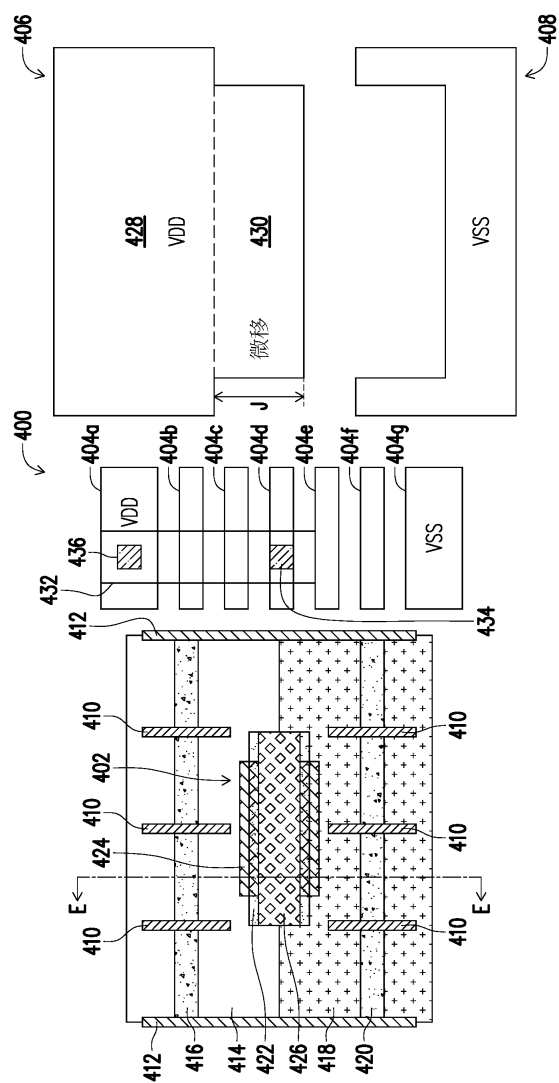
【圖15】



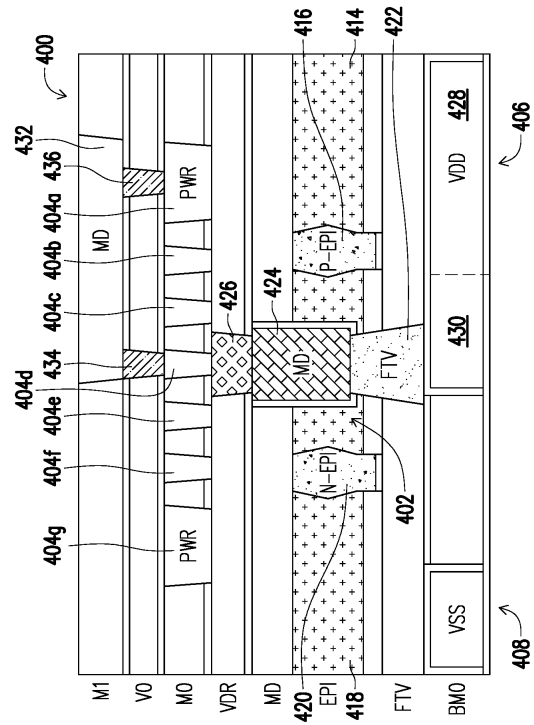
【圖16】



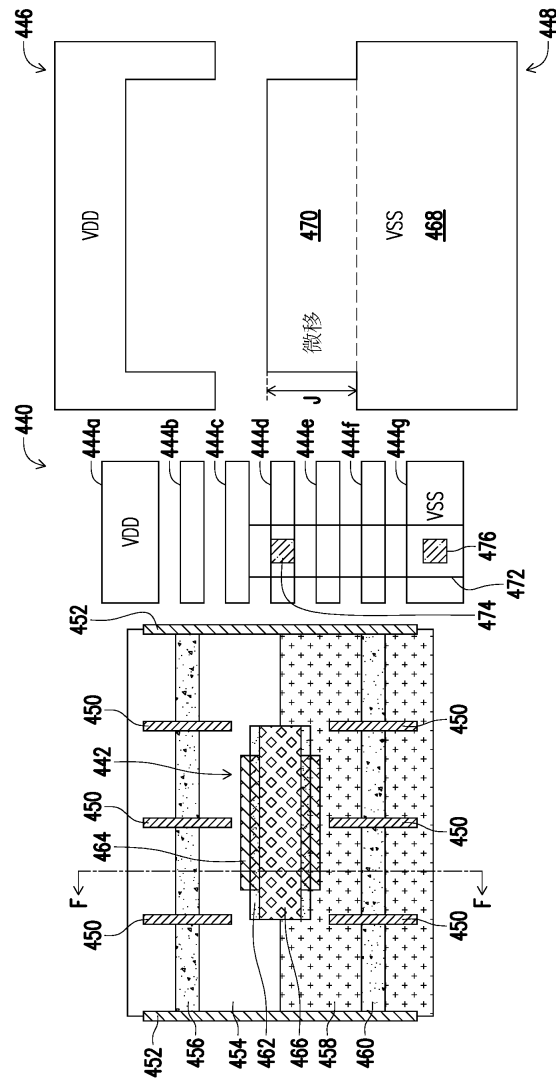
【圖17】



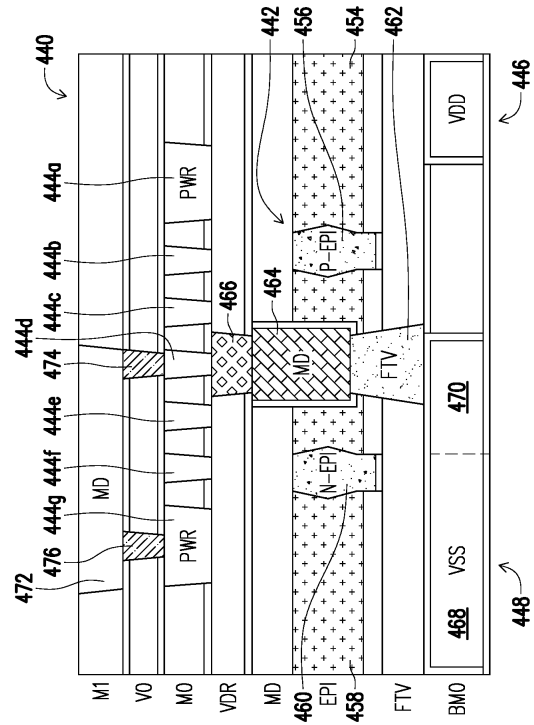
【18】



【圖19】



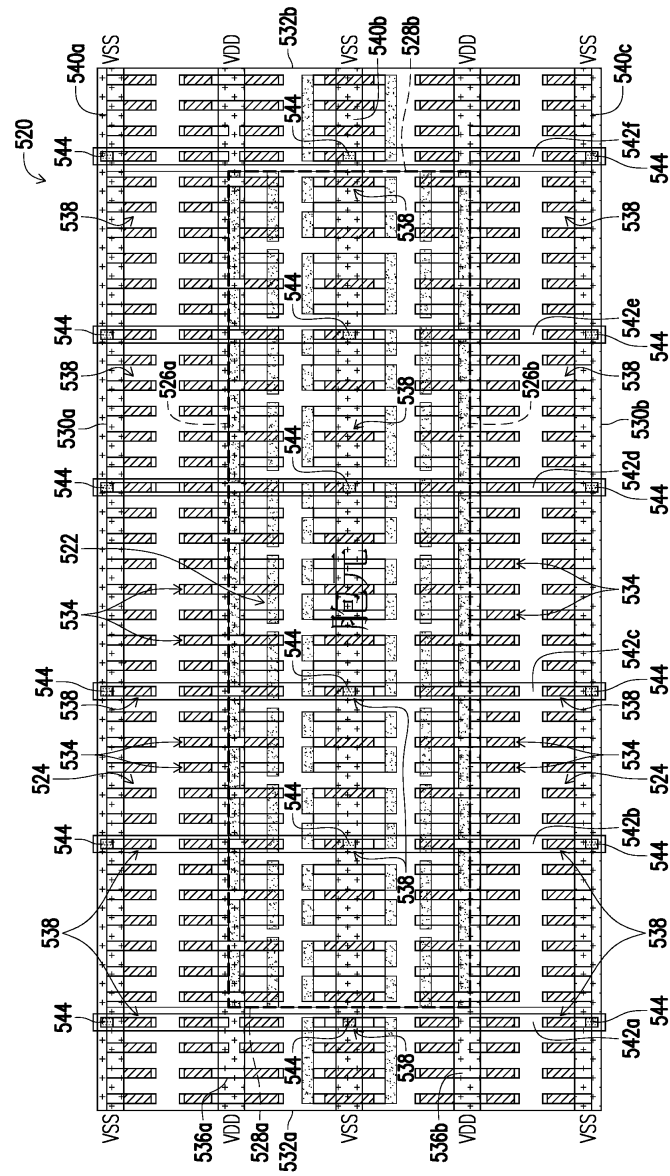
【図20】



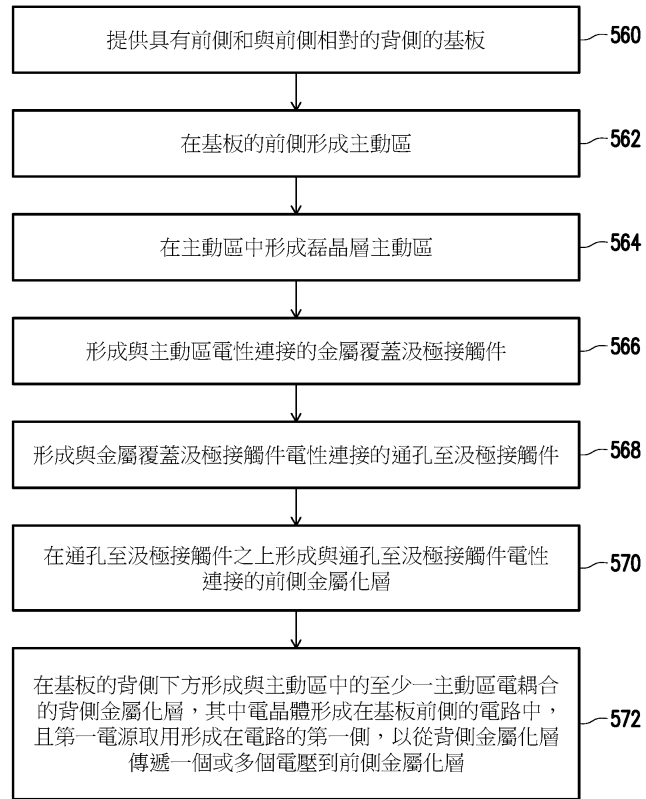
【圖21】

	電源取用	VB	FTV
504	電源取用	VB	FTV
506	BM10 圖案	--	微移
508	電源連接	VDD 及 VSS	VDD 或 VSS
	電阻與電容	較高	較低

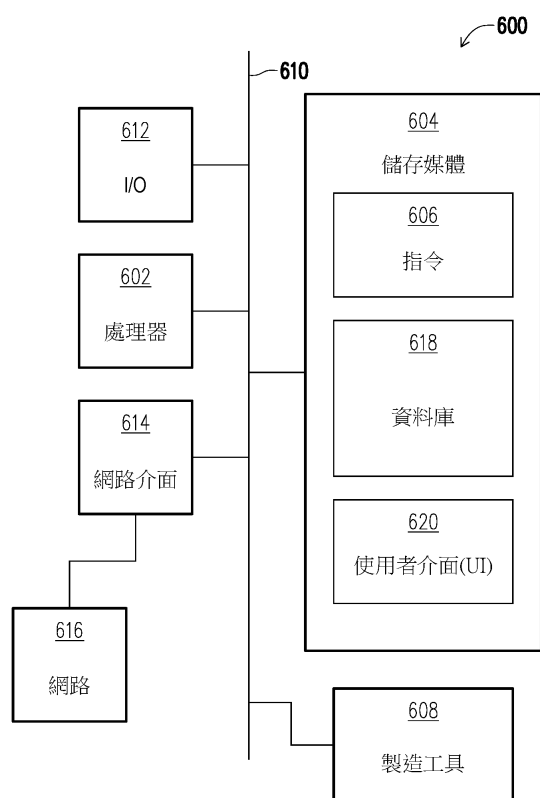
【圖22】



【圖23】



【圖24】



【圖25】

