

【11】證書號數：I938972

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10D84/01 (2026.01) H10D84/85 (2025.01)
 H10D30/62 (2025.01) H10D64/66 (2025.01)

發明

全 13 頁

【54】名稱：半導體結構及其形成方法

【21】申請案號：114115978

【22】申請日：中華民國 114 (2025) 年 04 月 28 日

【11】公開編號：202619556

【43】公開日期：中華民國 115 (2026) 年 05 月 01 日

【30】優先權：2024/07/18

美國

63/672,746

2024/10/17

美國

18/918,708

【72】發明人：陳作宣 (US) CHEN, TSO-HSUAN；蕭琮介 (TW) HSIAO, TSUNG-CHIEH；李維元 (TW) LEE, WEI-YUAN；王智麟 (TW) WANG, CHIH-LIN

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

美商台積電亞利桑那公司

TSMC ARIZONA CORPORATION

美國

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202414608A

US 2018/0350813A1

審查人員：謝紀明

【57】申請專利範圍

1. 一種形成半導體結構的方法，包含：

分別在第一半導體區及一第二半導體區上方形成一第一閘極介電質及一第二閘極介電質；

形成一第一功函數層，該第一功函數層包含分別在該第一閘極介電質及該第二閘極介電質上方的一第一部分及一第二部分；

圖案化該第一功函數層以移除該第一功函數層的該第二部分；

形成一第二功函數層，該第二功函數層包含分別在該第一閘極介電質及該第二閘極介電質上方的一第一部分及一第二部分，其中該第二功函數層的該第一部分進一步在該第一功函數層的該第一部分上方；

執行一蝕刻製程以蝕刻該第二功函數層及該第一功函數層之該第一部分的一部分以形成一開口；以及

在該第二功函數層上方沈積一導電層，其中該導電層填充至該開口中；

蝕刻該導電層及該第一功函數層以形成一溝槽；以及

用一介電材料填充該溝槽以形成一切割金屬閘極區。

2. 如請求項 1 所述之方法，其中該形成該第一功函數層包含沈積一 p 型功函數層，且該形成該第二功函數層包含沈積一 n 型功函數層。

3. 如請求項 1 所述之方法，其中該沈積該導電層包含：沈積一黏著層；以及在該黏著層上方沈積一填充金屬層。

(2)

4. 如請求項 1 所述之方法，其中該第一功函數層之該第一部分及該第二功函數層之該第一部分共同形成一第一電晶體之一第一閘極堆疊的多個部分，且其中該第二功函數層之該第二部分形成一第二電晶體之一第二閘極堆疊的一部分。
5. 如請求項 1 所述之方法，進一步包含以下步驟：
形成包含一額外開口的一蝕刻遮罩，其中該蝕刻遮罩用於該蝕刻製程，其中該額外開口與該第一功函數層的一邊緣重疊，且該第二功函數層接觸該第一功函數層的該邊緣，且其中該開口直接下伏於該額外開口。
6. 一種半導體結構，包含：
一第一半導體區；
該第一半導體區上方的一第一閘極介電質；
該第一閘極介電質上方的一第一功函數層；
一第二半導體區；
該第二半導體區上方的一第二閘極介電質；
該第二閘極介電質上方的一第二功函數層；以及
一導電層，包含：
與該第一功函數層重疊的一第一部分；
與該第二功函數層重疊的一第二部分；以及
接合該第一部分至該第二部分的一中間部分，其中該中間部分接觸該第一功函數層的一第一邊緣及該第二功函數層的一第二邊緣，且其中該中間部分實體接觸該第一閘極介電質。
7. 如請求項 6 所述之半導體結構，進一步包含與該第一功函數層重疊的該第二功函數層的一延伸部分，其中該延伸部分進一步下伏於該導電層的該第一部分。
8. 如請求項 6 所述之半導體結構，其中該第一功函數層及該第二功函數層分別包含於一第一電晶體及一第二電晶體中。
9. 一種半導體結構，包含：
一 p 型電晶體，包含：
一第一半導體鰭片；
該第一半導體鰭片上方的一第一閘極介電質；及
該第一閘極介電質上方的一第一功函數層；
一 n 型電晶體，包含：
一第二半導體鰭片；
該第二半導體鰭片上方的一第二閘極介電質，其中該第一閘極介電質及該第二閘極介電質包含一介面層及該介面層上方的一高 k 介電層；及
該第一閘極介電質上方的一第二功函數層；及
一組合式閘極電極，包含該 p 型電晶體的一第一閘極電極及該 n 型電晶體的一第二閘極電極，其中該組合式閘極電極包含與該第一功函數層、該第二功函數層及該介面層實體接觸的一部分。
10. 如請求項 9 所述之半導體結構，其中該組合式閘極電極的該部分實體接觸該組合式閘極電極之該部分之多個相對側上的該高 k 介電層之多個部分的多個邊緣。

圖式簡單說明

本揭露之態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。請注意，根據行業標準慣例，各種特徵未按比例繪製。實際上，各種特徵之尺寸可為了論述清楚經任意地增大或減小。

第 1 圖至第 6 圖、第 7A 圖、第 7B 圖及第 8 圖至第 17 圖圖示根據一些實施例的形成包括切割金屬邊界區之電晶體之中間階段的視圖。

第 18 圖圖示根據一些實施例的一些電晶體之俯視圖。

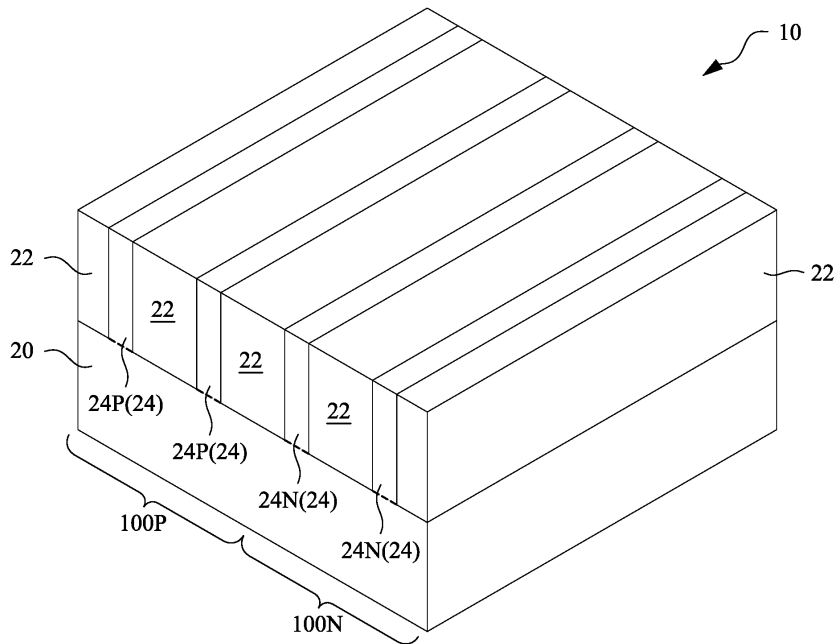
(3)

第 19 圖及第 20 圖圖示根據一些實施例的包括切割金屬邊界區之電路區及不包括切割金屬邊界區之電路區的示意圖。

第 21 圖圖示根據一些實施例之包括切割金屬邊界區之全環繞閘極電晶體的視圖。

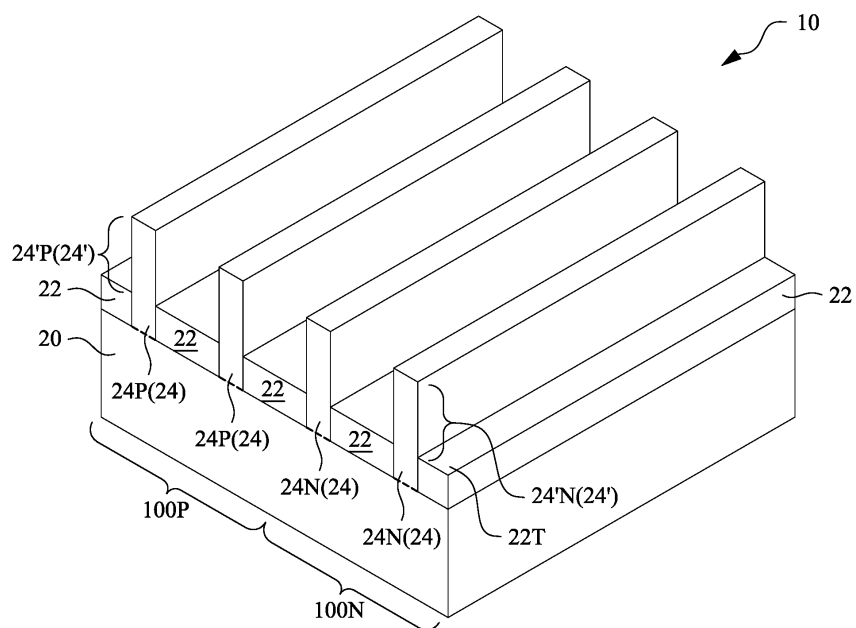
第 22 圖圖示根據一些實施例的包括切割金屬邊界區之靜態隨機存取記憶體(Static Random-Access Memory, SRAM)單元的佈局。

第 23 圖圖示根據一些實施例的用於形成包括切割金屬邊界區之電晶體的製程流程。

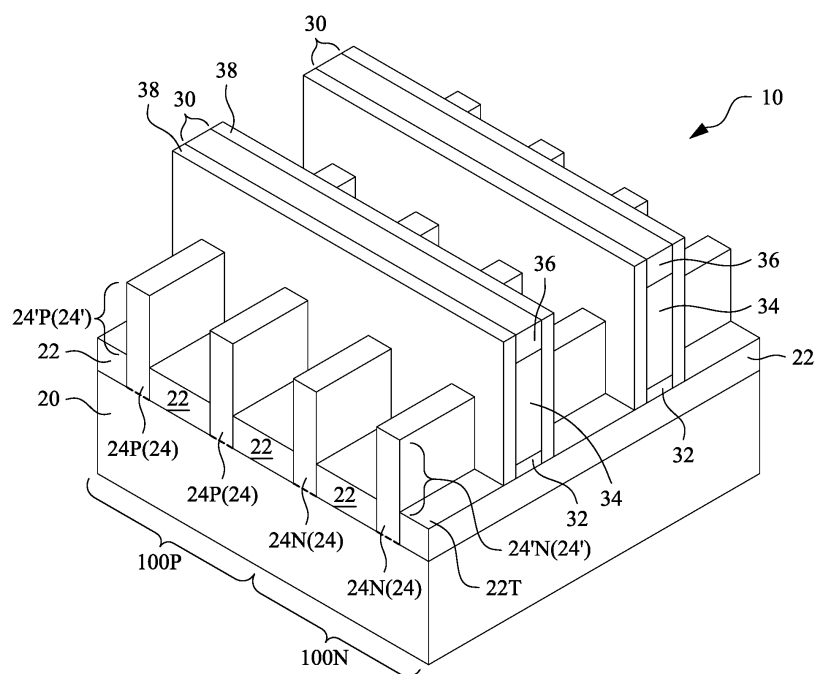


第 1 圖

(4)

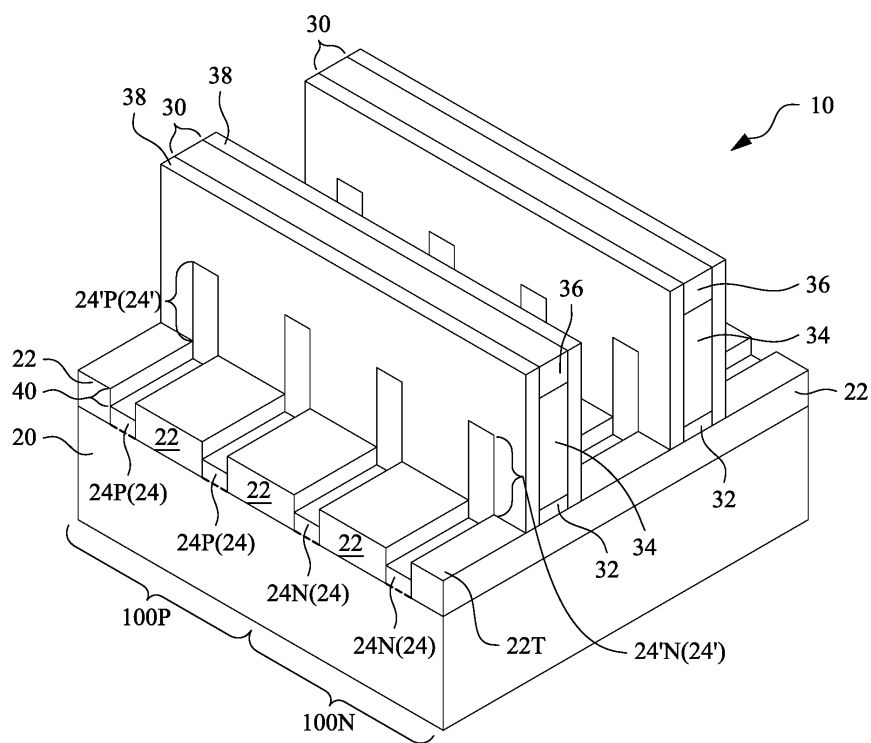


第 2 圖

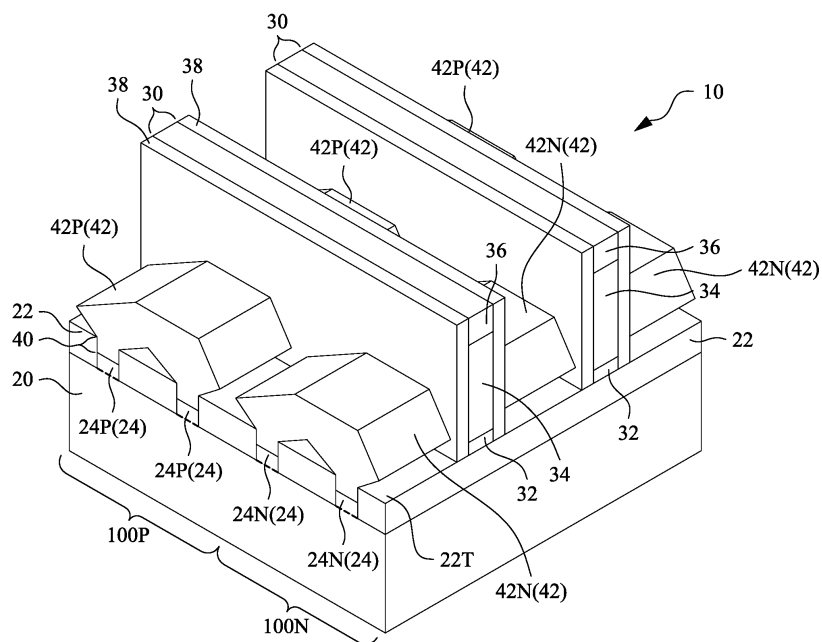


第 3 圖

(5)

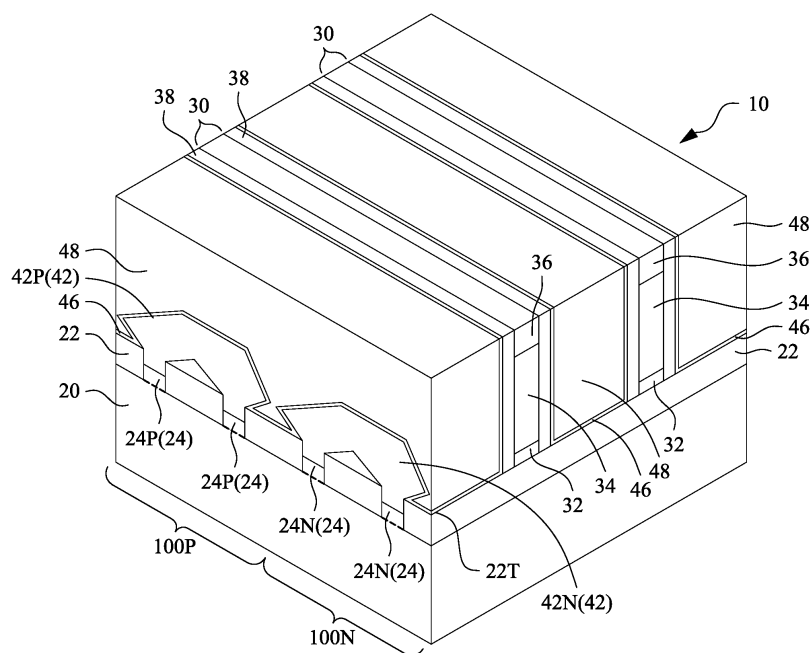


第 4 圖

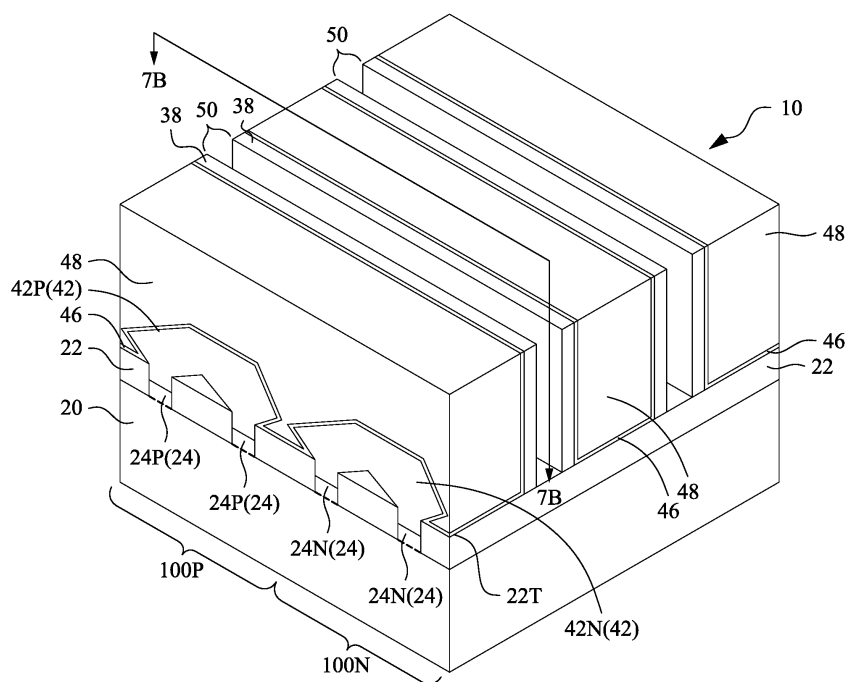


第 5 圖

(6)

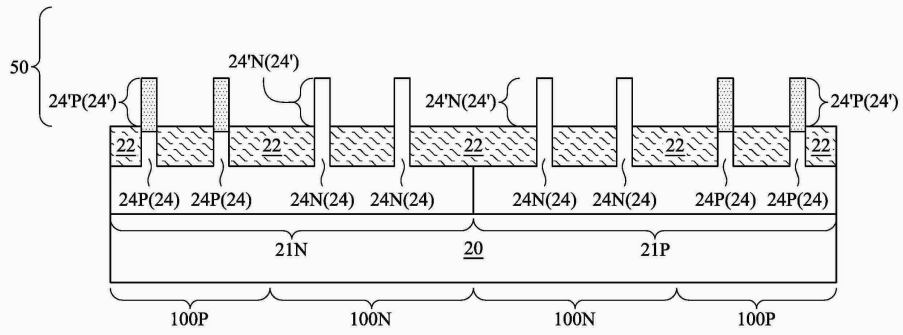


第 6 圖

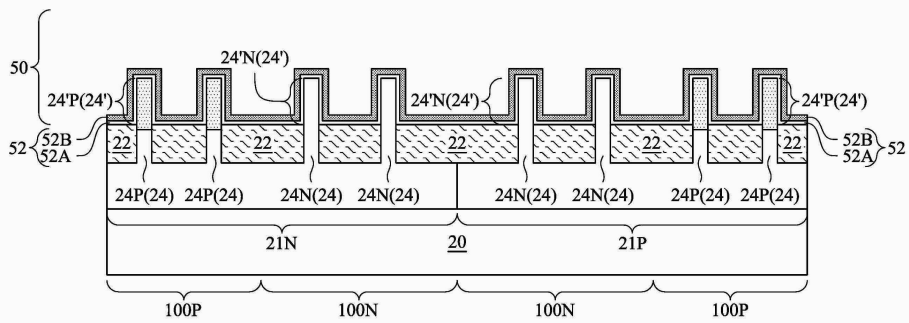


第 7A 圖

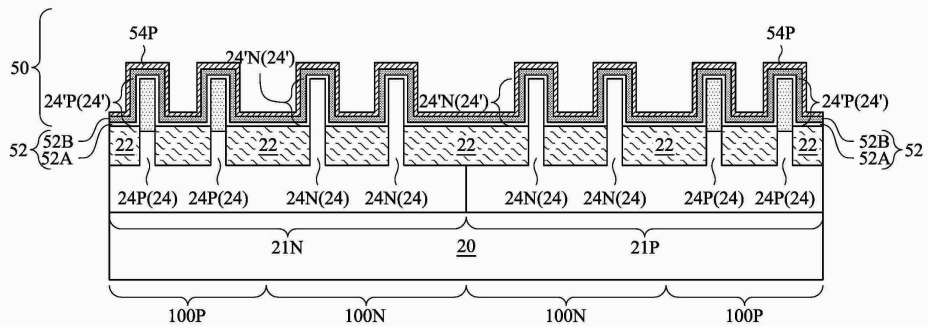
(7)



第 7B 圖

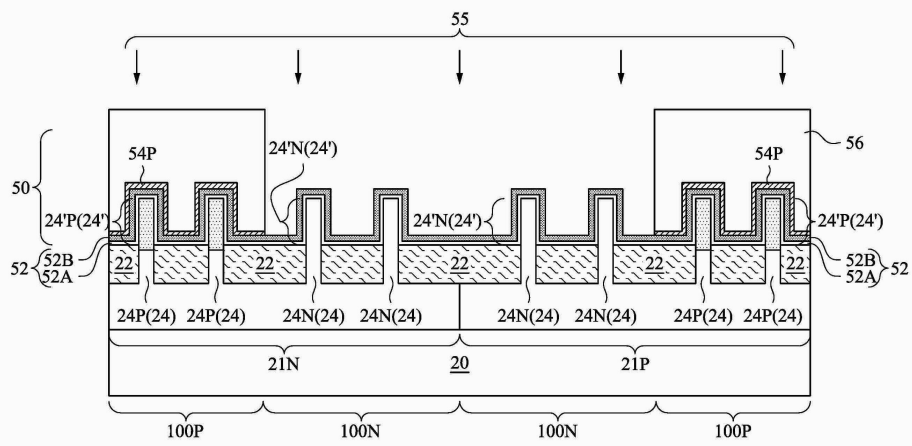


第 8 圖

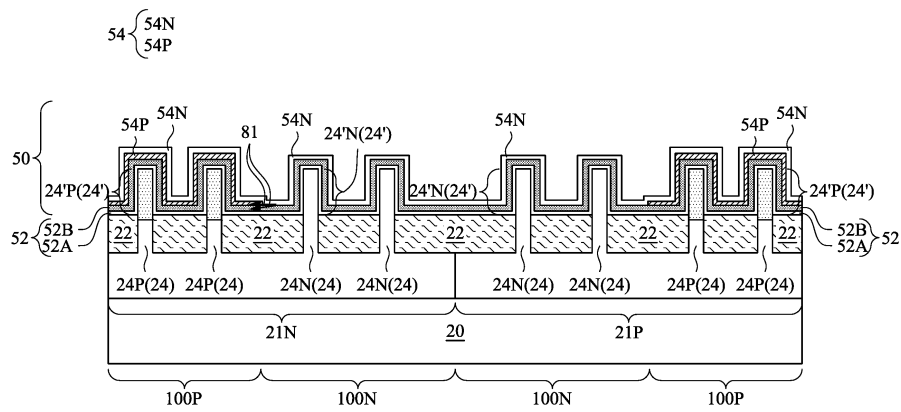


第 9 圖

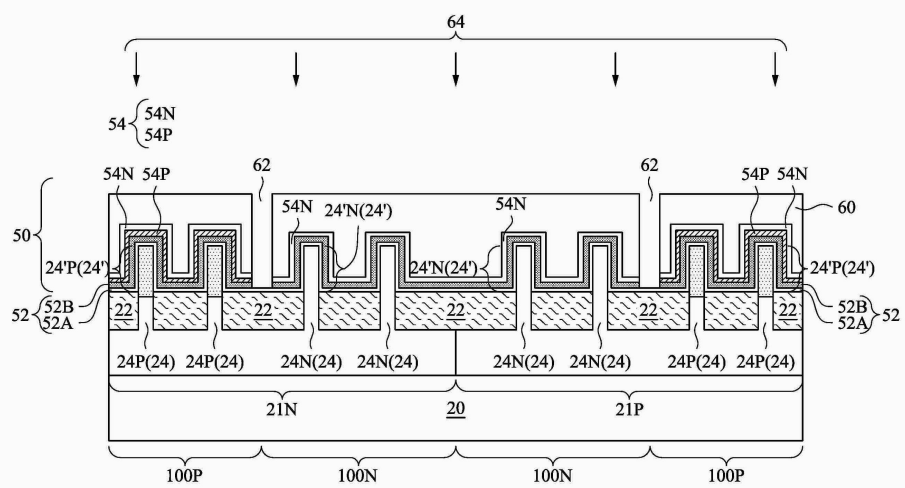
(8)



第 10 圖

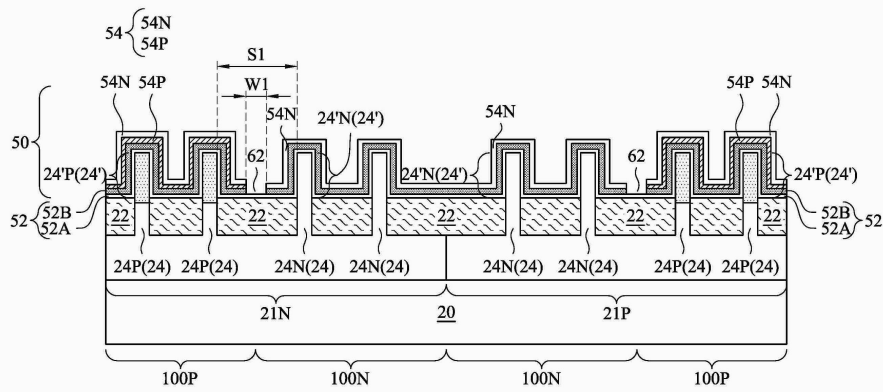


第 11 圖

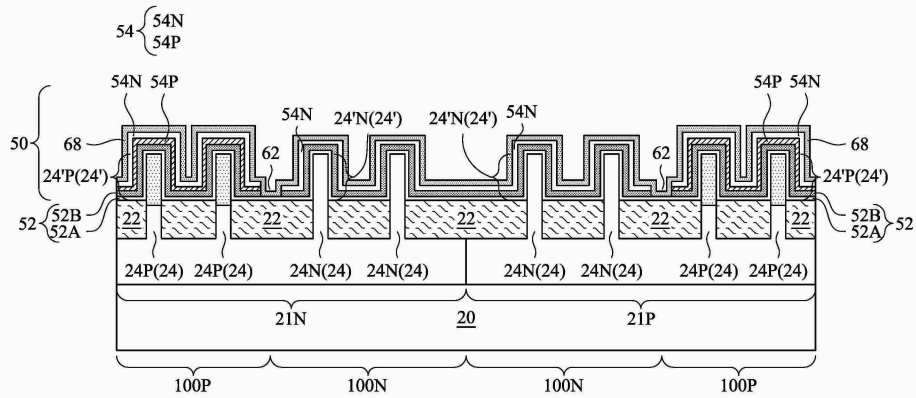


第 12 圖

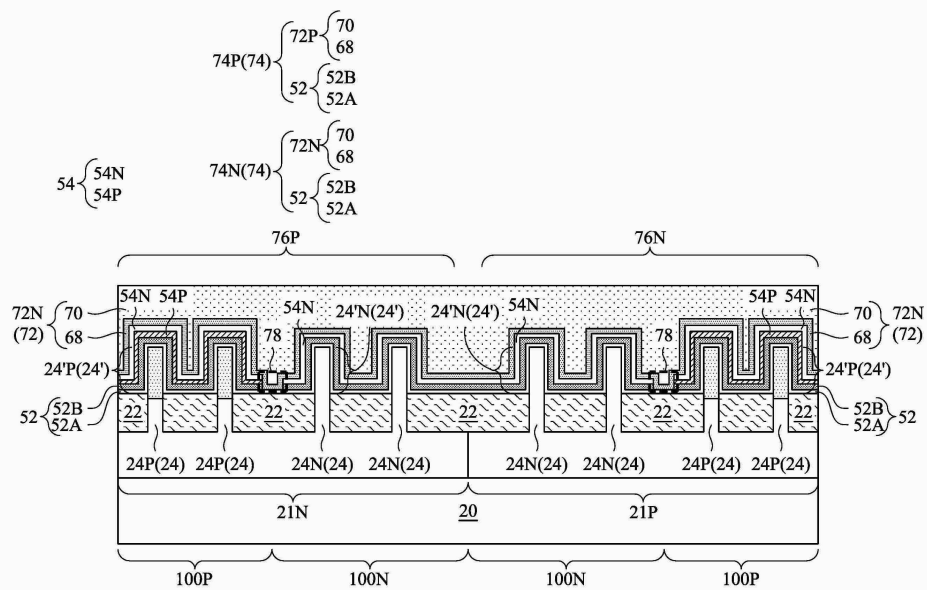
(9)



第 13 圖

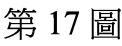


第 14 圖



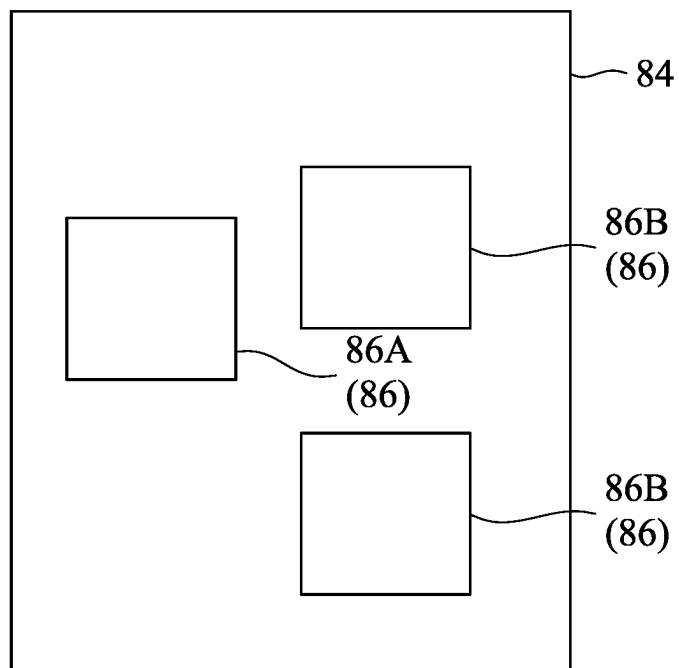
第 15 圖

第 16 圖

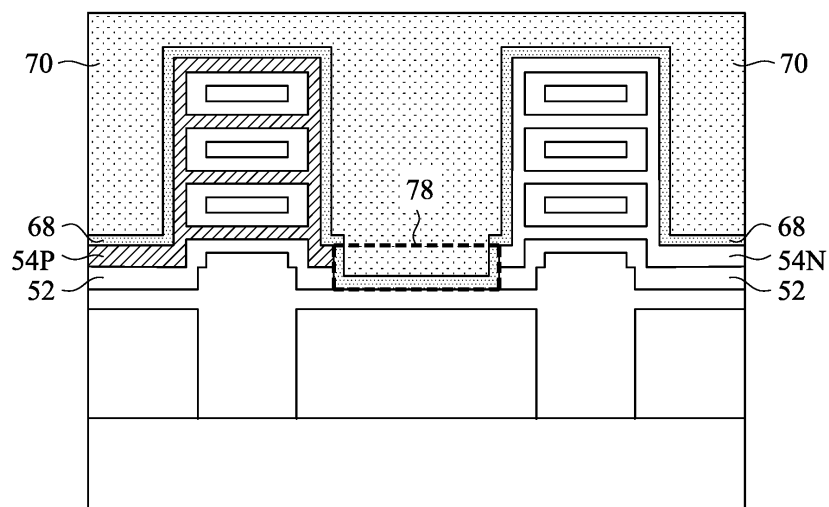


- 8615 -

(12)

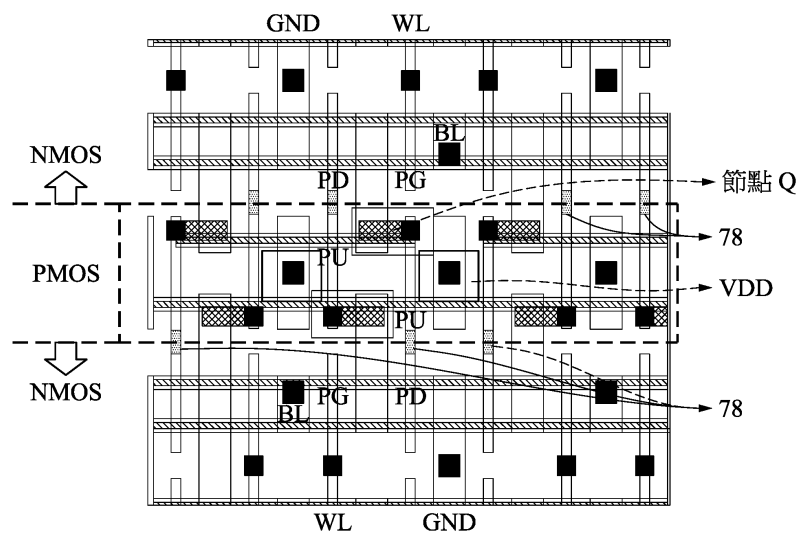


第 20 圖

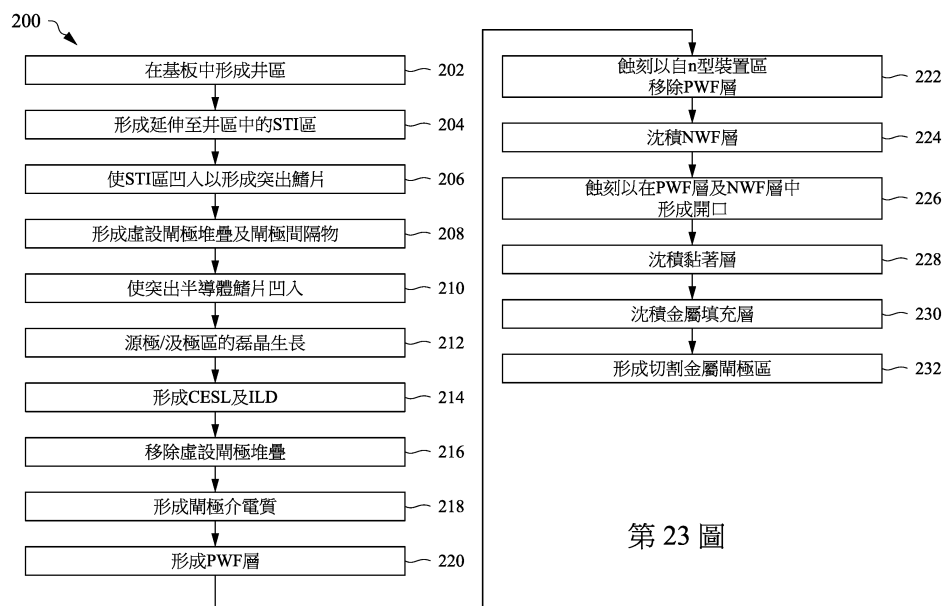


第 21 圖

(13)



第 22 圖



第 23 圖